

平成 21 年 5 月 25 日現在

研究種目：若手研究 (A)
 研究期間：2006～2008
 課題番号：18680005
 研究課題名 (和文) 微細プロセスにおいても製造容易なコンフィギュラブルプロセッサ
 研究課題名 (英文) Fabrication-friendly Configurable Processors in a nanometer LSI process
 研究代表者
 小林和淑 (KOBAYASHI KAZUTOSHI)
 京都大学・情報学研究科・准教授
 研究者番号：70252476

研究成果の概要：

ばらつきを利用してコンフィギュラブルプロセッサなどの集積回路の特性向上を図るとい
 う研究提案に対し、プロセッサのソフトウェア対策を行なうという研究成果を得た。また、
 FPGA の配置を修正することで回路特性の向上を図るとい研究成果も得た。回路特性の
 劣化現象の対策、その解明に関する研究も行ない、65nm プロセスによる LSI の試作、測定
 も行なった。

交付額

(金額単位：円)

	直接経費	間接経費	合計
18 年度	7,500,000	2,250,000	9,750,000
19 年度	7,200,000	2,160,000	9,360,000
20 年度	6,900,000	2,070,000	8,970,000
年度			
年度			
総計	21,600,000	6,480,000	28,080,000

研究分野：集積回路工学

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：ハードウェア設計、微細プロセス

1. 研究開始当初の背景

集積回路の微細化は年々微細化が進み、ついにナノメータの世界に突入した。現在利用が進んでいる 90nm のプロセスルールでは、1 億個を超えるトランジスタの集積が可能である。そこで顕在化しているのがすべてのトランジスタを同じ特性で製造できないといういわゆる「ばらつき」の問題

である。製造不良をできるだけ起こさないように、タイミング等にマージンをとって設計を行なうことにより、歩留まりをあげることが可能であるが、そのマージンが年々大きくなっており、微細化を行なっても、そのマージンのために、LSI の動作速度が上がらないことが予想されている。

Pentium 等の汎用マイクロプロセッサは、大量生産される高付加価値商品であり、初期の段階で、デバイスの特性ばらつきにより歩留まりが低下しても、その原因の追求を随時行ない、次回の生産にフィードバックすることで、歩留まりの向上を行なうことが可能である。しかし、このフィードバックには長期間かかり、その費用も莫大なものとなる。微細プロセスによるデバイス特性のばらつきは、回路のパターンに大きく依存する。ほぼ同じ回路パターンの1種類のLSIを長期間にわたり製造する場合には、その特定の回路パターンに対する製造プロセスの最適化が可能である。しかし、民生機器向けのASICにおいてはそのようなことは希有である。製品寿命の短期化に伴い、半年間 同じLSIを作ることすら稀であり、初期ロットのみ生産して完了するといったものも少なくない。このような製品向けのASICに対して、汎用マイクロプロセッサと同じプロセスの最適化技術は、利用できない。様々に変化する回路パターンに対して、製造技術を最適化するには、膨大な費用が必要となる。本提案は、アーキテクチャレベルで、製造プロセスに起因する性能劣化の原因を除去し、プロセッサの性能をあげることを目的としている

2. 研究の目的

本研究では、SoC(システムオンチップ)内に集積される専用プロセッサに焦点をあてて、微細プロセスにおける特性の変化に耐性を持つ製造容易なプロセッサのアーキテクチャならびにその回路構成を検討し、具現化することを目的とする。

3. 研究の方法

研究期間の3年間で、次の3つの事項を明らかにする。

- ・微細プロセスにおけるプロセッサの性能劣化の実証とそのモデル化.
- ・機能拡張可能なコンフィギャラブルプロセッサにおける性能劣化を抑え、歩留まりを改善するためのアーキテクチャの提案.
- ・提案したアーキテクチャによるプロセッサの設計/試作による効果の実証.

4. 研究成果

微細プロセスにおけるプロセッサの性能劣化に関しては、65nmプロセスにて試作した劣化特性TEGにて、NBTIによるトランジスタ特性の劣化を確認し、現在その延長としてモデル化を行なっている[学会発表1]. プロセッサに関しては、ソフトエラーによる性能毀損を防止するためのフリップフロップに関する研究を行ない、微細化プロセスにおいてはフリップフロップのみの対策では不十分なことをシミュレーションにより確認した[学会発表2, 9]. また性能向上に関しては、FPGAに実装した回路の特性改善を試み、製造時のばらつきに起因する特性劣化を改善することができた[雑誌論文2, 3など].

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計4件)

[1] M. Komori, H. Uchiyama, H. Takebe, T. Kusuura, K. Kobayashi, H. Kuwahara, T. Tsuchiya, "Micro/nanoimprinting of Glass

under High Temperature Using a CVD Diamond Mold”, JOURNAL OF MICROMECHANICS AND MICROENGINEERING, no. 18 065013 , 2008, 査読有

[2] K. Kobayashi, K. Katsuki, M. Kotani, Y. Sugihara, Y. Kume, H. Onodera, “A 90nm 48x48 LUT-Based FPGA Enhancing Speed and Yield Utilizing Within-Die Delay Variations”, IEICE Trans. on Electronics, vol. E90-C, no. 10, pp. 1919-1926, 2007, 査読有

[3] Kazuya Katsuki, Manabu Kotani, Kazutoshi Kobayashi, Hidetoshi Onodera, “A 90 nm LUT Array for Speed and Yield Enhancement by Utilizing Within-Die Delay Variations”, IEICE Trans. on Electronics, vol. E90-C, no. 4, pp. 699-707, 2007, 査読有

[4] K. Kobayashi, A. Higuchi, H. Onodera, “A Leakage Reduction Scheme for Sleep Transistors with Decoupling Capacitors in the Deep Submicron Era”, IEICE Transaction on Electronics, vol. E89-C, no. 6, pp. 838-843, 2006, 査読有

〔学会発表〕 (計 28 件)

[1] 牧野紘明、小林和淑、小野寺秀俊, 「リーク電流によるNBTI特性の実測による評価」, 2009年電子情報通信学会総合大会 エレクトロニクス講演論文集 2, no. C-12-18, pp. 106, 愛媛大学, 2009年

[2] Jun Furuta, Yusuke Moritani, Kazutoshi Kobayashi, Hidetoshi Onodera, “Soft-error Resiliency Evaluation on Delayed Multiple-modular Flip-Flops,” The 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2009), pp. 352-357, , 2009年

[3] Yohei Kume, Yuuri Sugihara, Camlai Ngo, Kazutoshi Kobayashi, Hidetoshi Onodera, “Embedded Delay Detectors to Choose the Fastest Route in FPGAs for Variation-aware Reconfiguration,” The

15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2009), pp. 76 - 81, Okinawa, Japan, 2009年

[4] Haruhiko Terada, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera, “A Ring-Oscillator Array Circuit for Measurement and Modeling of Gate Delay Variability,” Workshop on Test Structure Design for Variability Characterization, pp., San Jose, 2008年

[5] Kazutoshi Kobayashi, Yohei Kume, Cam Lai Ngo, Yuuri Sugihara, Hidetoshi Onodera, “A Variation-aware Constant-Order Optimization Scheme Utilizing Delay Detectors to Search for Fastest Paths on FPGAs,” 2008 International Conference on Field Programmable Logic and Applications, pp. 107-112, Heidelberg, Germany, 2008年

[6] Yuuri Sugihara, Yohei Kume, Kazutoshi Kobayashi, Hidetoshi Onodera, “Performance Optimization by Track Swapping on Critical Paths Utilizing Random Variations for FPGAs,” 2008 International Conference on Field Programmable Logic and Applications, pp. 503-506, Heidelberg, Germany, 2008年

[7] 寺田晴彦, 土谷亮, 小林和淑, 小野寺秀俊, 「リングオシレータレイによるゲート遅延ばらつきの評価とモデル化」, DAシンポジウム 2008, pp. 199-204, 浜松, 2008年

[8] Jun Yao, Hajime Shimada, Kazutoshi Kobayashi, “A Scalable Pipeline Design for Modularizing High Dependable Framework via Spatial Redundancy,” DA Symposium 2008, pp. 169-174, Hamamatsu, Japan, 2008年

[9] 小林和淑, 森谷祐介, 小野寺秀俊, 「SETパルスによる誤動作を防止する遅延挿入フリップフロップのソフトエラー耐性の検討」, DAシンポジウム 2008, pp. 181-186, 浜松, 2008年

[10] 砂川洋輝, 寺田晴彦, 土谷 亮, 小林和淑, 小野寺秀俊, 「レイアウト規則性が回路性能とばらつきに及ぼす影響の評価」, DAシンポジウム 2008, pp. 67-72, 浜松, 2008年

[11] 久米洋平, 杉原有理, Ngo Cam Lai, 小林和淑, 小野寺秀俊, 「遅延比較器を用いた低コストなFPGAの速度・歩留まり向上手法」, 電子情報通信学会技術報告 , vol. VLD2007-163, ICD-2007-186, pp. 41-46, 沖繩, 2008年

[12] Yuuri Sugihara, Yohei Kume, Kazutoshi Kobayashi, Hidetoshi Onodera, “Speed and Yield Enhancement by Track Swapping on

Critical Paths Utilizing Random Variations for FPGAs," FPGA, pp. 257-258, Monterey, California, USA, 2008年

[13] Kazutoshi Kobayashi, Hidetoshi Onodera, "Best Ways to Use Billions of Devices on a Chip - Error Predictive, Defect Tolerant and Error Recovery Designs," The 13th Asia and South Pacific Design Automation Conference, pp. 811-812, Seoul, 2008年

[14] 久米洋平、杉原有理、香月和也、小林和淑、小野寺秀俊, 「チップ内ばらつきを利用して歩留まりと速度を向上させるFPGA」, 第11回システムLSIワークショップ予稿集, pp. 278-280, 北九州国際会議場, 2007年

[15] 杉原有理、久米洋平、小林和淑、小野寺秀俊, 「ランダムばらつきを利用したトラック入れ替えによるFPGAの速度と歩留まり向上」, 電子情報通信学会技術報告(RECONF2007-34), vol. 107, no. 340, pp. 13-18, 北九州国際会議場, 2007年

[16] Yuuri Sugihara, Yohei Kume, Kazutoshi Kobayashi, Hidetoshi Onodera, "Estimation of Yield Enhancement by Critical Path Reconfiguration Utilizing Random Variations on Deep-submicron FPGAs," SASIMI 2007, pp. 179 - 183, Sapporo, Japan, 2007年

[17] 杉原 有理、小林 和淑、小野寺 秀俊, 「配線自由度によるばらつきを利用したFPGAの速度向上」, DAシンポジウム2007, pp. 139-144, 浜松, 2007年

[18] 久米洋平、小林和淑、小野寺秀俊, 「卓上テスト環境によるばらつき測定の高速度」, 電子情報通信学会総合大会予稿集, pp. C-12-3, 名城大学, 2007年

[19] Yuuri Sugihara, Manabu Kotani, Kazuya Katsuki, Kazutoshi Kobayashi, Hidetoshi Onodera, "A 90nm 8x16 FPGA Enhancing Speed and Yield Utilizing Within-Die Variations," 12th Asia and South Pacific Design Automation Conference, pp. 122-123, Yokohama, 2007年

[20] 小森雅晴, 内山裕陽, 武部博倫, 楠浦崇央, 前川忠彦, 小林和淑, 「ダイヤモンドシールドを用いたガラスマイクロ・ナノインプリントの加工法の研究」, 第6回生産加工・工作機械部門講演会講演論文集, pp. 29-30, 神奈川, 2006年

[21] M. Kotani, K. Katsuki, K. Kobayashi, H. Onodera, "A 90nm 8x16 LUT-based FPGA Enhancing Speed and Yield Utilizing Within-Die Variations," European Solid State Circuit Conference, pp. 110-113, Montreux, Switzerland, 2006年

[22] 小林和淑, 「微細プロセスを用いたFPGA設計手法」, 信学技報リコンフィギャラブル

システム, vol. 106, no. 246 (RECONF 2006-26), pp. 35-40, 熊本, 2006年

[23] K. Kobayashi, M. Kotani, K. Katsuki, Y. Takatsukasa, K. Ogata, Y. Sugihara, H. Onodera, "A Yield and Speed Enhancement Technique Using Reconfigurable Devices against Within-Die Variations on the Nanometer Regime," 2006 International Conference on Field Programmable Logic and Applications, pp. 761-764, Madrid, Spain, 2006年

[24] 小林和淑, 「VDEC利用者から見たスターシャトル」, STARCフォーラム2006, pp. 95-100, 横浜, 2006年

[25] 尾形幸亮, 小谷学, 香月和也, 小林和淑, 小野寺秀俊, 「FPGAのチップ内ばらつきを利用した再配置による高速化の検討」, 信学技報リコンフィギャラブルシステム, vol. 106, no. 50 (RECONF2006-14), pp. 19-24, 仙台, 2006年

[26] 杉原 有理, 高務 祐哲, 小林 和淑, 小野寺 秀俊, 「チップ内ばらつきを考慮したFPGA内配線モデルの検討」, 第19回回路とシステム軽井沢ワークショップ, pp. 547-552, 軽井沢プリンスホテル, 2006年

[27] Kazuya Katsuki, Manabu Kotani, Kazutoshi Kobayashi, Hidetoshi Onodera, "Extracting a Random Component of Variation from Measurement Results of a 90 nm LUT Array," SASIMI2006, pp. 197-200, Nagoya, 2006年

[28] Yoichi Yuyama, Kazutoshi Kobayashi, Hidetoshi Onodera, "Deterministic/Probabilistic Noise and Bit Error Rate Modeling on On-chip Global Interconnect," SASIMI2006, pp. 214-218, Nagoya, 2006年

〔図書〕(計0件)

〔産業財産権〕

○出願状況 (計2件)

[1] 名称: 半導体デバイス

発明者: 小林 和淑, 杉原有理, 久米洋平, 小野寺秀俊(京都大学)

権利者: 国立大学法人京都大学

種類: 特許

番号: 特願 2008-026588

出願年月日: 平成 20 年 2 月 6 日出願,

国内外の別: 国内

[2] 名称: 多重化実行に対してスケーラブルなプロセッサのパイプライン

発明者: 嶋田 創, 姚 駿, 小林 和淑(京都大学)

権利者: 国立大学法人京都大学

種類: 特許

番号：特願 2008-214900

出願年月日：平成 20 年 8 月 25 日出願

国内外の別：国内

6. 研究組織

(1) 研究代表者

京都大学・情報学研究科・准教授・小林和淑

(KAZUTOSHI KOBAYASHI)

研究者番号：70252476