



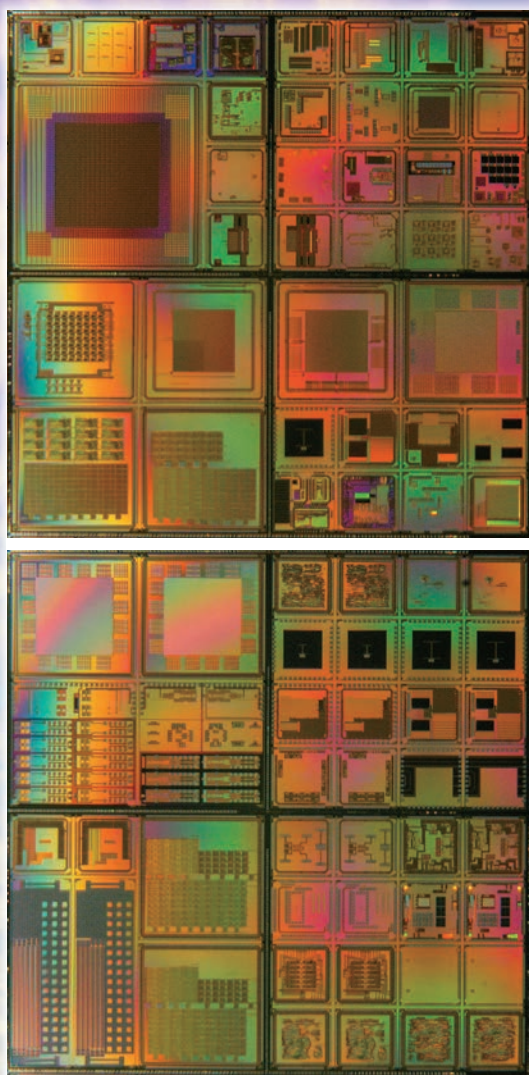
平成30年度

2018

VLSI Design and Education Center, The University of Tokyo
Annual Report

東京大学 大規模集積システム設計教育研究センター

年報





VLSI Design and Education Center *The University of Tokyo*

4月1日より、浅田前センター長の後任としてセンター長に就任いたしました、藤田昌宏です。大規模集積システム設計教育センター(VDEC)は、1996年5月にスタートし、22年が経過しています。初代センター長、鳳教授、ならびに2代目センター長、浅田教授のリーダーシップの基、VDECは日本のアカデミアにおける半導体チップとデバイス試作において、非常に大きなユーザ数を持つ、日本全体にとって欠かせない組織に発展してきていると考えています。VLSIチップ試作およびそのための設計ツールの提供に対しては、年間300の研究室に利用され、また各種デバイス試作のためのクリーンルームや関連施設・設備は、年間200近くの研究室に利用されるようになっていきます。

半導体産業は世界全体として継続的に成長しており、これからもIoT関連など、持続的な成長が予想されています。その土台となるアカデミアの研究開発を支援することは、極めて大きな責務であり、VDECの重要性はますます大きくなっています。海外にもVDECのような組織は米国、カナダ、ヨーロッパ、韓国、台湾などに、地域によっては複数あり、VDECと同様の使命を担っています。これらの組織間で毎年定例の会議を開催しており、お互いにアイデアを出しながら、VLSIチップやデバイス試作に関するユーザへのサービス提供に関し、世界レベルでの協調を進めており、今後より密な連携作業が進められる予定です。

また、寄付研究部門D2Tも設立から10年近くたち、海外から多数の客員教員が滞在し、教育・研究の両面で大きなインパクトを与えています。広い意味でのテストと設計をキーワードとした多くの研究が立ち上げられ、研究成果が生まれ、その産業界での利用も進んでいます。今後、VLSIチップとデバイス試作の両面に関連して、さらに活動を活発化する予定です。

VDECはこれまで大きく発展して来ていますが、今後は、従来のチップやデバイスの試作の範囲を超えて、情報系のリソースも取り込んだ、電子機器システム全体の研究開発の支援へと発展できればと考えています。そのためには、より大規模なチップ試作の効率化、商用利用も考慮した設計ツールの提供、VLSIチップ試作とデバイス試作の統合化などにも取り組んでいきたいと思っています。これからもご支援をよろしくお願いたします。

(全国共同利用施設)
東京大学大規模集積システム設計教育研究センター
センター長 藤田昌宏

藤田昌宏



VLSI Design and Education Center, The University of Tokyo
Annual Report 2018

C O N T E N T S

巻頭言

第 1 章	VDEC 事業の紹介と平成 29 年度事業報告	2
	1.1 VDEC 事業の紹介と平成 29 年度事業報告	2
	1.2 CAD ソフトウェアの整備	5
	1.3 VLSI チップ試作	6
	1.4 セミナー	9
	1.5 装置の整備・運用・利用公開	13
	1.6 平成 30 年度の活動計画	15
	1.7 VDEC 発ベンチャー	17
	1.8 超微細リソグラフィ・ナノ計測拠点	18
第 2 章	「アドバンテスト D2T 寄附研究部門」活動報告	19
	2.1 「アドバンテスト D2T 寄附研究部門」の紹介	19
	2.2 「第 12 回 D2T シンポジウム」開催報告	20
	2.3 研究活動報告	22
	2.4 研究発表	23
第 3 章	チップ試作結果報告	25
	3.1 試作ラン別一覧	26
	3.2 チップ種別一覧	31
	3.3 各チップの詳細	35
第 4 章	VDEC 概要	79
	4.1 組織概要	79
	4.2 人事報告	80
	4.3 新任・退任のご挨拶	83
	4.4 決算報告	87
第 5 章	研究報告	88
	5.1 全体概況	88
	5.2 研究室構成員（平成 29 年度）	89
	5.3 研究概要	91
	5.4 研究発表	99
	5.5 特許、受賞等	112
Appendix		114
	A. Publication list	114
	B. VDEC の利用規定・申し込みガイド	169
	C. IP データベースの整備	172

第1章 VDEC 事業の紹介と平成 29 年度事業報告

1.1 VDEC 事業の紹介と平成 29 年度事業報告

東京大学大規模集積システム設計教育研究センター (VDEC) は、平成 8 年の発足以来『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用 CAD ソフトウェアの整備』、『VLSI チップ試作支援』を 3 つの柱として、円滑な運営を目指した事業を展開した。図 1.1 に示す VDEC の活動内容に基づき、以下に平成 29 年度の概要を報告する。

VDEC の使命は全国の国公立大学および高専の LSI 設計研究・教育を高度化し、産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである。VDEC の発足より 22 年経過し、各大学における CAD ソフトウェアの利用技術教育や LSI 設計・設計フローに関する教育の充実が図られている。その一方で、先端の LSI 設計技術およびそれに対応する CAD ソフトウェアは一層複雑化し続けている。そのため、CAD ツールの導入に際しては、CAD ベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために平成 21 年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている。VDEC としては各ユーザ研

究室内で“技術伝承”され、VDEC 主催のセミナーがトリガーとなって最新の CAD 利用技術が全国的に広がることを期待している(1.3 章参照)。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である。この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを開催してきた。平成 29 年度は、7 月～9 月に、“アナログ設計コース”、“RF 設計コース”、平成 24 年から開始した“MEMS 設計コース”を実施した。いずれも演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。加えて各プロセスに特化した設計フローに関するセミナー“VDEC 環境におけるトランジスタレベル設計講習会”、“VDEC EDA 環境におけるデジタル設計手法講習会”を大学における設計者に向け

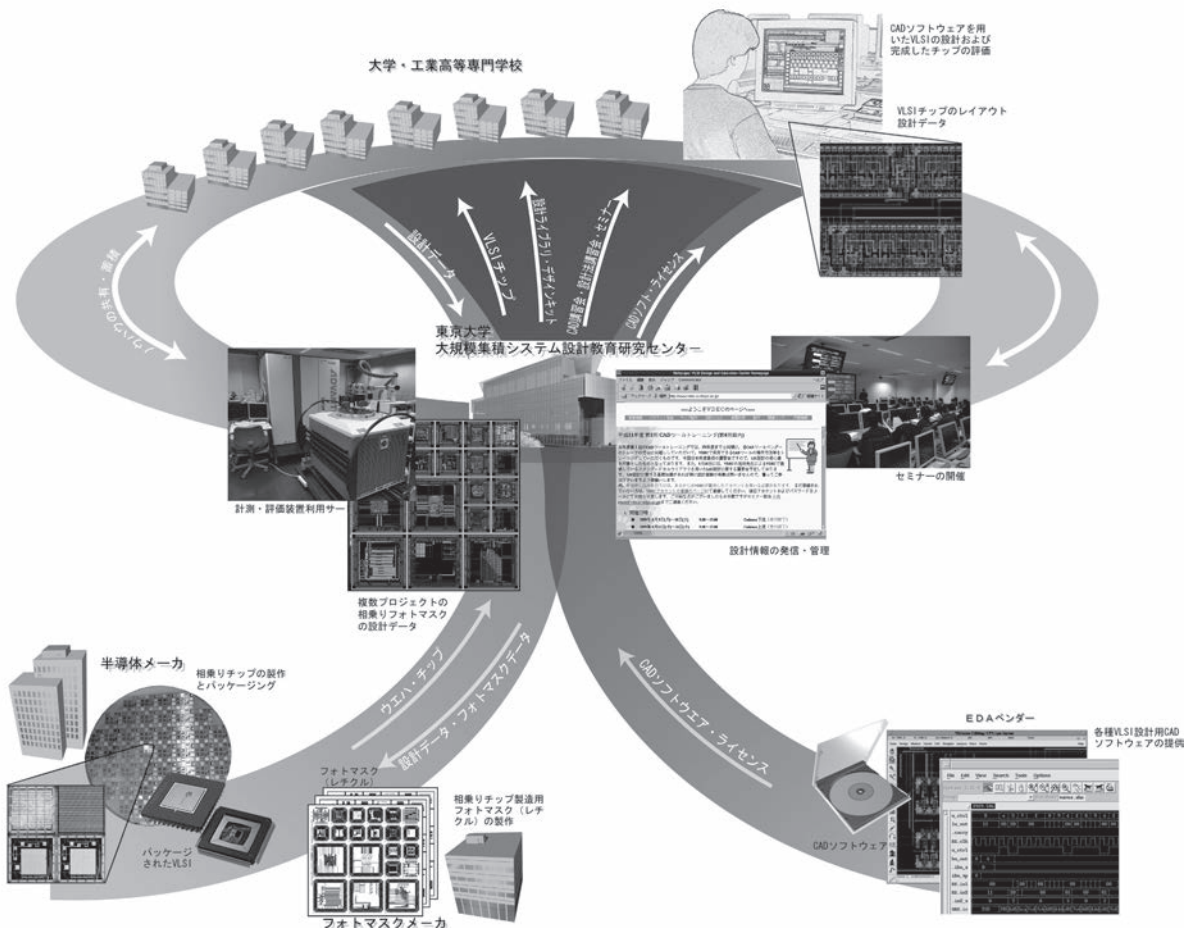


図 1.1 VDEC の活動内容

て実施している。なお、平成26年度から本設計フローに関するセミナーに関して有料化して実施している。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDECデザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。特に平成23年度から、VDEC活動における表彰として「IEEE SCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDECデザイナー・フォーラムの場で行っており、平成29年は、IEEE SCS Japan Chapter VDEC Design Awardとして、神戸大学の浅野大樹さん、3件のVDECデザインアワード優秀賞、(浅野大樹(神戸大学)、藤本光輝(奈良先端大)、松下悠亮(慶応大学))、3件のVDECデザインアワード奨励賞(山口貴大(奈良先端大)、速水一(奈良先端大)、孫鶴鳴(早稲田大学))、3件のVDECデザインアワードアイデアコンテスト部門囑望賞(照月大悟(東京大学))を授与した。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザは

それに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また、今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され、教育上の資産として残していく仕組みになっている。ぜひこの仕組みを活用することで問題解決の一助としていただきたい(図1.2)。

VLSIチップ試作支援に関しては、ルネサスエレクトロニクス社SOTB 65 nm CMOS 試作を呈上試作として開始し、ローム0.18μm CMOS、オンセミ-三洋半導体0.8μm CMOS 試作とともに実施した。

平成20年10月に設置されたアドバンテスト社から寄附部門「Design To Test (D2T)」では、LSIのテストに関する教育の充実とともに、設計とテストの架け橋を目指した研究が進められている。これまでの活動を振り返ると、VDEC発足以来の活動の中でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育が進行している。図1.3にVDECを利用した研究成果の指標として、VDECに関する発表件数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC発足以来、集積回路に関する研究が活性化されていることが確認できる。

図1.4にVDECに関する発表文献のVDECファシリティー利用状況を示す。論文執筆にあたりCADソフトウェアが幅広く利用されていることが確認できる。CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。また、研究論文には最先端のプロセステクノロジーが好んで利用される傾向にあり世界的には32 nm CMOS, 22 nm CMOS, 14 nm CMOSによる設計事例報告が増加しており、VDECにおいても最先端プロセステクノロジー

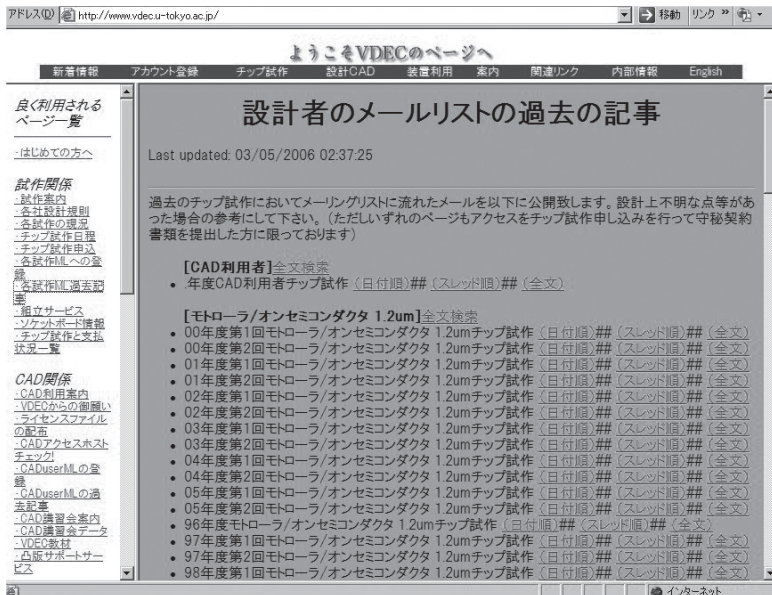


図 1.2 VDEC メールリストの過去記事

ニューの充実をはかっていきたい。加えて、More than Moore が叫ばれており、MEMS 混載 CMOS メニューなどの充実を図っていきたい。そのほかのファシリティー

として、LSI テスターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

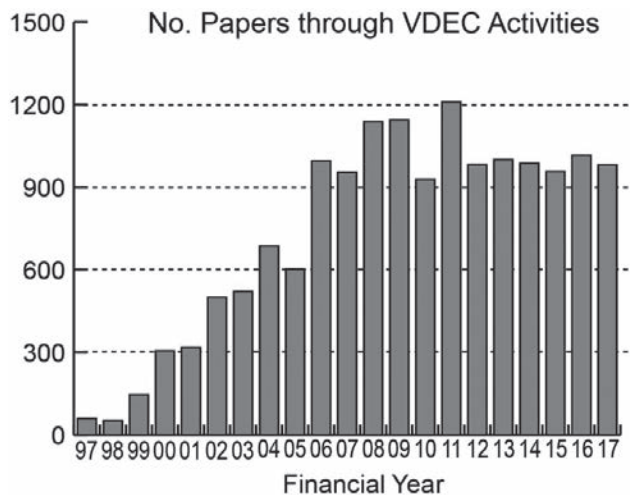


図 1.3 VDEC を利用した発表文献数の推移

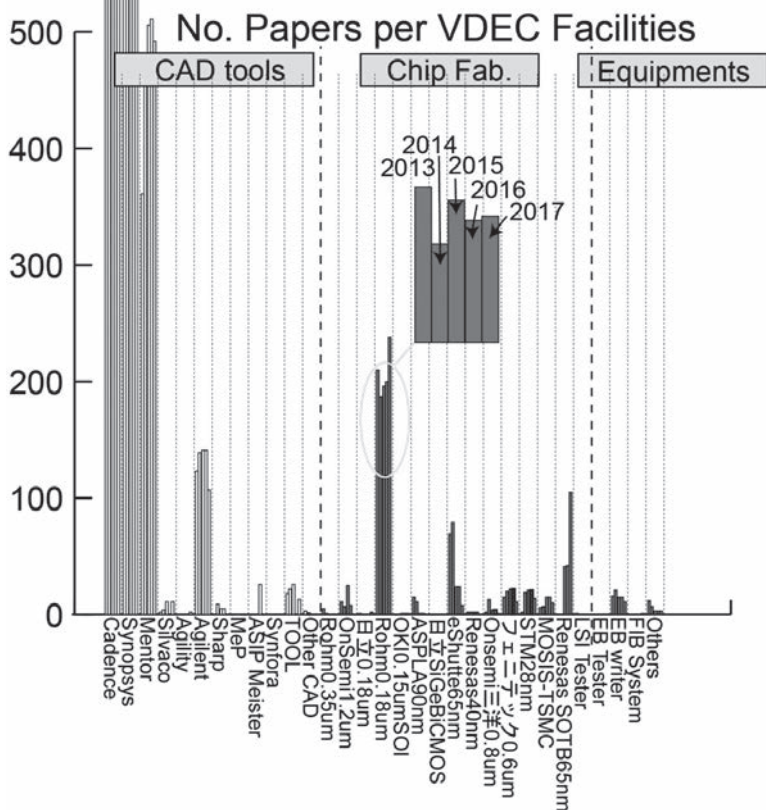


図 1.4 VDEC ファシリティー利用状況

1.2 CAD ソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成30年度は表1.2.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2.1に示す全国地域拠点校10箇所ライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運

用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティングライセンスとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっている。

表 1.2.1 導入されたCADシステム

名称	用途	メーカー
Cadence社設計システム	VerilogHDL/VHDLベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys社設計システム	VerilogHDL/VHDLシミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Mentor社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco社設計ツール	高速回路シミュレーション、	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Keysight Technologies
Bach	BachC言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL

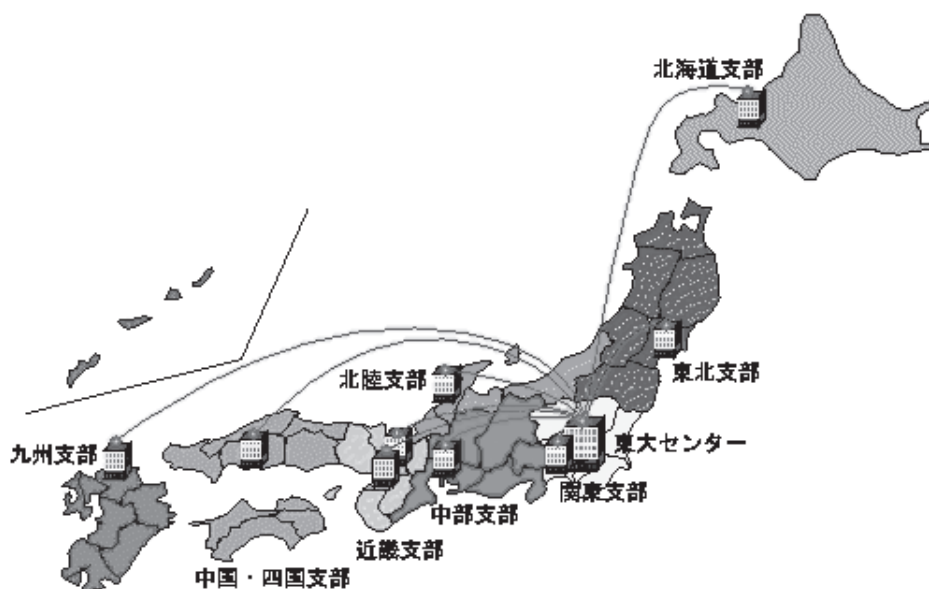


図 1.2.1 全国地域拠点校

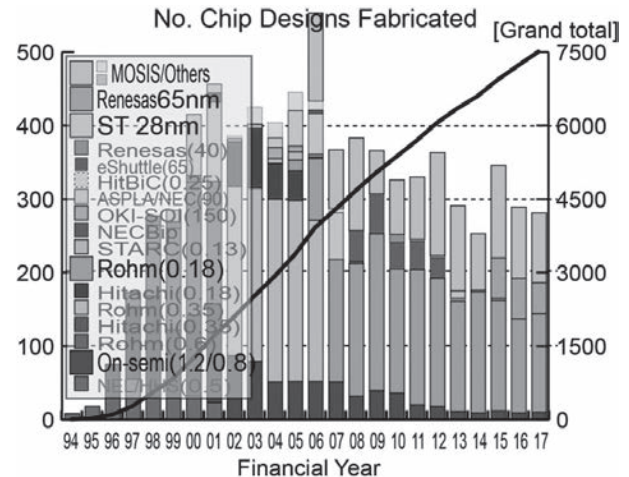
1.3 VLSI チップ試作

1.3.1 VLSI チップ試作の推移

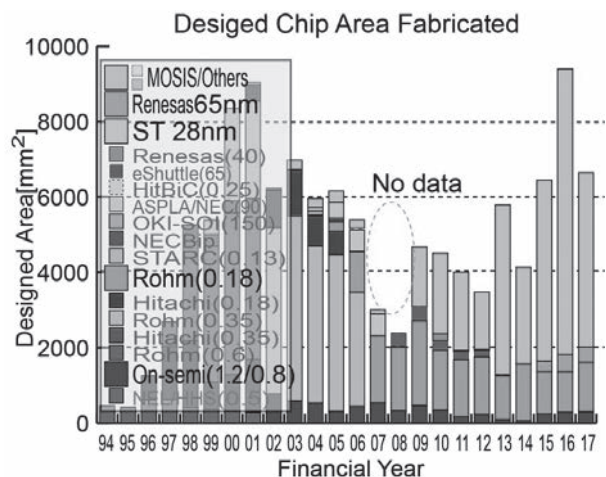
図 1.3.1 は、VDEC および、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSI チップ試作は、平成 6, 7 年度(1994, 1995 年度)のパイロットプロジェクトでは、ファウンドリは NEL 社の CMOS 0.5 μm (当該プロセスはその後日立北海セミコンダクタ社に継続)1社であったが、平成 8 年度(1996 年度)の VDEC 発足後、日本モトローラ社の CMOS 1.2 μm (平成 11 年度からは、オン・セミコンダクターにて継続)が協力を開始し、平成 9 年度からはローム社の CMOS 0.6 μm が加わった。さらに平成 10 年度には日立製作所の CMOS 0.35 μm 、平成 11 年度にはローム社 0.35 μm がそれぞれ加わった。また、IP 開発プロジェクトの一環として STARC 0.13 μm の試作を行った。平成 13 年度から、日立製作所の CMOS 0.18 μm のサービスを実施している。平成 14 年度は、広島大学岩田先生の主導の下に、VDEC と MOSIS の協力による試作サービスを試行的に実施した。これは、TSMC, IBM といった海外のファブを MOSIS を経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った。平成 16 年からテスト試作として沖電気 CMOS SOI 0.15 μm プロセスおよび ASPLA 90 nm(現在は STARC において継続)プロセスの試作を開始し、90 nm 試作については平成 17 年度より通常の試作として公募の形で運用を行っている。さらに平成 18 年度からはローム社 0.18 μm の試作を開始し、日立製作所 0.25 μm SiGeBiCMOS のテスト試作を実施した。平成 19 年度で終了した 90 nm CMOS の後継の先端プロセスの検討を平成 19 年度から開始し、平成 20 年度に eShuttle 社の 65 nm CMOS による試作を開始した。さらに経済産業省-STARC のプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の 40 nm CMOS による試作も開始した。一方で平成 23 年 9 月試作をもって CMOS 1.2 μm を終了することとなったほか、平成 24 年度をもってルネサスエレクトロニクス社の 40 nm CMOS 試作が終了、平成 25 年 8 月シャトルをもって eShuttle 社の 65 nm CMOS 試作が終了した。CMOS 1.2 μm の後継として、オンセミー三洋半導体製造社の協力により平成 24 年 10 月に CMOS 0.8 μm のテスト試作を実施し、平成 25 年度から定常試作として継続している。最先端試作としては、平成 25 年度からフランス CMP を介して ST マイクロ社 FD-SOI 28 nm CMOS 試作を開始した。

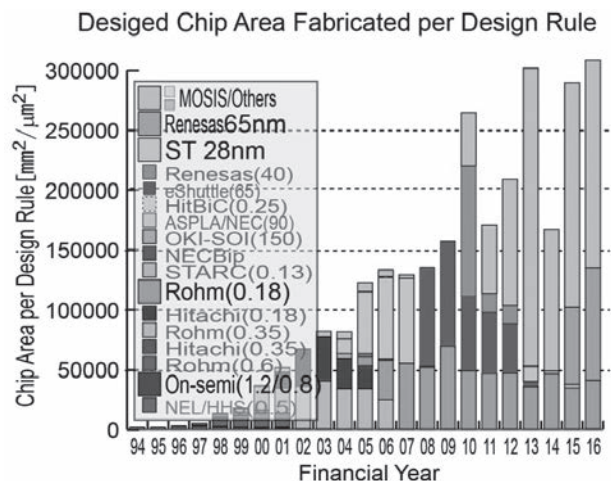
また、平成 27 年度から定常試作として、ルネサスエレクトロニクス社 SOTB 65 nm CMOS 試作を開始した。また平成 28 年度にリコー電子デバイス株式会社による CMOS 0.6 μm 高耐圧試作の検討および、三重富士通株



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図 1.3.1 チップ試作数・面積推移

式会社による CMOS 40 nm 試作の検討を開始した。

図 1.3.1(a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成 14 年度に減少しているが、これは ROHM 社の 0.6 μm プロセスを終了したことによる現象が考えられる。またそれ以降ほぼ 400 品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成 18 年度に 0.35 μm が終了し、平成 19 年度以降 0.18 μm への移行したことにより、試作数が 130 品種程度減少し、さらに平成 19 年度に ASPLA 90 nm CMOS 試作が終了し、eShuttle 65 nm CMOS への移行に伴う試作数の減少がみられる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図 1.3.1(b) に設計されたチップ面積を示す。一方設計量の指標として、図 1.3.1(c) に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、試作面積の減少主要因になっていることが考えられる。

また、図 1.3.2 にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作

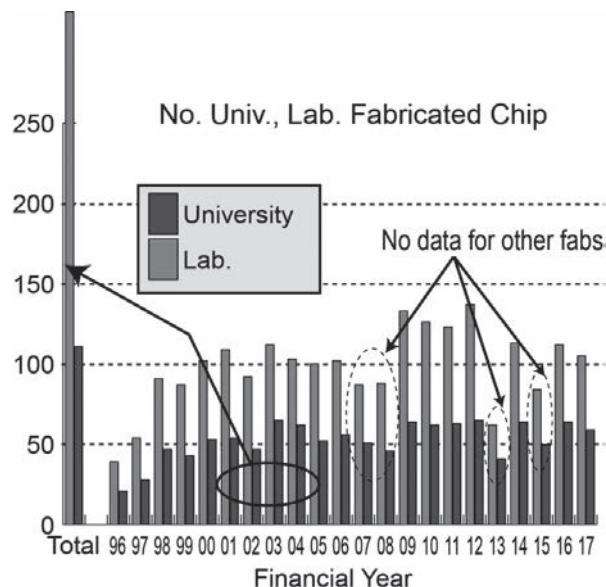


図 1.3.2 VDEC チップ試作参加教員数・大学数の推移とその累計

に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、ルネサスの 65 nm プロセスが 83 名、ロームの 0.18 μm プロセスが 283 名、オンセミ三洋 0.8 μm プロセスが 45 名となっている。

1.3.2 平成 29 年度チップ試作概況

平成 29 年度は、表 1.3.1 に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第 2 章のチップ試作報告を参照されたい。

表 1.3.1 平成 29 年度チップ試作日程

○ CMOS 0.8 μm (オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
平成 29 年度第 1 回	2017/ 7/10	2017/10/ 2	2018/ 1/ 4
平成 29 年度第 2 回	2018/ 1/15	2018/ 3/26	2018/ 6/25

○ CMOS 0.18 μm (ローム)

	試作申込締切	設計締切	納品・試作完了
平成 29 年度第 1 回 (2017 年 7 月試作)	2017/ 5/21	2017/ 6/26	2017/ 9/21
平成 29 年度第 4 回 (2018 年 10 月試作)	2017/ 9/ 7	2017/ 9/19	2017/12/19
平成 29 年度第 2 回 (2017 年 11 月試作)	2017/ 8/ 7	2017/10/30	2018/ 1/31
平成 29 年度第 3 回 (2018 年 3 月試作)	2017/11/27	2018/ 2/19	2018/ 5/28

○ SOTB 65 nm CMOS

	試作申込締切	設計締切	納品・試作完了
平成 29 年度第 1 回	2017/ 6/19	2017/ 7/18	2017/12/14
平成 29 年度第 2 回	2017/12/18	2018/ 2/23	2017/8 頃

1.3.3 ライブラリ・設計フロー整備状況

VDECにおけるチップ試作(主にデジタルLSI試作)では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ライブラリ整備事業

を行ってきた。平成21年度にはアナログ設計向けの設計キット(PDK)の構築をローム0.18um CMOS向けに行った。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1.3.2に示すとおりとなっている。

表 1.3.2 VDEC で利用可能なライブラリ

プロセス	名称	作成者	内容	状況
ローム 0.18 μm	ローム提供ライブラリ	ローム提供 スタンダードセル, IOセル, RAM (セルはすべてブラック ボックス)(CDROMにて配布)	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ 配置配線用 LEF/DEF ファイル	
	京大ライブラリ	京都大学小野寺研究室	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Astro用配置配線ライブラリ	
	東大ライブラリ	ライブラリ情報は京都大学 小野寺研究室, 東大VDECに てフロー構築	・ Cadence RTL Compiler用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Cadence Encounter用配置配線ライブラリ	
	PDK	東京大学VDEC	IC6.1向けPDK	

1.4 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 29 年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

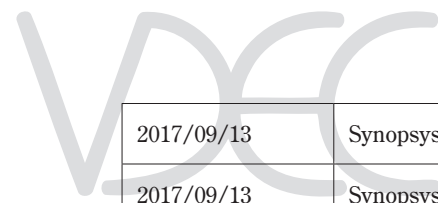
【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で使用可能な Cadence, Synopsys, Agilent など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC 環境での設計フローに関する講習も VDEC スタッフで実施している。平成 29 年度は、8 月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツールを 2 種・5 日間、Synopsys ツールを 2 種・3 日間、Agilent のツールを 1 種・1 日

間、に加え、VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC 環境におけるデジタル LSI 測定講習会を VDEC 教員が講師となり開催した。各コースに 40 名までの教員・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーとして Cadence 2 種・4 日間、Synopsys 2 種・2 日間行った(表 1.4.1)。これら CAD 技術セミナーへの参加要望は非常に大きく、これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に対応し、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。従来、東大もしくは VDEC 拠点校での開催であったが、今年度からは東大で開催し、それを VDEC 拠点校へストリーミング配信を行い、各拠点校でも CAD 講習会の受講が可能となっている。

表 1.4.1 平成 29 年度 CAD 技術セミナー開催状況

2017/08/17-18	Synopsys DesignCompiler+PowerCompiler 講習会	東京大学	13
2017/08/17-18	Synopsys DesignCompiler+PowerCompiler 講習会	京都大学	1
2017/08/17-18	Synopsys DesignCompiler+PowerCompiler 講習会	大阪大学	6
2017/08/17-18	Synopsys DesignCompiler+PowerCompiler 講習会	広島大学	2
2017/08/22-23	Cadence Virtuoso ADE 講習会	東京大学	11
2017/08/22-23	Cadence Virtuoso ADE 講習会	東北大学	3
2017/08/22-23	Cadence Virtuoso ADE 講習会	京都大学	1
2017/08/22-23	Cadence Virtuoso ADE 講習会	広島大学	1
2017/08/22-23	Cadence Virtuoso ADE 講習会	秋田県立大	2
2017/09/6-8	Cadence Virtuoso Layout 講習会	東京大学	15
2017/09/6-8	Cadence Virtuoso Layout 講習会	京都大学	2
2017/09/6-8	Cadence Virtuoso Layout 講習会	大阪大学	5
2017/09/6-8	Cadence Virtuoso Layout 講習会	広島大学	1
2017/09/6-8	Cadence Virtuoso Layout 講習会	秋田県立大	5
2017/09/13	Synopsys HSPICE 講習会	東京大学	8
2017/09/13	Synopsys HSPICE 講習会	東北大学	2
2017/09/13	Synopsys HSPICE 講習会	大阪大学	4
2017/09/13	Synopsys HSPICE 講習会	広島大学	1



2017/09/13	Synopsys HSPICE 講習会	秋田県立大	5
2017/09/13	Synopsys HSPICE 講習会	有明高専	9
2017/09/14	Keysight Golden Gate 講習会	東京大学	9
2017/09/14	Keysight Golden Gate 講習会	大阪大学	1
2017/09/14	Keysight Golden Gate 講習会	広島大学	1
2017/09/14	Keysight Golden Gate 講習会	秋田県立大	5

2018/03/08-09	Cadence Innovus 講習会	東京大学	16
2018/03/08-09	Cadence Innovus 講習会	大阪大学	3
2018/03/08-09	Cadence Innovus 講習会	広島大学	3
2017/03/13	Synopsys XA-VCS CoSim 講習会	東京大学	13
2017/03/13	Synopsys XA-VCS CoSim 講習会	広島大学	2
2017/03/13	Synopsys XA-VCS CoSim 講習会	宮崎大学	1
2017/03/14	Synopsys IC Symplify 講習会	東京大学	19
2017/03/14	Synopsys IC Symplify 講習会	広島大学	2
2017/03/19-20	Cadence Allegro PCB + Sigrity 講習会	東京大学	13
2017/03/19-20	Cadence Allegro PCB + Sigrity 講習会	北海道大学	2
2017/03/19-20	Cadence Allegro PCB + Sigrity 講習会	広島大学	2

【社会人のためのリフレッシュセミナー】

平成29年度には、平成28年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表1.4.3)。

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、

半導体理工学研究センター(STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。

本年度はVLSI設計に関する4つのコース、コースA:アナログ集積回路設計と演習(7/10~12実施)、コースM1:MEMS設計と演習(6/12~13実施)、コースM2:MEMS試作と評価(7/18~20)、コースR:RF-CMOS集積回路設計と演習(7/13~14実施)を開催した。講師として大学・企業の集積回路研究・教育に携わる教官や研究者を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコースA、M1、M2、Rそれぞれ19名、14名、12名、3名であった。



図 1.4.2 リフレッシュ教育会場風景(東大 VDEC セミナー室)

表 1.4.3 リフレッシュセミナー開催状況

コース A : アナログ集積回路設計と演習 (3日間)
回路設計, 回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計, 検証 (DRC, LVS)
杉本泰博 (中央大学), 小野寺秀俊 (京都大学) 小谷光司 (東北大学)
コース M1 : MEMS 設計と演習 (2日間)
MEMS の基礎 1 : 作製法 MEMS の基礎 2 : 動作原理 機構設計
レイアウト設計
三田吉郎 (東京大学)
コース M2 : MEMS 試作と評価 (3日間)
CAD 設計・解析 リソグラフィ, エッチング, リリース 振動解析測定
三田吉郎 (東京大学)
コース R : CMOS-RF 集積回路設計と演習 (2日間)
変復調, 多次元接続方式 回路の基本性能, トランシーバアーキテクチャ 要素回路, 設計フロー
伊藤浩之 (東京工業大学)

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象としたVDEC LSIデザイナーフォーラム(VDEC LSI Designers Forum)を開催している。VDEC LSIデザイナーフォーラムは、LSI設計者が、互いの研究成果だけではなく、チップ設計で苦勞

した点、失敗事例と解決策、CAD業界の裏話、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。今年は、9月に福岡県二日市温泉にて開催された。35人の参加者が集まる盛況であった。

表 1.4.4 デザイナーズフォーラムプログラム

9/4(月)

時間	
12:00-12:30	会場受付
12:40-14:20	VDEC デザインアワード発表会 I
14:30-16:10	VDEC デザインアワード発表会 II
16:20-17:40	VDEC デザインアワード発表会 III
19:00-	VDEC デザインアワード表彰式 & 懇親会

9/5(火)

時間	
9:00-10:00	VDEC アイディアコンテスト発表会
10:00-12:00	Ph.D 企画セッション
12:00-13:00	基調講演
13:00-13:10	閉会

1.5 装置の整備・運用・利用公開

VDECでは、大型装置公開事業すなわち、1研究室では取得・維持管理が困難な装置をVDECで代表して管理し、ユーザーは無償または廉価に利用するというスキームを、「CAD」「LSIマルチチップ」「テスト」となる4本柱の一つとして継続的に運用している。表1.5.1に装置の一覧と利用公開の状況を示す。装置はVLSI用大型テスターと、その他のプロセス装置とに大別でき、テスターは武田先端知ビル1F、プロセス装置は武田地下クリーンルームにある。プロセス装置は平成24年度より文部科学省「ナノテクノロジー・プラットフォーム」に参加したことで、さらに多くのユーザーに対する支援体制を整備することができている(ナノテクノロジー・プラットフォームについては1.8節を参照いただきたい。).

2017年よりLPKF Laser & Electronics 社との協力関係によってUVレーザープリント基板加工装置(ProtoLaser U3)を武田先端知ビル204号室(VDECバックエンド加工室)に導入した。本装置は35 μ m厚銅箔の他、各種材料をカットすることが可能である。

装置の利用については、人的リソースが限られている状況でもできるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を基本とした運用を行っている。利用者資格を有する者、資格者の同伴、ナノテク支援員の同伴、代行といった様々な形態のスポット利用が可能である。個別の装置についての利用相談は、VDECの教職員までお寄せいただきたい。

表 1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジック LSI テストシステム	EBテスター： IDS10000	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常LSIテスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える。384ピン、1GHzまでのデジタル回路のテストを行える。	整備中	nanotech@sogo.t.u-tokyo.ac.jp
	LSIテスター： ADVANTEST T2000	256ピン、512MHzまでのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	nanotech@sogo.t.u-tokyo.ac.jp
	回路修正用 FIB:V400ACE	LSIパターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能。加工ガスによりバルクシリコンを裏面から高速にポイントエッチング可能。	公開中	nanotech@sogo.t.u-tokyo.ac.jp
	オートプローバ： PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている。	希望に応じ利用可能	nanotech@sogo.t.u-tokyo.ac.jp
	アナログ・RF測定装置一式: B1500A, HP4156B, HP4284, etc	DCパラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置	希望に応じ利用可能。但しVDECの業務による利用を優先とする	nanotech@sogo.t.u-tokyo.ac.jp
アナログ・RF測定システム	低雑音マニュアルプローバ: Cascade社	マニュアルにて6インチまでのウエハ上のチップの測定が可能。測定には、通常のプローブ針(6本まで)のほか、50GHzまでの測定が可能な高周波プローブを2本備える	希望に応じ利用可能。但しVDECの業務による利用を優先とする 公開中	nanotech@sogo.t.u-tokyo.ac.jp
	低雑音・温度制御機構付きセミオートプローバ: Süss Microtec社	8インチまでのウエハ上のチップの測定が可能。ウエハ温度を-50℃から200℃まで制御可能。プローブカードによる測定。GPIOを介した制御を行うことで半自動測定も可能		

ナノテクノロジー・プラットフォームの主な装置	マスク描画・ウエハ直描装置: F5112+VD01	半導体製造用2.3mm厚5インチマスクの描画およびエッチング, 2-8インチ並びに不定形ウエハへの直接描画が可能. 参考描画寸法50nm L/S.	公開中	nanotech@sogo.t.u-tokyo.ac.jp
	大面積高速電子線描画装置 : F7000S-VD02	半導体製造用2.3mm厚5インチマスクの描画およびエッチング, 2-8インチ並びに不定形ウエハへの直接描画が可能. キャラクタープロジェクション機能により, 円形や三角形, 斜め線などの高速・高精細描画が可能. 参考描画寸法1Xnm L/S.	公開中	
	塩素系プラズマエッチャー CE-S	Cl ₂ , BCl ₃ を使った金属のプラズマエッチングが可能.	公開中	
	シリコン深掘りエッチング装置MUC-21 ASE-Pegasus	ボッシュプロセスによる高速・高アスペクト比シリコン深掘りが可能.	公開中	
	UVレーザープリン基板加工装置 LPKF ProtoLaser U3	紫外線レーザーを使い, 35μmまでの銅箔やフレキシブル材料などのカット加工が可能.	公開中	
	FIB装置 : SII XVision 200TB	ガラスマスクの欠陥修正の他, 断面観測のための加工等が可能. ナノテクノロジー・プラットフォームにて利用可能.	公開中	
精密ボンディングシステム系	ウェッジボンダー : Westbond 7476D	25μmφアルミまたは金線によるウェッジボンディングが可能	公開中	
	エポキシダイボンダー Westbond7200C	精密マニピレータにより, エポキシや銀ペーストを用いたチップ配置, 細線の配線が可能		
	セミオートボンダー Westbond 4700E	18~25μmφの金細線を用いたボールボンディングまたはボールバンプの形成が可能		
	精密マニュアルフリップチップボンダー Finetech Fineplacer Lamda	15mm角までのチップ同士をテレビカメラで目視しながら接合することが可能. ランプ加熱による熱接合(超音波オプション購入可能) 位置合わせ精度XY±0.5μm, θ=1mrad.		

1.6 平成 30 年度の活動計画

平成 30 年度においても、従来の設計情報発信、CAD ツール提供、チップ支援、寄附部門「D2T」の活動を継続する。

【設計情報発信・セミナー開催】

本年度は、平成 9 年度より継続している CAD ツール利用法に関する技術セミナー、平成 10 年度から継続している社会人向けの「リフレッシュセミナー」、平成 8 年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。

【CAD ツール提供】

上流設計(Cadence, Synopsys)、中流設計(Synopsys, Cadence)、下流設計(Cadence)の各基本ツールを、平成 27 年度もサポートしていく。これに加え平成 14 年度から導入した設計検証(Mentor: Caribra, ModelSim, Handel-C 等)、平成 16 年度から導入したアナログ RF 設計ツール(Agilent: GoldenGate, ADS/RFDE)を継続してサポートするとともに、平成 17 年度より提供を受けている Sharp 社 C ベース設計ツール(BachC)を継続してサポートする。平成 20 年度より提供を開始している TOOL 社レイアウト表示プラットフォーム(Lavis)に関しても利用状況に基づき継続を行うとともに、平成 23 年度からの SpringSoft 社の検証ツールは、SpringSoft 社が Cadence 社に買収され Cadence 社のツール群としてのサポートが継続されることになっている。また、回路シミュレーションツール(Silvaco)ツールについてもサ

ポートを継続する。

【チップ試作支援】

平成 30 年度は、平成 29 年度から引き続き SOTB 65 nm CMOS, ローム株式会社の 0.18 μm CMOS プロセス, CMP シャトルに乗る形で ST CMOS FDSOI 28 nm およびオンセミ - 三洋半導体 0.8 μm CMOS を定常試作として継続する(すでに一部の試作は進行中である)。なお、一部のチップ試作に関しては試作申込数が少ない場合に試作キャンセルとなることがある。また、平成 29 年度から技術的相談を開始しているリコー電子デバイス株式会社の 0.6 μm 高耐圧 CMOS 試作および三重富士通株式会社の 40 nm CMOS プロセスによる試作を開始する。

【その他】

経済産業省・NEDOの「AIチップ開発加速のためのイノベーション推進事業」における「AIチップ開発を加速する共通基盤技術の開発」事業を受託することで「AIチップ開発拠点」の整備を行う。具体的には、産業技術総合研究所と共同で大規模 AI デジタルチップ設計検証向けのロジックエミュレータを導入するとともに、産業応用可能な EDA ライセンスの整備運用を行う。なお、本事業は AI チップ開発加速に向け、AI チップの設計・評価・検証等の開発環境を中小・ベンチャー企業に提供することを主眼としているが、AI に関連した集積回路分野における大学発の企業化の促進も目指し大学からの利用の環境も整備を進める予定である。

表 1.7.1 VDEC チップ試作スケジュール (平成 30 年度)

【CMOS 0.8 μm 2P2M】 オン・セミコンダクタ

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 30 年度第 1 回	2018/ 4/16	2018/ 7/ 9	2018/10/ 1	2018/12/24
平成 30 年度第 2 回	2018/10/ 8	2019/ 1/15	2019/ 3/25	2019/ 6/24

【CMOS 0.18 μm 1P5M (+MiM)】 ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 30 年度第 1 回 (2018 年 7 月試作)		2018/ 4/ 2	2018/ 6/25	2018/10/12
平成 30 年度第 2 回 (2018 年 9 月試作)		2018/ 6/18	2018/ 9/10	2018/12/28
平成 30 年度第 3 回 (2018 年 11 月試作)	2018/ 5/21	2018/ 8/13	2018/11/ 5	2019/ 2/22
平成 30 年度第 4 回 (2019 年 3 月試作)	2018/ 9/10	2018/12/ 3	2019/ 2/25	2019/ 6/14

【FD-SOI CMOS 28 nm 1P10M】 ST マイクロ社

CMPの予定の通り。



[SOTB CMOS 65 nm]

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成30年度第1回		2018/ 6/18	2018/ 7/30	2019/ 2/ 2
平成30年度第2回	2018/ 8/13	2018/12/17	2019/ 1/28	2019/ 7/27

1.7 VDEC 発ベンチャー

VDEC での設計 / 試作経験, 人材育成が有効には機能した事例といたしまして, VDEC と関連があった(ある)教員が起業したベンチャー企業のリスト(順不同)を以下に示します.

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生: 神戸大学 瀧和男教授 (同社, 代表取締役社長)

事業内容: (1) Hyper LSI Design
(2) 汎用コアの低消費電力, 小面積, 高速化ハードニング
(3) オリジナルライブラリ / IP の販売
(4) チップ受託開発

[2] 株式会社シンセシス (<http://www.synthesis.co.jp/>)

代表の先生: 大阪大学 白川功名誉教授 (同社, 取締役)

事業内容: (1) システム LSI 開発・設計受託
(2) IP 開発及び販売
(3) システムソリューション提供 / 設計支援ツール開発及び販売

[3] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生: 九州工業大学 中村和之教授 (同社, 代表取締役)

事業内容: (1) アナログ LSI 設計用 CAD ツールの開発
(2) メモリ LSI 自動設計ツールの開発

[4] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

代表の先生: 広島大学 岩田穆名誉教授 (同社, 代表取締役)

事業内容: (1) アナログ・RF 回路混載 SoC 設計開発業務
(2) 基板雑音解析業務
(3) 企業との協力と人材育成

[5] 有限会社石島電子技研 (<http://ishi.main.jp/>)

事業内容: (1) ハードウェア開発
(2) ソフトウェア開発
(3) システム・コンサルティング

VDECでは、武田先端知ビルスーパークリーンルームを工学部総合研究機構と共同で運用し、オープンな拠点として全国の学・産・官に広く公開している。平成23年度で終了したナノテクノロジーネットワーク事業に引き続き、東京大学を代表して平成24年度より開始された文部科学省ナノテクノロジープラットフォームの微細加工実施機関となって、「超微細リソグラフィー・ナノ計測拠点」を運営している。一研究室では取得維持が困難な装置群を、組織的に維持管理し、学内外、特に学外の企業に公開するというプロジェクトである。平成27年度より「微細加工プラットフォーム代表機関(京都大学)」のサブセンターとして、主に東日本を担当するコーディネータ業務を受託している。VDECの微細加工拠点は、株式会社アドバンテスト社製の量産向け高速電子線描画装置を改造して、1cm角から8インチ丸までの任意形状にまで描画できるようにしたF5112+VD01ならびに、8インチまでの任意形状に描画できる柔軟性・大面積描画性はそのままに、20nmを切る解像度向上と、機器中のステンシルの影像を精密に縮小投影する「キャラクタ(セル)プロジェクション」に正式対応した後継機F7000S-VD02を核に、武田先端知ビルスーパークリーンルームでの活動を支援している。さらに、VLSIファウンドリ活動の日本代表という立ち位置を最大限利用し、「フェニテックセミコンダクター」プロジェクトとの協業により、VLSIをVDECで試作し、ウエーハ状態のLSIの供給を受け、ナノテクプラットでMEMS後加工するという新たな「More-Than-Moore」系の研究支援スキームを安定的に運用している。実績は極めて好調であり、平成24年度(ナノテクプラット開始時)から28年度末までに登録した研究グループ数は累積270(前年度+50)研究グ

ループ・4教育プロジェクトとなった。これは2000年から2004年の利用研究グループ数の14倍(2016年は13倍)である(図1)。平成29年度の「利用報告書」は168件であった。内訳は、①大企業による利用29件、②中小企業による利用4件、③東京大学以外の大学による利用35件、④公的機関による利用9件、⑤東京大学による利用(共同研究を含む)91件である。このほかいわゆる「成果非公開(報告書を出さない・VDEC関係者)研究」が19件ある。企業による利用が順調に増加していることが特筆され、これはナノプラット開始後5年目を迎え、制度の存在が次第に知られてきているためである。最も利用されている装置は電子線描画装置であり、2017年4月～2018年3月の間に、月平均202.8枚(合計2434枚)描画を行った。月平均描画枚数が200を超えたのは統計開始以来17年間で初めてである。描画回数の年次変化を図2に示す。絶えず右肩上がりの成長ではあるが、外部共用率は99%、すなわち利用可能な日には必ず誰かが利用をしていたという結果、装置の空き時間がひっ迫しつつあり、描画枚数の伸びが一段落している。新規リソグラフィ装置の導入等の工夫により、更なる利用スループットを向上すべく各方面と調整中である。これだけ好評である理由の一つは、経験豊富な技術支援者のアテンドによる技術補助利用、技術代行利用が好評を博しているためで、さらなる利用の向上が期待できる。国際的プレゼンスも高く、特にフランス共和国における同種のプロジェクである「CNRS-RENATECH」より名指しで依頼を受け、フランス共和国より博士エンジニアを1年間受け入れ、技術交流を行った。

URL:<http://nanotechnet.t.u-tokyo.ac.jp/>

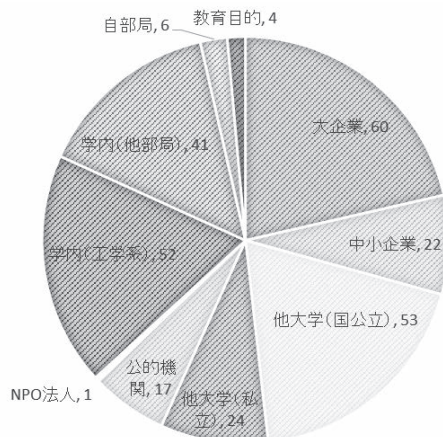


図1 武田先端知ビルスーパークリーンルーム利用研究室の内訳

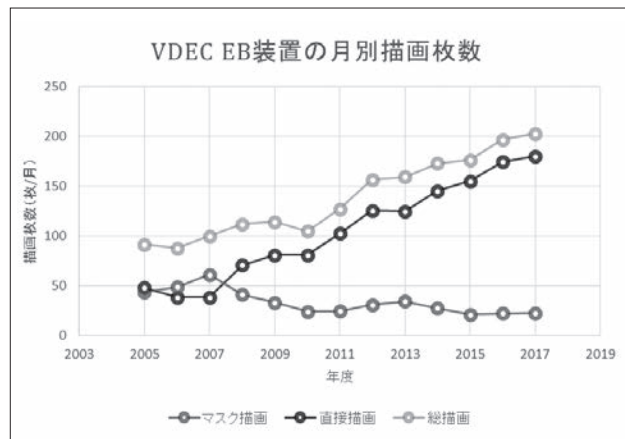


図2 VDEC電子線描画装置の月あたり平均描画枚数

第2章 「アドバンテスト D2T 寄附研究部門」 活動報告

2.1 「アドバンテスト D2T 寄附研究部門」の紹介

2.1.1 アドバンテスト D2T 寄附研究部門設立の趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。

このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテスト D2T 寄附研究部門」が2007年10月にVDEC内に設立されました。「アドバンテスト D2T 寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく“Design to Test (D2T)”の理念のもと、国内の大学・高専における「テスト研究・教育」の拠点としての活動を行っています。

当部門はこれまで2007年10月～2010年9月(第1期)、2010年10月～2013年9月(第2期)、2013年10月～2016年9月(第3期)の計9年間に渡るプロジェクトを遂行してきました。2017年度は2016年10月から株式会社アドバンテストのご厚意により新たに開始した第4

期(2016年10月～2019年9月予定)の二年目にあたり、研究・教育活動を継続させていただいております。

また2017年度は米国 Auburn University から Adit Singh 特任教授(2018年1月～)を客員教員として招聘しており、VDECの研究および教育活動に大きな力を与えて頂いております。

当研究部門の活動の詳細については、続く各章においてそれぞれ報告いたします。

2.1.2 アドバンテスト D2T 寄附研究部門構成員

特任教授	藤田昌宏
特任教授	Adit Singh(2018年1月～)
特任講師	肥後昭男(2017年10月～)
特任講師	池野理門(～2017年9月)
特任研究員	Parit Kanjanavirojkul(2017年4月～2018年3月)
共同研究員	山口隆弘(株式会社アドバンテスト研究所)(～2017年12月)
共同研究員	石田雅裕(株式会社アドバンテスト)(～2017年9月)
共同研究員	浅見幸司(株式会社アドバンテスト)(2017年10月～)
事務補佐員	岡崎真紀子

2.2 「第12回 D2T シンポジウム」開催報告

2017年9月28日(木)に、東京大学武田ホールにおいて「第12回 D2T シンポジウム」を開催し、たくさんの皆様にご参加を頂きました。

今回のシンポジウムでは、香港科技大の Tim Cheng 教授、カーネギーメロン大学の Shawn Blanton 教授、カイザーラウテルン工科大学の Wolfgang Kunz 教授と Dominik Stoffel 教授の4名を招待講演者としてお招きし、「IoTとビッグデータ解析」をキーワードに最新の

研究についての貴重な講演を頂きました。また、東京大学の高木信一教授と森川博之教授にも集積デバイスとアプリケーションのそれぞれの立場からIoTと技術の関りについての特別講演を頂きました。

閉会後の懇親会まで多くの方にご参加を頂き、大変盛況な会となりましたことを改めて御礼申し上げますとともに、今後開催される第13回シンポジウムへのご参加を心よりお待ちしております。

アドバンテスト D2T 寄附研究部門

東京大学 大規模集積システム設計教育研究センター
VLSI Design and Education Center VDEC

第12回 D2Tシンポジウム

~ VLSI system design, verification, and test:
as enablers of IoT and big data analytics ~

東京大学大規模集積システム設計教育研究センターでは、株式会社アドバンテストからの寄附によるアドバンテスト D2T 寄附研究部門において、「D2T (Design-to-Test)」の理念に基づき、「設計」と「テスト」の橋渡しを目的とした研究・教育活動を行なっています。その一環として開催して参りました D2T シンポジウムを今年も下記の通り開催いたします。多くの皆様の御参加をお待ち申し上げます。

2017 **9/28**
THU 10:00-18:00

東京大学 武田先端知ビル5階
武田ホール

プログラム

10:00 開会 / Opening

10:30 セッション 1 / Session 1

“Advanced MOS device technology for ultra-low power IoT applications”
高木信一 (東京大学) / Shinichi Takagi (The University of Tokyo)

“Going Digital: Transformation of Society, Industry, and Life”
森川博之 (東京大学) / Hiroyuki Morikawa (The University of Tokyo)

12:00

昼食 / Lunch

13:15 セッション 2 / Session 2

“Power Supply Impedance Emulation to Eliminate Overkills and Underkills due to the Impedance Difference between ATE and Customer Board”
名倉徹 (東京大学) / Toru Nakura (VDEC, The University of Tokyo)

“Common Pitfalls in Application of a Threshold Detection Comparator to a Continuous-Time Level Crossing Quantization”
山口隆弘 (アドバンテスト研究所) / Takahiro Yamaguchi (ADVANTEST Laboratories Ltd.)

14:05

休憩 / Short break

14:15 セッション 3 / Session 3

“Variation and Failure Characterization Through Test Data Analytics”
Kwang Ting Cheng (Hong Kong University of Science and Technology)

“Test-Chip Design for Yield Learning at the 7nm Technology Node”
Shawn Blanton (Carnegie Mellon University)

15:45

コーヒーブレイク / Coffee Break

16:15 セッション 4 / Session 4

“Rethinking Design in the IoT Era - How Formal Methods Help to Meet the Challenges”
Wolfgang Kunz (Technische Universität Kaiserslautern)

“Software in a Hardware View: New Models for Firmware Development and Safety Analysis in IoT Systems”
Dominik Stoffel (Technische Universität Kaiserslautern)

17:45

閉会 / Closing

懇親会 / Reception



参加のお申し込み 参加費：無料

申し込み方法：下記ウェブサイトで事前申込をお願いします
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2017-j.html>

主催：東京大学大規模集積システム設計教育研究センター (VDEC)

後援：株式会社アドバンテスト

協賛：(一社)電子情報通信学会、(一社)情報処理学会、IEEE SSCS Japan Chapter
IEEE SSCS Kansai Chapter、応用物理学会 集積化 MEMS 技術研究会
ナノテスト学会、(一社)電子情報技術産業協会、(一社)日本半導体製造装置協会
SEMI ジャパン、(一社)パワーデバイス・イネープリング協会

お問い合わせ：東京大学 大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
〒113-0032 東京都文京区弥生 2-11-16 武田先端知ビル 404号室
Tel: 03-5841-0233 FAX: 03-5841-1093
<http://www.vdec.u-tokyo.ac.jp/> E-Mail: ikeno@vdec.u-tokyo.ac.jp



第12回 D2T シンポジウム開催プログラム

10:00	Opening Remarks 浅田邦博 / Kunihiro Asada (東京大学 VDEC センター長 / Director, VDEC, The University of Tokyo) 津久井幸一 / Koichi Tsukui (株式会社アドバンテスト 常務執行役員社長室室長 / Managing Executive Officer Executive Vice President, Corporate Relations Group, ADVANTEST Corporation)
10:30	Session 1 (Chairman: Makoto Ikeda, The University of Tokyo) <i>"Advanced MOS device technology for ultra-low power IoT applications"</i> 高木信一 / Shinichi Takagi (東京大学 / The University of Tokyo) <i>"Going Digital: Transformation of Society, Industry, and Life"</i> 森川博之 / Hiroyuki Morikawa (東京大学 / The University of Tokyo)
12:00	Lunch
13:15	Session 2 (Chairman: Tetsuya Iizuka, The University of Tokyo) <i>"Power Supply Impedance Emulation to Eliminate Overkills and Underkills due to the Impedance Difference between ATE and Customer Board"</i> 名倉徹 / Toru Nakura (東京大学 / The University of Tokyo) <i>"Common Pitfalls in Application of a Threshold Detection Comparator to a Continuous-Time Level Crossing Quantization"</i> 山口隆弘 / Takahiro J. Yamaguchi (アドバンテスト研究所 / Advantest Laboratories Ltd., 東京大学 / The University of Tokyo)
14:05	Break
14:15	Session 3 (Chairman: Yoshio Mita, The University of Tokyo) <i>"Variation and Failure Characterization Through Test Data Analytics"</i> Kwang Ting Cheng (Hong Kong University of Science and Technology) <i>"Test-Chip Design for Yield Learning at the 7 nm Technology Node"</i> Shawn Blanton (Carnegie Mellon University)
15:45	Coffee Break
16:15	Session 4 (Chairman: Masahiro Fujita, The University of Tokyo) <i>"Rethinking Design in the IoT Era - How Formal Methods Help to Meet the Challenges"</i> Wolfgang Kunz (Technische Universität Kaiserslautern) <i>"Software in a Hardware View: New Models for Firmware Development and Safety Analysis in IoT Systems"</i> Dominik Stoffel (Technische Universität Kaiserslautern)
17:45	Closing
18:00	Reception

高精度波形測定技術

山口隆弘, Parit Kanjanavirojkul,
Nguyen Ngoc Mai-Khanh, 池野理門, 飯塚哲也,
浅田邦博

確率的アナログ-デジタル変換器 (Stochastic Analog to Digital Converter; ADC) に基づく高精度サブレンジ型ADCの研究を行っている。プロセスばらつきや電圧、温度の変動によって生じるコンパレータのオフセットはADC特性の劣化の原因となる。一方、確率的ADC方式ではオフセットのランダムばらつきの正規分布を利用して精度を向上する。

サブレンジ型ADCシステムの初段にあたるフラッシュ型ADCのデータ変換エラーを小さくする改良をすすめた。変換エラーの原因が、急峻なイネーブル信号の変化に起因するコンパレータ入力部のPMOSFETのソース電位の変動にあることを明らかにした。入力信号の速度や電位などの回路動作条件の絞り込みと、差動電流の積分の開始タイミングを遅らせる回路を追加して電位変動中の不安定期間の電流を捨てるなどのコンパレータ回路の改良を行った。

電源環境の評価・テスト技術

石田雅裕, 寺尾直樹, 池野理門, 名倉徹, 飯塚哲也,
浅田邦博

半導体プロセスの微細化により電源電圧が低下する一方で、高集積化により半導体デバイスの電源電流は増加傾向にある。このため、相対的にデバイス電源の電圧誤差・ノイズが増大し、デバイス試験時/実動作時の電源品質 (パワーインテグリティ) が重要となっている。本研究では、半導体デバイスのオンチップ電源ノードにおける電源品質を評価するための電源ネットワーク・モデル化技術と、フィードバック方式をもちいた新しい電源品質制御技術の構築を目指す。

今年度は、電源品質制御技術について、フィードバック制御で任意の電源特性を模擬する技術について、インピーダンスの直列接続を多段フィードバック型デジタルフィルタによって構成する新手法を提案し、それらを含む実証実験を行った。また、本手法の多ピン化対応への拡張法を検討し、シミュレーションによる手法の検証を行った。さらに、FPGAをもちいた実験に

より、提案手法が二つの電源環境間に生じる試験結果の不一致を解消できることを実証した。

広帯域周波数拡散向け高性能ADCとの応用

浅見幸司, Byambadorj Zolboo, 肥後昭男, 飯塚哲也,
浅田邦博

IoTなどで使用される低価格のRFデバイスを、低コストで高性能に測定するための圧縮サンプリング方式の研究を行っている。本年度はModulated Wideband Converterの研究・調査をおこなってきた。任意波形を用いて再生誤差を評価した結果、変調波形のメインロブだけでなく、サイドロブ帯域までの再生が必要であることがわかった。そこで再生誤差とADC性能(分解能、変換レート)、チャンネル数の関係性を表す指標 (Cost of ADC) の作成が必要となることがわかった。今後、Cost of ADC, 拡散符号と再生アルゴリズム, チャンネル間ミスマッチ補正などの課題について検討を進めていく。

高速高精度電子線描画技術

池野理門, 肥後昭男, 三田吉郎, 浅田邦博

電子線直描 (Electron Beam Direct Writing; EBDW) によるマスクレス露光は、安価かつ短turn-around time (TAT) の露光技術としての期待が大きい一方で低いスループットやビーム形状に起因する図形再現性に課題があるとされている。我々は、キャラクタプロジェクション (Character Projection; CP) 方式を活用しながら上記の課題を克服し、MEMSやフォトリソ等の幅広い露光対象に対して有効な高速電子線直描処理環境を構築するための研究を行っている。

今年度は、CP方式とVariable-Shaped Beam (VSB) 方式を組み合わせる高速・高精度に露光するEB描画手法における描画結果評価の高精度化のためのレジストおよび現像プロセスの検討を進めた。またVDEC武田クリーンルームのF7000S描画機のさらなる性能とユーザの利便性を向上するための新規CPマスクについての検討をおこなっている。さらに、露光中の電子線照射によるウェハの温度上昇や、エッジ形状の光導波路伝播損失特性への影響を、数値解析手法を用いて評価した。

2.4 研究発表

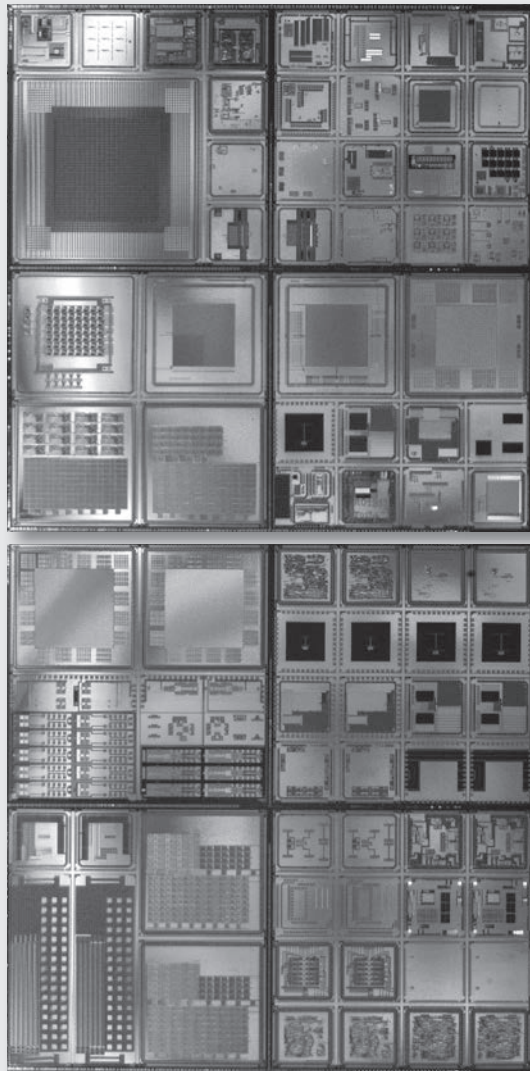
国際会議・国際シンポジウム・ 国際ワークショップ

- [1] Naoki Terao, Toru Nakura, Masahiro Ishida, Rimon Ikeno, Takashi Kusaka, Tetsuya Iizuka, and Kunihiro Asada, "Extension of Power Supply Impedance Emulation Method on ATE for Multiple Power Domain," 22nd IEEE European Test Symposium (ETS 2017), May 2017. (best paper award 受賞)

国内会議・研究会等

- [1] 杉山泰基, 飯塚哲也, 山口隆弘, 名倉徹, 浅田邦博
「統計的コンパレータを用いたレベルクロス検出手法の性能解」信学技報, vol. 117, no. 344, ICD2017-54, pp. 15-20, 2017年12月

第3章 チップ試作結果報告



3. 1 試作ラン別一覧

平成28年度オンセミコンダクター—三洋 CMOS 0.8um 試作 (OS08162)

題名	大学名	研究者	掲載頁
CMOS デジタル・アナログ回路の設計	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電気電子工学科 東京電機大学工学部電子システム工学科	保坂 啓介 荒井 建輝, 水野 あかり 小松 聡	35
ダブルテールラッチ型コンパレータ・シフトレジスタ回路及びカナリアFFを導入した3ビット加算器	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	倉田 翼, 澤田 颯斗 小松 聡	35
MEMS マイクロロボット用の任意の出力パターンを生成可能なハードウェアニューラルネットワーク	日本大学理工学部	田中 大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健	35
ハードウェアニューラルネットワーク用のカレントミラー回路の構造改善	日本大学理工学部	田中 大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健	36

平成29年度オンセミコンダクター—三洋 CMOS 0.8um 試作 (OS08171)

題名	大学名	研究者	掲載頁
MEMS マイクロロボットに実装可能な低容量型ハードウェアニューラルネットワーク	日本大学理工学部	田中 大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健	37
低容量型ハードウェアニューラルネットワークの測定用 TEG チップ	日本大学理工学部	田中 大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健	37

平成28年度第5回ローム CMOS 0.18um 試作 (RO18165)

題名	大学名	研究者	掲載頁
An active quenching circuit with variable hold-off time for single photon avalanche diode after-pulsing probability measurement	東京大学工学系研究科 東京大学 VDEC	楊 驍 飯塚 哲也, 名倉 徹, 浅田 邦博	38
Single photon avalanche diode with very large area for characteristics measurement	東京大学工学系研究科 東京大学 VDEC	楊 驍 飯塚 哲也, 名倉 徹, 浅田 邦博	38
雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器	東京大学工学系研究科 東京大学 VDEC	伊藤 貴亮, 名倉 徹 飯塚 哲也, 浅田 邦博	38
階層型時間-デジタル変換器	東京大学工学部 東京大学 VDEC 東京大学工学系研究科	榎本 隆一 飯塚 哲也, 浅田 邦博 名倉 徹	39
RF回路 TEG	岡山県立大学情報工学部	伊藤 信之, 北野 大志, 坂本 裕太	39
設計実習・フリーラジカルセンサ	金沢大学集積回路工学研究室	北川 章夫	39
低電圧動作レベルクロッシング ADC に向けたランプ信号生成回路とコンパレータ回路	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	齋藤 匠 小松 聡	40
フェーズインターポレーター, 3線3相式シリアルインターフェイス, オンチップアンテナ通信回路, スキュー調整回路	芝浦工業大学工学部	佐々木 昌浩, 木村 匠, 田中 飛意郎, 梅田 将馬, 神庭 直人	40
温度センサ, 擬似乱数発生回路, フラッシュ ADC, オンチップアンテナ通信回路	芝浦工業大学工学部	佐々木 昌浩, 石井 雅樹, 黒部 友朗, 井山 景喬, 梅田 将馬	40
スイッチト・カレント黄金比エンコーダテスト回路	東北大学電気通信研究所 東京電機大学大学院工学研究科	堀尾 喜彦 藤野 隆良	41
Vector-Quantization Compression Circuit with On-Chip Learning Ability and Integrated High-Speed Image Sensor	広島大学先端物質科学研究科 広島大学工学研究科 広島大学ナノデバイス・バイオ融合科学研究所	Huang Zungkai An Fengwei Mattausch Hans Juergen	41
血糖値センサに利用する VCO の試作	中央大学理工学部電気電子情報通信工学科 中央大学理工学部電気電子情報通信工学専攻	杉本 泰博, 磯野 友寛, 鈴木 統万, 野口 純平, 星 佑太 山室 雄哉, 藤森 賢人	41
ゲイン及び帯域切替可能な生体信号処理用 LSI	東北大学医工学研究科 長崎総合科学大学工学研究科 東北大学工学研究科	田中 徹 清山 浩司 竹澤 好樹, 下川 賢士, QIAN ZHENGYANG, 宇野 正真, 伊藤 圭太	42
TDC 要素回路回路	神奈川大学工学部 芝浦工業大学理工学研究科	島 健 Nicodimus Retdian	42
チョッパ式昇圧回路	電気通信大学情報・ネットワーク工学専攻	鈴木 康介, 石橋 孝一郎, 範 公可	42

確率的フラッシュ AD 変換器の試作	北見工業大学大学院工学研究科	杉本 俊貴, 高橋 卓人, 谷本 洋, 吉澤 真吾	43
アナログ回路用ライブラリ及び素子評価	高知工科大学システム工学群	橘 昌良, 岡崎 泰士	43
ジッタシェーパを用いた $\Delta\Sigma$ DAC と FIR フィルタ構成のスイッチドキャパシタ型を用いた $\Delta\Sigma$ ADC	法政大学理工学部	嘉藤 貴博, 安藤 健吾, 吉田 知朗, 増田 秀太	43
0.18 μ mCMOS プロセスを用いた同期型ノッチフィルタ制御用回路の試作	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 伊藤 孝太, 田中 稜也, 出口 卓己	44
超低電力身体モニタリングシステムのための心電処理用アナログ・デジタル回路	兵庫県立大学大学院工学研究科	藤原 潤, 前中 一介	44
位相同期回路の干渉ノイズ検証用 TEG	大阪工業大学大学院工学研究科	小林 茉祐, 増井 優也, 藤居 尚博, 吉村 勉	44
光受信用アナログフロントエンド回路 TEG 3	岐阜大学大学院工学研究科 岐阜大学大学院自然科学技術研究科	小島 拓也 國枝 衛, 田中 智孝, 中村 誠	45

平成29年度第1回ローム CMOS 0.18 μ m 試作 (RO18171)

題 名	大 学 名	研 究 者	掲載頁
磁界観測を用いた電流分布推定による電源網解析手法の評価回路	東京大学工学部 東京大学 VDEC 東京大学工学系研究科	高橋 奈悟 飯塚 哲也, 浅田 邦博 名倉 徹	46
誘電体導波路向けオンチップ結合器	東京大学工学部 東京大学 VDEC 東京大学工学系研究科	山崎 大輔 飯塚 哲也, 浅田 邦博 名倉 徹	46
雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器	東京大学工学系研究科 東京大学 VDEC	伊藤 貴亮, 名倉 徹 飯塚 哲也, 浅田 邦博	46
階層型時間-デジタル変換器	東京大学工学部 東京大学 VDEC 東京大学工学系研究科	榎本 隆一 飯塚 哲也, 浅田 邦博 名倉 徹	47
Single photon avalanche diode with very large area for characteristics measurement (II)	東京大学工学系研究科 東京大学 VDEC	楊 驍 飯塚 哲也, 名倉 徹, 浅田 邦博	47
32x32 SPAD array sensor with asynchronous current logic event discriminator	東京大学工学系研究科 東京大学 VDEC	楊 驍 飯塚 哲也, 名倉 徹, 浅田 邦博	47
キャパシタ容量を抑えたチャージポンプ回路 TEG ほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	木村 知也, 宮川 尚之, 坂野 達也 鈴木 智之, 今川 隆司, 越智 裕之	48
半導体分配器	中部大学全学共通教育部	宮本 順一	48
低電圧動作機器向けのレベルクロッシング ADC に向けたヒステリシスコンパレータ回路、およびオンチップオシロスコープに向けたサブレンジング ADC	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電気電子工学科 東京電機大学工学部電子システム工学科	齋藤 匠, 倉田 翼 松本 幸大 小松 聡	48
DLL 回路, PLL 回路, CDC 回路	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	生方 慎也, 横井 貴也, 保坂 啓介 小松 聡	49
フラッシュ ADC, スキュー調整回路, オンチップアンテナ通信回路, 温度センサ	芝浦工業大学工学部	佐々木 昌浩, 石井 雅樹, 神庭 直人, 梅田 将馬, 黒部 友朗	49
神経回路ネットワーク構築のための軸索モデルおよび嗅覚センサの試作	日本大学理工学部	佐々木 芳樹, 小澤 俊佑	49
ニューロモーフィックシステム-セルラニューラルネットワーク-25x25	龍谷大学理工学部	木村 睦	50
部分露光型イメージセンサの特性評価用 TEG	茨城大学工学部	木村 孝之	50
テスト時の消費電力増加に伴う遅延を測定する回路の評価用チップ	九州工業大学情報工学府	本田 敦, 徳元 正陽, 温 眺青, 宮瀬 紘平	50
低消費電力かつ gm 一定レールツーレールオペアンプ	電気通信大学情報・ネットワーク工学専攻	伊藤 孝幸, 石橋 孝一郎, 範 公可	51
キャリア先読み式 4 ビット乗算回路およびカウンタ回路	電気通信大学情報・ネットワーク工学	統池 一樹, 高橋 誠, 石橋 孝一郎, 範 公可	51
遅延故障検査容易化回路および IC 間配線の電氣的検査容易化回路の試作	徳島大学大学院先端技術科学教育部 徳島大学大学院社会産業理工学研究部	大谷 航平, 岡本 匡史, 河口 巧, 河塚 信吾, 藪井 大輔, 神田 道也, 平井 智士 四柳 浩之	51
ダウンコンバーティング ADC・ピーキングカレントミラーの試作	北見工業大学大学院工学研究科	北田 昂成, 杉本 俊貴, 谷本 洋, 吉澤 真吾	52
確率的比較器アレイを用いるサブレンジング型 AD 変換器	東京大学 D2T 寄付研究部門, VDEC 東京大学 VDEC	Kanjanavirojkul Parit, 池野 理門 Mai-Khanh Nguyen Ngoc	52
評価用の 127 個比較器確率的比較器アレイと 4 ビットフラッシュ型 AD 変換器	東京大学 D2T 寄付研究部門, VDEC 東京大学 VDEC	Kanjanavirojkul Parit, 池野 理門 Mai-Khanh Nguyen Ngoc	52

アナログ回路用ライブラリ及び素子評価	高知工科大学システム工学群 高知工科大学院基盤工学専攻 高知工科大学システム工学群	橘 昌義, 猪岡 柚香, 榎原 伊織 岡崎 泰士, 武内 智哉 清水 大輔	53
Coarse-fine 型 ADC に用いる SARADC と リングオシレータを用いた PLL	法政大学理工学部	嘉藤 貴博, 吉田 知朗, 鍋木 彩加, 七田 洸介	53
0.18 μ mCMOS プロセスを用いた脳波測定用全差動チョッパ増幅器の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 河添 翔平 伊藤 孝太, 田中 稜也, 出口 卓己 福岡 龍人	53
自立動作可能 LSI チップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 外村 崇史 五十嵐 一真, 銭林 大悟	54
超低電力身体モニタリングシステムのための回路ライブラリ開発	兵庫県立大学大学院工学研究科 兵庫県立大学工学部	藤原 潤, 前中 一介 北田 友嗣	54
リング発振回路の特性評価	東京大学生産技術研究所	加賀谷 司, 羅 揚, 山内 善高, 高宮 真	54
耐放射線・光再構成型ゲートアレイ	静岡大学大学院総合科学技術研究科工学専攻	渡邊 実	55
耐放射線・光再構成型ゲートアレイ (2)		渡邊 実	55
ハルス幅制御するニューロモルフィック集積回路	中央大学理工学研究科 中央大学理工学部	竹内 健, 鶴見 洸太, 鈴木 健太 能美 奨, 坂東 昭太郎	55

平成29年度第2回ローム CMOS 0.18 μ m 試作 (RO18172)

題 名	大 学 名	研 究 者	掲載頁
電源ノイズ低減効果測定用チップ TEG1	東京大学工学系研究科	名倉 徹	56
電源ノイズ低減効果測定用チップ TEG2	東京大学工学系研究科	名倉 徹	56
電源ノイズ低減効果測定用チップ TEG3	東京大学工学系研究科	名倉 徹	56
電源ノイズ低減効果測定用チップ TEG4	東京大学工学系研究科	名倉 徹	57
生体信号取得用回路	東京大学工学系研究科	名倉 徹	57
高耐圧トランジスタのゲート容量等測定用 TEG ほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	富川 尚之, 木村 知也 今川 隆司, 越智 裕之	57
低電圧で動作する温度センサ回路 TEG ほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	坂野 達也, 富川 尚之, 木村 知也 田中 一平, 今川 隆司, 越智 裕之	58
対称型 NOR アーキテクチャを用いた CAROM	東海大学情報通信学部	福原 雅朗	58
RF 回路 TEG	岡山県立大学情報工学部	伊藤 信之, 北野 大志, 坂本 裕太, 八木 希知	58
低電圧動作機器向けのレベルロッキング ADC に向けた、自己校正機能付きヒステリシスコンパレータ回路および MEMS 加速度センサに向けた逐次比較型容量-デジタル変換回路	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	齋藤 匠, 横井 貴也 小松 聡	59
容量型湿度センサを用いた発汗センサテストチップ	信州大学大学院理工学研究科 信州大学工学部	三谷 勇介, 宮地 幸祐, 上口 光滝 信州大学	59
電界電子放出型電子源の基礎検討	長崎総合科学大学大学院工学研究科 修士課程 長崎総合科学大学新技術創成研究所	道上 僚太 大山 健, 濱垣 秀樹, 清山 浩司, 田中 義人	59
オンチップ太陽電池と低入力電力向け整流回路	秋田県立大学システム科学技術学部	宇佐美 蓮, 菊地 杜斗, 小谷 光司	60
様々なアナログ回路の入出力特性を測定可能な CMOS イメージセンサ	東京理科大学工学研究科	荒谷 智広, 浜本 隆之	60
神経回路ネットワーク構築のための神経細胞モデルおよび網膜モデルの試作	日本大学理工学部	佐々木 芳樹, 小澤 俊佑, 白江 健太郎	60
ニューロモルフィックシステム-セルラニューラルネットワーク-25x25 (リビート作製)	龍谷大学理工学部	木村 睦	61
ゲイン及び帯域切替可能な生体信号処理用 LSI	東北大学医工学研究科 長崎総合科学大学工学研究科 東北大学工学研究科 東北大学工学部	田中 徹 清山 浩司 竹澤 好樹, 下川 賢士, QIAN ZHENGYANG, Lee Karmun 矢吹 僚介	61
スーパーピクセルを用いた物体境界の明瞭な距離画像生成回路	金沢大学理工研究域電子情報学系	深山 正幸	61
遅延故障・断線故障および IC 間配線の検査用の各種検査容易化回路の試作	徳島大学大学院先端技術科学教育部 徳島大学大学院社会産業理工学研究部	神田 道也, 新開 颯馬, 大塚 諒哉, 河野 潤平, 佐藤 聡観, 西川 拓人, 松本 悠汰 四柳 浩之	62
アナログ回路用ライブラリ及び素子評価	高知工科大学システム工学群 高知工科大学院基盤工学専攻	橘 昌良, 猪岡 柚香 武内 智哉	62
ランダム遅延素子を用いた耐タンパ非同期式暗号化回路改訂版	弘前大学大学院理工学研究科	豊嶋 太樹, 今井 雅	62

2次RC積分器の $\Delta\Sigma$ ADC とばらつきを抑えるためにDEMを用いた $\Delta\Sigma$ TDC	法政大学理工学部	嘉藤 貴博, 吉田 知朗, 鍋木 彩加, 七田 洸介	63
電源スタック型回路構造における中間電位安定性評価回路	九州工業大学大学院情報工学府 九州工業大学	山口 翔吾, 肥後 知樹 中村 和之	63
3次元積層チップの発熱温度解析に向けた改良チップ	芝浦工業大学大学院理工学研究科 芝浦工業大学工学部	堀米 亮汰 宇佐美 公良	63
0.18 μ mCMOS プロセスを用いた同期型ノッチフィルタ制御用回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 河添 翔平 伊藤 孝太, 田中 稜也, 出口 卓己, 福岡 龍人	64
自立動作可能 LSI チップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 外村 崇史 五十嵐 一真, 銭林 大悟	64
インピーダンス計測検証回路	静岡大学工学部電気電子工学科	二川 雅登	64
ソフトエラー耐性試験向け・光再構成型ゲートアレイ (1)		渡邊 実	65
ニューラルネットワークの積和演算に用いられるクロスバー型 ReRAM に向けた書き込み電圧生成回路	中央大学理工学研究科 中央大学理工学部	竹内 健, 鶴見 洸太, 鈴木 健太 能美 奨, 坂東 昭太郎	65
自己および相互干渉ノイズ検証用 PLL 回路とデューティ補正回路 TEG	大阪工業大学大学院工学研究科	小島 勇輝, 増井 優也, 小林 茉祐, 吉村 勉	65
光プローブ電流センサ向け電流変換 CMOS アナログフロントエンド回路の広帯域化及び低オフセット化	信州大学大学院総合理工学研究科 信州大学工学部	上倉 宇晴, 晶木 憲太郎, 宮地 幸祐 赤羽 和哉	66

平成29年度第3回ローム CMOS 0.18 μ m 試作 (RO18174)

題名	大学名	研究者	掲載頁
生体信号取得用回路	東京大学工学系研究科	名倉 徹	67
フリップチップ基板検証用マイクロストリップ線路	東京大学 VDEC	Kanjanavrojkul Parit, lizuka Tetsuya, Asada Kunihiro	67
フリップチップ実装用・高分解能パルス縮小型時間-デジタル変換器	東京大学 VDEC 東京大学工学部 東京大学工学系研究科	飯塚 哲也, 浅田 邦博 榎本 隆一 名倉 徹	67
雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器	東京大学工学系研究科 東京大学 VDEC	伊藤 貴亮, 名倉 徹 飯塚 哲也, 浅田 邦博	68
Magnetic Probe for VLSI power supply network analysis	東京大学 VDEC 東京大学工学部	Mai-Khanh Nguyen Ngoc, lizuka Tetsuya, Asada Kunihiro Takahashi Daigo	68
Magnetic Probe for VLSI power supply network analysis	東京大学 VDEC 東京大学工学部	Mai-Khanh Nguyen Ngoc, lizuka Tetsuya, Asada Kunihiro Takahashi Daigo	68
誘電体導波路向けオンチップ結合器	東京大学工学部 東京大学 VDEC 東京大学工学系研究科	山崎 大輔 飯塚 哲也, 浅田 邦博 名倉 徹	69
誘電体導波路向けオンチップ結合器	東京大学工学部 東京大学 VDEC 東京大学工学系研究科	山崎 大輔 飯塚 哲也, 浅田 邦博 名倉 徹	69
半導体分配器	中部大学全学共通教育部	宮本 順一	69
IoTのためのアナログ回路 TEG	広島工業大学工学部/電子情報工学科	升井 義博	70
ニューロモフィックシステム-セルラニューラルネットワーク-32x32	龍谷大学理工学部	木村 睦	70
積層型3次元ICのチップ内の温度分布の解析	富山県立大学工学部	牛田 慧, 岩田 栄之, 松田 敏弘	70
弱反転領域の電流式を検証するためのMOSトランジスタ TEG	埼玉工業大学工学部	吉澤 浩和	71
符号化・復号回路	上智大学理工学部	林 等	71
ソフトエラー耐性試験向け・光再構成型ゲートアレイ (2)		渡邊 実	71
通信用DLL回路を用いた両エッジ型注入同期PLL回路の特性評価 TEG	大阪工業大学大学院工学研究科	小島 勇輝, 増井 優也, 小林 茉祐, 吉村 勉	72

平成28年度第2回ルネサス CMOS 65nm 試作 (RS65162)

題名	大学名	研究者	掲載頁
RFアナログ設計用 TEG	金沢大学集積回路工学研究室	北川 章夫, 成 浩偉	73
バックゲート電圧制御発振器を用いたA/D変換器の試作	大阪工業大学工学部 大阪工業大学大学院工学研究科	木原 崇雄 吉尾 恒洋, 高橋 克樹	73
新イジング LSI	東京理科大学工学部	串原 健太	73

Object-Detection Coprocessor with HOG-Feature Extractor, General-Purpose Normalization Engine and SVM Classifier	広島大学先端物質科学研究科 広島大学工学研究科 広島大学ナノデバイス・バイオ融合科学研究科	Luo Aiwen Zhang Xiangyu, An Fengwei Mattausch Hans Juergen	73
65nm SOTB プロセスを用いた小型昇圧回路	奈良先端科学技術大学院大学物質創成科学研究科	笹川 清隆, 春田 牧人, 野田 俊彦, 徳田 崇, 太田 淳	74
ワイヤレスセンサネットワーク向け低電力外温度センサ回路	電気通信大学情報・ネットワーク工学専攻	新居 慎也, 石橋 孝一郎, 範 公可	74
SSS OOK Transmitter	電気通信大学情報・ネットワーク工学専攻	大畠 知之, 石橋 孝一郎, 範 公可	74
プログラマブル大規模積和演算アクセラレータの試作	大阪大学情報科学研究科 高知工科大学システム工学群	橋本 昌宜 密山 幸男	74
電源電圧モニタリング搭載非接触給電・液中微粒子操作チップ	大阪大学大学院工学研究科	井上 泰佑, 松岡 俊匡	75
耐ソフトエラーフリップフロップと放射線起因パルス測定回路	京都工芸繊維大学電子システム工学専攻	丸岡 晴喜, 山田 晃大, 古田 潤, 小林 和淑	75
リングオシレータのランダムテレグラフノイズによる周波数変動自動測定回路	京都工芸繊維大学電子システム工学専攻	岸田 亮, 駒脇 拓弥, 古田 潤, 小林 和淑	75

平成29年度第1回ルネサス CMOS 65nm 試作 (RS65171)

題 名	大 学 名	研 究 者	掲載頁
ツインタワー用共有メモリ SMTT	慶應義塾大学理工学部 芝浦工業大学工学部	小島 拓也, 寺嶋 爽花, 奥原 颯, 風見 亮佑, 天野 英晴 工藤 勝, 宇佐美 公良	76
Deep Neural Network Accelerator SNACC	東京大学工学部 慶應義塾大学理工学部	坂本 龍一, 近藤 正章 奥原 颯, 松下 悠亮, 小島 拓也, 天野 英晴	76
ツインタワー用ホストプロセッサ GeyserTT	東京農工大学工学部 慶應義塾大学理工学部	並木 美太郎 安藤 尚樹, 奥原 颯, 小島 拓也, 天野 英晴	76
低電圧安定動作のための回路特性評価回路	京都大学情報学研究科 埼玉大学理工学研究科 東京大学生産技術研究所	小野寺 秀俊, 石原 亨, 岸本 真, 今井 悠真, 岡村 陽介, 小柳 卓也 西澤 真一 イスラム マーフズル	76
ピアスイッチ FPGA アーキテクチャを模擬した論理ブロックアレイのテスト回路	京都大学情報学研究科	小野寺 秀俊, 石原 亨, 長岡 悠太, 吉澤 慶, 樋口 達大	77
CMS-OOK TRX	電気通信大学情報・ネットワーク工学専攻	Van Trung Nguyen, 石橋 孝一郎, 範 公可	77
ブートストラップ方式を用いた DCDC 昇圧回路	電気通信大学情報・ネットワーク工学専攻	熊谷 慎也, 石橋 孝一郎, 範 公可	77
同期・非同期 MIPS マイコン	電気通信大学情報・ネットワーク工学専攻	竹内 恭平, 石橋 孝一郎, 範 公可	77
幅広い動作領域でエネルギー最小点動作を可能にする RISC-V プロセッサの試作	京都大学大学院情報学研究科	石原 亨, 小野寺 秀俊, 塩見 準, 保木本 修, 徐 宏傑	78
耐ソフトエラーフリップフロップとソフトエラーの遅延時間依存性測定回路	京都工芸繊維大学電子システム工学専攻	山田 晃大, 榎原 光則, 古田 潤, 小林 和淑	78
NAND または NOR を用いた経年劣化の影響が異なるリングオシレータ	京都工芸繊維大学電子システム工学専攻	岸田 亮, 中野 洋希, 駒脇 拓弥, 古田 潤, 小林 和淑	78
宇宙環境集積回路用耐放射線 IO セルの試作	長野高専電子制御工学科 京都工芸繊維大学電子システム工学専攻	吉河 武文, 原 大樹, 小松 聖汰 小林 和淑	78

3. 2 チップ種別一覧

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
OS08162	MEMSマイクロロボット用の任意の出力パターンを生成可能なハードウェアニューラルネットワーク	田中 大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健	35
OS08162	ハードウェアニューラルネットワーク用のカレントミラー回路の構造改善	田中 大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健	36
OS08171	MEMSマイクロロボットに実装可能な低容量型ハードウェアニューラルネットワーク	田中 大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健	37
OS08171	低容量型ハードウェアニューラルネットワークの測定用TEGチップ	田中 大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健	37
RO18165	An active quenching circuit with variable hold-off time for single photon avalanche diode after-pulsing probability measurement	楊 驍, 飯塚 哲也, 名倉 徹, 浅田 邦博	38
RO18165	Single photon avalanche diode with very large area for characteristics measurement	楊 驍, 飯塚 哲也, 名倉 徹, 浅田 邦博	38
RO18165	アナログ回路用ライブラリ及び素子評価	橋 昌良, 岡崎 泰士	43
RO18165	位相同期回路の干渉ノイズ検証用TEG	小林 菜祐, 増井 優也, 藤原 尚博, 吉村 勉	44
RO18171	磁界観測を用いた電流分布推定による電源網解析手法の評価回路	高橋 奈悟, 飯塚 哲也, 浅田 邦博, 名倉 徹	46
RO18171	Single photon avalanche diode with very large area for characteristics measurement (II)	楊 驍, 飯塚 哲也, 名倉 徹, 浅田 邦博	47
RO18171	部分露光型イメージセンサの特性評価用TEG	木村 孝之	50
RO18171	テスト時の消費電力増加に伴う遅延を測定する回路の評価用チップ	本田 敦, 徳元 正陽, 温 暁青, 宮瀬 紘平	50
RO18171	遅延故障検査容易化回路およびIC間配線の電氣的検査容易化回路の試作	大谷 航平, 岡本 匡史, 河口 巧, 河塚 信吾, 数井 大輔, 神田 道也, 平井 智士, 四柳 浩之	51
RO18171	リング発振回路の特性評価	加賀谷 司, 羅 揚, 山内 善高, 高宮 真	54
RO18172	電源ノイズ低減効果測定用チップ TEG1	名倉 徹	56
RO18172	電源ノイズ低減効果測定用チップ TEG2	名倉 徹	56
RO18172	電源ノイズ低減効果測定用チップ TEG3	名倉 徹	56
RO18172	電源ノイズ低減効果測定用チップ TEG4	名倉 徹	57
RO18172	高耐圧トランジスタのゲート容量等測定用TEGほか	宮川 尚之, 木村 知也, 今川 隆司, 越智 裕之	57
RO18172	低電圧で動作する温度センサ回路TEGほか	坂野 達也, 宮川 尚之, 木村 知也, 田中 一平, 今川 隆司, 越智 裕之	58
RO18172	RF回路TEG	伊藤 信之, 北野 大志, 坂本 裕太, 八木 希知	58
RO18172	電界電子放出型電子源の基礎検討	道上 僚太, 大山 健, 濱垣 秀樹, 清山 浩司, 田中 義人	59
RO18172	オンチップ太陽電池と低入力電力向け整流回路	宇佐美 蓮, 菊地 杜斗, 小谷 光司	60
RO18172	遅延故障・断線故障およびIC間配線の検査用の各種検査容易化回路の試作	神田 道也, 新開 颯馬, 大塚 諒哉, 河野 潤平, 佐藤 聡観, 西川 拓人, 松本 悠汰, 四柳 浩之	62
RO18172	3次元積層チップの発熱温度解析に向けた改良チップ	堀米 亮汰, 宇佐美 公良	63
RO18172	自己および相互干渉ノイズ検証用PLL回路とデュリティ補正回路TEG	小島 勇輝, 増井 優也, 小林 菜祐, 吉村 勉	65
RO18174	フリップチップ基板検証用マイクロストリップ線路	Kanjanavrojkul Parit, Iizuka Tetsuya, Asada Kunihiro	67
RO18174	積層型3次元ICのチップ内の温度分布の解析	牛田 慧, 岩田 栄之, 松田 敏弘	70
RO18174	弱反転領域の電流式を検証するためのMOSTランジスタTEG	吉澤 浩和	71
RO18174	過倍用DLL回路を用いた両エッジ型注入同期PLL回路の特性評価TEG	小島 勇輝, 増井 優也, 小林 菜祐, 吉村 勉	72
RS65162	RFアナログ設計用TEG	北川 章夫, 成 浩偉	73
RS65162	耐ソフトエラーフリップフロップと放射線起因パルス測定回路	丸岡 晴喜, 山田 晃大, 古田 潤, 小林 和淑	75
RS65162	リングオシレータのランダムテレグラフノイズによる周波数変動自動測定回路	岸田 亮, 駒脇 拓弥, 古田 潤, 小林 和淑	75
RS65171	低電圧安定動作のための回路特性評価回路	小野寺 秀俊, 石原 亨, 岸本 真, 今井 悠真, 岡村 陽介, 小柳 卓也, 西澤 真一, イスラム マーフズル	76
RS65171	ピアスイッチFPGAアーキテクチャを模擬した論理ブロックアレイのテスト回路	小野寺 秀俊, 石原 亨, 長岡 悠太, 吉澤 慶, 樋口 達大	77
RS65171	耐ソフトエラーフリップフロップとソフトエラーの遅延時間依存性測定回路	山田 晃大, 榎原 光則, 古田 潤, 小林 和淑	78
RS65171	NANDまたはNORを用いた経年劣化の影響が異なるリングオシレータ	岸田 亮, 中野 洋希, 駒脇 拓弥, 古田 潤, 小林 和淑	78

アナデジ混載

ラン名	タイトル	研究者	掲載頁
OS08162	CMOSデジタル・アナログ回路の設計	保坂 啓介, 荒井 建輝, 水野 あかり, 小松 聡	35
RO18165	ゲイン及び帯域切替可能な生体信号処理用LSI	田中 徹, 清山 浩司, 竹澤 好樹, 下川 賢士, QIAN ZHENGYANG, 宇野 正真, 伊藤 圭太	42
RO18171	半導体分配器	宮本 順一	48
RO18171	DLL回路, PLL回路, CDC回路	生方 慎也, 横井 貴也, 保坂 啓介, 小松 聡	49
RO18172	ゲイン及び帯域切替可能な生体信号処理用LSI	田中 徹, 清山 浩司, 竹澤 好樹, 下川 賢士, QIAN ZHENGYANG, Lee Karmun, 矢吹 僚介	61
RO18174	半導体分配器	宮本 順一	69
RS65162	ワイヤレスセンサネットワーク向け低電力外温度センサ回路	新居 慎也, 石橋 孝一郎, 範 公可	74

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
RO18165	TDC要素回路回路	島 健, Nicodimus Retdian	42
RO18165	確率的フラッシュAD変換器の試作	杉本 俊貴, 高橋 卓人, 谷本 洋, 吉澤 真吾	43
RO18165	超低電力身体モニタリングシステムのための心電処理用アナログ・デジタル回路	藤原 潤, 前中 一介	44
RO18171	低消費電力且つgm一定レールツーレールオペアンプ	伊藤 孝幸, 石橋 孝一郎, 範 公可	51
RO18172	スーパーピクセルを用いた物体境界の明瞭な距離画像生成回路	深山 正幸	61
RO18172	インピーダンス計測検証回路	二川 雅登	64
RS65162	新イジングLSI	串原 健太	73
RS65171	CMS-OOK TRX	Van Trung Nguyen, 石橋 孝一郎, 範 公可	77

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
RO18165	雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器	伊藤 貴亮, 名倉 徹, 飯塚 哲也, 浅田 邦博	38
RO18165	階層型時間-デジタル変換器	榎本 隆一, 飯塚 哲也, 浅田 邦博, 名倉 徹	39
RO18165	低電圧動作レベルクロッシングADCに向けたランプ信号生成回路とコンパレータ回路	齋藤 匠, 小松 聡	40
RO18165	フェーズインターポレーター, 3線3相式シリアルインターフェイス, オンチップアンテナ通信回路, スキュー調整回路	佐々木 昌浩, 木村 匠, 田中 飛意郎, 梅田 将馬, 神庭 直人	40
RO18165	温度センサ, 擬似乱数発生回路, フラッシュADC, オンチップアンテナ通信回路	佐々木 昌浩, 石井 雅樹, 黒部 友朗, 井山 景喬, 梅田 将馬	40
RO18165	スイッチト・カレント黄金比エンコーダテスト回路	堀尾 喜彦, 藤野 隆良	41
RO18165	血糖値センサに利用するVCOの試作	杉本 泰博, 磯野 友寛, 鈴木 統万, 野口 純平, 星 佑太, 山室 雄哉, 藤森 賢人	41
RO18165	チョップバ式昇圧回路	鈴木 康介, 石橋 孝一郎, 範 公可	42
RO18165	ジッタシェーパーを用いた $\Delta\Sigma$ DAC と FIRフィルタ構成のスイッチドキャパシタ型を用いた $\Delta\Sigma$ ADC	嘉藤 貴博, 安藤 健吾, 吉田 知朗, 増田 秀太	43
RO18165	0.18 μ m CMOS プロセスを用いた同期型ノッチフィルタ制御回路の試作	中野 誠彦, 伊藤 孝太, 田中 稜也, 出口 卓己	44
RO18171	雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器	伊藤 貴亮, 名倉 徹, 飯塚 哲也, 浅田 邦博	46
RO18171	階層型時間-デジタル変換器	榎本 隆一, 飯塚 哲也, 浅田 邦博, 名倉 徹	47
RO18171	キャパシタ容量を抑えたチャージポンプ回路TEGほか	木村 知也, 宮川 尚之, 坂野 達也, 鈴木 智之, 今川 隆司, 越智 裕之	48
RO18171	低電圧動作機器向けのレベルクロッシングADCに向けたヒステリシスコンパレータ回路, およびオンチップオシロスコープに向けたサブレンジングADC	齋藤 匠, 倉田 翼, 松本 幸大, 小松 聡	48
RO18171	フラッシュADC, スキュー調整回路, オンチップアンテナ通信回路, 温度センサ	佐々木 昌浩, 石井 雅樹, 神庭 直人, 梅田 将馬, 黒部 友朗	49
RO18171	神経回路ネットワーク構築のための軸索モデルおよび嗅覚センサの試作	佐々木 芳樹, 小澤 俊佑	49
RO18171	ダウンコンバーティング ADC・ピーキングカレントミラーの試作	北田 昂成, 杉本 俊貴, 谷本 洋, 吉澤 真吾	52
RO18171	確率的比較器アレイを用いるサブレンジング型AD変換器	Kanjanavirojkul Parit, 池野 理門, Mai-Khanh Nguyen Ngoc	52

RO18171	評価用の127個比較器確率的比較器アレイと4ビットフラッシュ型AD変換器	Kanjanavirojkul Parit, 池野 理門, Mai-Khanh Nguyen Ngoc	52
RO18171	アナログ回路用ライブラリ及び素子評価	橘 昌義, 猪岡 柚香, 榊原 伊織, 岡崎 泰士, 武内 智哉, 清水 大輔	53
RO18171	Coarse-fine型ADCに用いるSARADC と リングオシレータを用いたPLL	嘉藤 貴博, 吉田 知朗, 鎗木 彩加, 七田 洸介	53
RO18171	0.18 μ mCMOS プロセスを用いた脳波測定用全差動チョップ増幅器の改良	中野 誠彦, 河添 翔平, 伊藤 孝太, 田中 稜也, 出口 卓己, 福岡 龍人	53
RO18171	自立動作可能LSIチップのための各要素回路の改良	中野 誠彦, 外村 崇史, 五十嵐 一真, 銭林 大悟	54
RO18171	パルス幅制御するニューロモルフィック集積回路	竹内 健, 鶴見 洸太, 鈴木 健太, 能美 奨, 坂東 昭太郎	55
RO18172	生体信号取得用回路	名倉 徹	57
RO18172	低電圧動作機器向けのレベルクローキングADCに向けた、自己校正機能付きヒステリシスコンパレータ回路およびMEMS加速度センサに向けた逐次比較型容量-デジタル変換回路	齋藤 匠, 横井 貴也, 小松 聡	59
RO18172	容量型湿度センサを用いた発汗センサテストチップ	三谷 勇介, 宮地 幸祐, 上口 光, 滝 信州大学	59
RO18172	神経回路ネットワーク構築のための神経細胞モデルおよび網膜モデルの試作	佐々木 芳樹, 小澤 俊佑, 白江 健太郎	60
RO18172	アナログ回路用ライブラリ及び素子評価	橘 昌良, 猪岡 柚香, 武内 智哉	62
RO18172	2次RC積分器の $\Delta\Sigma$ ADC と ばらつきを抑えるためにDEMを用いた $\Delta\Sigma$ TDC	嘉藤 貴博, 吉田 知朗, 鎗木 彩加, 七田 洸介	63
RO18172	0.18 μ mCMOS プロセスを用いた同期型ノッチフィルタ制御用回路の改良	中野 誠彦, 河添 翔平, 伊藤 孝太, 田中 稜也, 出口 卓己, 福岡 龍人	64
RO18172	自立動作可能LSIチップのための各要素回路の改良	中野 誠彦, 外村 崇史, 五十嵐 一真, 銭林 大悟	64
RO18172	ニューラルネットワークの積和演算に用いられるクロスバー型ReRAMに向けた書き込み電圧生成回路	竹内 健, 鶴見 洸太, 鈴木 健太, 能美 奨, 坂東 昭太郎	65
RO18172	光プローブ電流センサ向け光電流変換CMOSアナログフロントエンド回路の広帯域化及び低オフセット化	上倉 宇晴, 轟木 憲太郎, 宮地 幸祐, 赤羽 和哉	66
RO18174	生体信号取得用回路	名倉 徹	67
RO18174	フリップチップ実装用・高分解能パルス縮小型時間-デジタル変換器	飯塚 哲也, 浅田 邦博, 榎本 隆一, 名倉 徹	67
RO18174	雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器	伊藤 貴亮, 名倉 徹, 飯塚 哲也, 浅田 邦博	68
RO18174	Magnetic Probe for VLSI power supply network analysis	Mai-Khanh Nguyen Ngoc, lizuka Tetsuya, Asada Kunihiro, Takahashi Daigo	68
RO18174	Magnetic Probe for VLSI power supply network analysis	Mai-Khanh Nguyen Ngoc, lizuka Tetsuya, Asada Kunihiro, Takahashi Daigo	68
RO18174	IoTのためのアナログ回路TEG	升井 義博	70
RS65171	ブートストラップ方式を用いたDCDC昇圧回路	熊谷 慎也, 石橋 孝一郎, 範 公可	77

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
RO18165	Vector-Quantization Compression Circuit with On-Chip Learning Ability and Integrated High-Speed Image Sensor	Huang Zungkai, An Fengwei, Mattausch Hans Juergen	41
RO18171	32x32 SPAD array sensor with asynchronous current logic event discriminator	楊 駿, 飯塚 哲也, 名倉 徹, 浅田 邦博	47
RO18172	様々なアナログ回路の入出力特性を測定可能なCMOSイメージセンサ	荒谷 智広, 浜本 隆之	60
RS65162	電源電圧モニタリング搭載非接触給電・液中微粒子操作チップ	井上 泰佑, 松岡 俊匡	75

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
RO18165	設計実習・フリーラジカルセンサ	北川 章夫	39
RO18171	ニューロモルフィックシステム-セルラニューラルネットワーク-25x25	木村 睦	50
RO18171	耐放射線・光再構成型ゲートアレイ	渡邊 実	55
RO18171	耐放射線・光再構成型ゲートアレイ (2)	渡邊 実	55
RO18172	ニューロモルフィックシステム-セルラニューラルネットワーク-25x25 (リピート作製)	木村 睦	61
RO18172	ソフトエラー耐性試験向け・光再構成型ゲートアレイ (1)	渡邊 実	65
RO18174	ニューロモルフィックシステム-セルラニューラルネットワーク-32x32	木村 睦	70
RO18174	ソフトエラー耐性試験向け・光再構成型ゲートアレイ (2)	渡邊 実	71

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
OS08162	ダブルテールラッチ型コンパレータ・シフトレジスタ回路及びカナリアFFを導入した3ビット加算器	倉田 翼, 澤田 颯斗, 小松 聡	35
RO18171	超低電力身体モニタリングシステムのための回路ライブラリ開発	藤原 潤, 前中 一介, 北田 友嗣	54
RO18172	ランダム遅延素子を用いた耐タンパ非同期式暗号化回路改訂版	豊嶋 太樹, 今井 雅	62
RS65162	Object-Detection Coprocessor with HOG-Feature Extractor, General-Purpose Normalization Engine and SVM Classifier	Luo Aiwen, Zhang Xiangyu, An Fengwei, Mat- tausch Hans Juergen	73
RS65162	65nm SOTBプロセスを用いた小型昇圧回路	笹川 清隆, 春田 牧人, 野田 俊彦, 徳田 崇, 太田 淳	74
RS65162	プログラマブル大規模積和演算アクセラレータの試作	橋本 昌宜, 密山 幸男	74
RS65171	Deep Neural Network Accelerator SNACC	坂本 龍一, 近藤 正章, 奥原 颯, 松下 悠亮, 小島 拓也, 天 野 英晴	76
RS65171	ツインタワー用ホストプロセッサGeysertT	並木 美太郎, 安藤 尚樹, 奥原 颯, 小島 拓也, 天野 英晴	76
RS65171	同期・非同期MIPSマイコン	竹内 恭平, 石橋 孝一郎, 範 公可	77
RS65171	幅広い動作領域でエネルギー最小点動作を可能にするRISC-Vプロセッサの試作	石原 亨, 小野寺 秀俊, 塩見 準, 保木本 修, 徐 宏傑	78

メモリ

ラン名	タイトル	研究者	掲載頁
RO18172	対称型NORアーキテクチャを用いたCAROM	福原 雅朗	58
RO18172	電源スタック型回路構造における中間電位安定性評価回路	山口 翔吾, 肥後 知樹, 中村 和之	63
RS65171	ツインタワー用共有メモリSMTT	小島 拓也, 寺嶋 爽花, 奥原 颯, 風見 亮佑, 天野 英晴, 工 藤 勝, 宇佐美 公良	76

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
RO18171	キャリー先読み式4ビット乗算回路およびカウンター回路	続池 一樹, 高橋 誠, 石橋 孝一郎, 範 公可	51

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
RO18165	RF回路TEG	伊藤 信之, 北野 大志, 坂本 裕太	39
RO18165	光受信用アナログフロントエンド回路TEG3	小島 拓也, 國枝 衛, 田中 智孝, 中村 誠	45
RO18171	誘電体導波路向けオンチップ結合器	山崎 大輔, 飯塚 哲也, 浅田 邦博, 名倉 徹	46
RO18174	誘電体導波路向けオンチップ結合器	山崎 大輔, 飯塚 哲也, 浅田 邦博, 名倉 徹	69
RO18174	誘電体導波路向けオンチップ結合器	山崎 大輔, 飯塚 哲也, 浅田 邦博, 名倉 徹	69
RO18174	符号化・復号回路	林 等	71
RS65162	バックゲート電圧制御発振器を用いたA/D変換器の試作	木原 崇雄, 吉尾 恒洋, 高橋 克樹	73
RS65162	SSS OOK Transmitter	大島 知之, 石橋 孝一郎, 範 公可	74
RS65171	宇宙環境集積回路用耐放射線IOセルの試作	吉河 武文, 原 大樹, 小松 聖汰, 小林 和淑	78

3. 3 各チップの詳細

平成28年度オンセミコンダクター—三洋 CMOS 0.8 μ m 試作 (OS08162)

CMOS デジタル・アナログ回路の設計

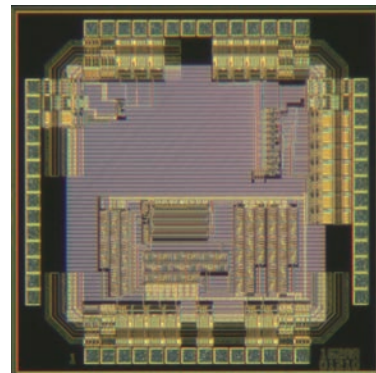
東京電機大学大学院工学研究科電気電子工学専攻 保坂 啓介

東京電機大学工学部電気電子工学科 荒井 建輝, 水野 あかり

東京電機大学工学部電子システム工学科 小松 聡

概要: 究する回路の設計フローの検証や開発したFPGAを用いたLSIテストの動作検証を行うために試作を行った。試作した回路は、DLL回路、7セグデコーダ、オペアンプである。スキマティックでのトランジスタレベル設計からDRCやLVSなど設計フローの確認、および各設計段階におけるシミュレーション結果の相違の確認等を目的として試作を行い、設計フローの確認だけでなく0.8 μ mプロセス特有の設計に関わるノウハウを得ることができた。DLL回路は今後のアナログ回路設計技術の研究に向けて、各回路ブロックの動作や回路ブロック間の関連性を見極めることで設計のノウハウを得ることが目的である。7セグメントデコーダは、半導体プロセスの微細化に伴うチップのテストコストの増大傾向に対策する研究としてFPGAを用いたLSIテストを開発したので、そのテスト対象として使用し、開発したシステムの評価を行う目的で試作を行った。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** アナデジ混載



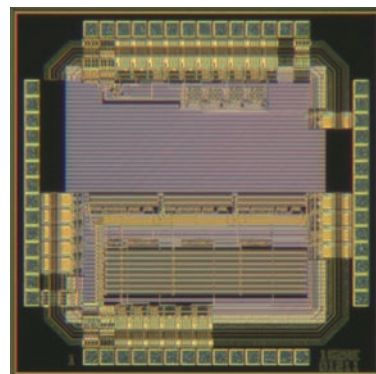
ダブルテールラッチ型コンパレータ・シフトレジスタ回路及びカナリアFFを導入した3ビット加算器

東京電機大学大学院工学研究科電気電子工学専攻 倉田 翼, 澤田 颯斗

東京電機大学工学部電子システム工学科 小松 聡

概要: ダブルテールラッチ型コンパレータとシフトレジスタ回路を試作した。シフトレジスタは高速な内部信号をチップ外部に取り出す測定回路としての動作確認のため試作した。本回路の設計により高速回路の測定に使用可能か検証を行う。ダブルテールラッチ型コンパレータはアナログ回路の設計フローの確認、測定の練習のために試作したものである。このコンパレータは入力段とラッチ部から構成され、入力段はプリアンプとして機能する。この回路によりアナログ回路の設計、測定に係るノウハウを得ることができた。今回の試作では面積を削減したカナリアアフリップフロップ（以下カナリアFF）と対象となる3ビット全加算器を設計した。カナリアFFとは、回路のタイミングエラーを予防する手法として提案された回路である。構成は通常のFFに対して冗長にもう一つのFFを接続し（以下シャドウFF）、その入力にはある程度の遅延素子を挿入する。これによりクロック周期に処理が間に合わなくなる場合、先にシャドウFFがエラーを起こすことで、メインFFがエラーを起こすことを予告する回路となっている。今回の設計ではシャドウFFをDラッチに置き換えることで面積削減を試みた。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100~1,000 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** マイクロプロセッサ

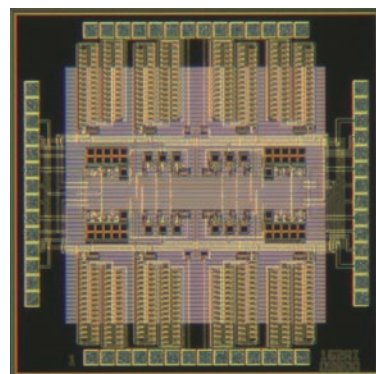


MEMS マイクロロボット用の任意の出力パターンを生成可能なハードウェアニューラルネットワーク

日本大学理工学部 田中 大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健

概要: 我々は昆虫サイズのマイクロロボットの制御方法として、生物の脳が出力するパルス波形を模倣した、パルス形ハードウェアニューロンモデルを用いて研究を行っている。本試作チップは、我々が新たに開発した4足歩行型マイクロロボットの歩行制御に用いるパルス波形を任意の順番で生成することを目的として設計した。先に我々が開発したハードウェアニューラルネットワークは、パルス波形の生成を行う細胞体モデルの発振順番の制御が困難であり、必要な波形パターンが発現するまで電源のスイッチングを繰り返すか、GND端子で放電・リセットして任意の波形を発現させる必要があった。本試作では、細胞体モデルの出力パルス電圧をMOSFETのスイッチングにより制御し、任意の順番で出力パルスを生じ可能な回路を設計した。測定の結果、パルス波形の出力順番の制御を確認することはできなかった。原因として、出力パルスの制御を担っているシナプスモデルの回路構成にレイアウトミス（出力がGNDに短絡）があり、細胞体モデルの制御ができていなかったためである。今後の試作では、上記の問題点を改善した設計を行う予定である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG（特性評価回路など）

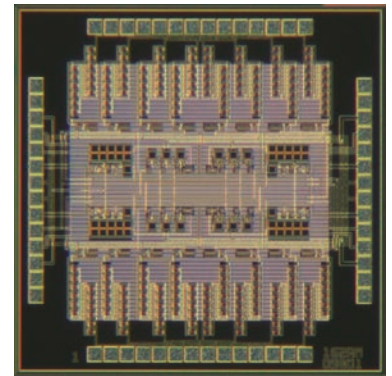


ハードウェアニューラルネットワーク用のカレントミラー回路の構造改善

日本大学理工学部 田中 大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健

概要: 我々が開発したマイクロロボットはアクチュエータをジュール熱によって駆動させるため、電流印加が必要となる。そのため、ハードウェアニューラルネットワークの出力部には電流増幅を目的としてカレントミラー回路を構築している。本試作ではカレントミラー回路の改善を行った。複数のMOSFETのゲート層を共通化するゲートフィンガー構造をカレントミラー回路の増幅段に当たるMOSFETに適用し、出力電流向上の検討を行った。本設計では、5つのMOSFETに対し、ゲート層を共通化した。また、カレントミラー回路の増幅段で用いるMOSFETのLW比を約25%に減らし、出力電流の減少分に応じて構成段数を30段から120段に増やし、出力電流向上の検討を行った。結果として、過去に試作したチップと比較し、出力電流の向上を確認するとともに、レイアウト面積の大幅な削減を実現した。しかしながら、「MEMSマイクロロボット用の任意の出力パターンを生成可能なハードウェアニューラルネットワーク」と同様のレイアウトミスがあり、出力パルスの制御を行うことができなかった。次回の試作では、さらにゲート層を共通化するMOSFETを増やし、レイアウト面積の削減に対する検討とシナプスモデルの構造改善を行う予定である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社Virtuoso, Mentor社Calibre, Cadence社Dracula, Synopsys社HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



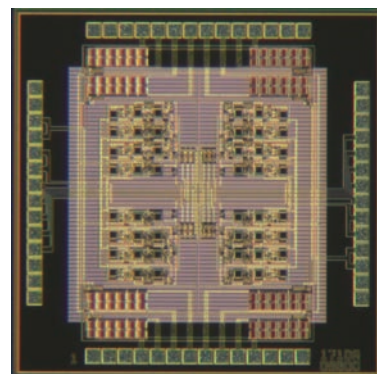
平成29年度オンセミコンダクター—三洋 CMOS 0.8 μ m 試作 (OS08171)

MEMS マイクロロボットに実装可能な低容量型ハードウェアニューラルネットワーク

日本大学理工学部 田中大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健

概要: 我々が開発したマイクロロボットは4.6×7.2×6.4 mmの小型な体躯でありながらハードウェアニューラルネットワークICを搭載し、4足歩行を実現した。しかしながら、搭載したハードウェアニューラルネットワークICに必要なコンデンサ容量がICに対し大きいため、IC外にチップコンデンサを外部回路として搭載する必要があり、重量が増加し、歩行動作の妨げとなる問題があった。本試作チップは日本大学の佐伯らによって開発された低容量型CPGモデルを用いて、外部回路を必要としない制御回路を目的として開発した実装用チップである。本チップはマイクロロボットのアクチュエータ駆動に必要な電流を出力するために、カレントミラー回路を1出力につき120段構築した。また、過去に試作したパルス形ハードウェアニューラルネットワークに対しレイアウト面積が増加したため、前回の設計で検討したMOSFETのゲートフィンガー構造を採用した。測定の結果、回路による歩行生成に必要な波形パターンの生成と、マイクロロボットの駆動に必要な電流量を得られた。今後、本チップのマイクロロボットへの実装の検討を行う予定である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

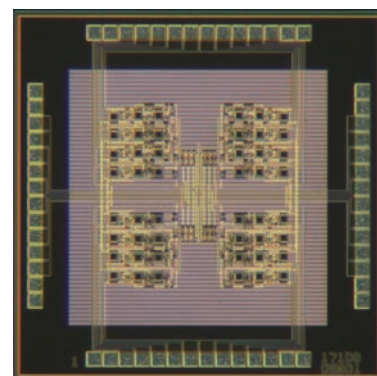


低容量型ハードウェアニューラルネットワークの測定用TEGチップ

日本大学理工学部 田中大介, 田中 泰介, 内海 裕人, 内木場 文男, 齊藤 健

概要: 本試作チップは「MEMS マイクロロボットに実装可能な低容量型ハードウェアニューラルネットワーク」で設計を行った低容量型CPGモデルの測定を行うためのTEGチップとして設計した。本モデルは一つのパルス波形の生成に4つのニューロンモデルを用いて、容量の大きいコンデンサを用いずにマイクロロボットの駆動に必要な周期幅を実現している。任意の周期幅の生成には、各電源電圧の細かい調整が必要である。本チップでは各ニューロンモデルの出力電圧を測定するために各出力につき1個、計16個の測定用PADを構築した。また、マイクロロボットの歩行パターンを生成するために、制御を担っているシナプスモデルを用いてニューロンモデルを相互接続した。測定の結果、マイクロロボットの駆動に十分な周期のパルス波形の生成を確認した。また、シナプスモデルの制御により4相の出力パルス生成を確認することができた。今後は6足歩行型マイクロロボットの歩行パターンが生成可能な回路の設計、それに伴う回路規模の縮小を検討していく予定である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



An active quenching circuit with variable hold-off time for single photon avalanche diode after-pulsing probability measurement

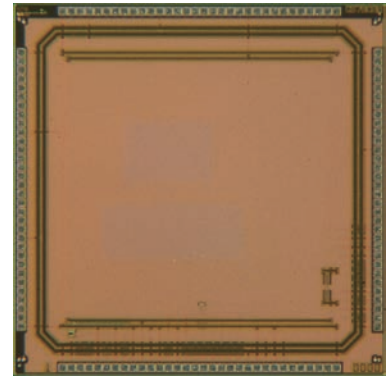
東京大学工学系研究科 楊 驍

東京大学 VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要 : Single photon avalanche diode (SPAD) is a pn diode that is reversely biased above its breakdown voltage, and can be utilized as a photon detector with very high sensitivity and fine time resolution. However, during a breakdown procedure, generated carriers may be trapped in deep levels, and these carriers may trigger another breakdown. This kind of breakdown is not triggered by incident photons and becomes the dark count of a SPAD, which is also called as after-pulsing. The influence of after-pulsing can be reduced by holding the SPAD off for a period, for the reason that trapped carriers are released during the hold-off time. On the other hand, a long hold-off time decreases the temporal aperture of the imager.

Therefore, selecting a suitable hold-off time for SPAD is important. A variable hold-off time active quenching circuit (VHAQC) was designed to measure the relationship between hold-off time and after-pulsing probability in this chip. The SPAD is automatically hold off after each breakdown, and the hold-off time is controlled by the external biasing voltage, which can be changed from 100 ns to 2.3 ns. Moreover, in order to measure the time intervals of 'pure' dark counts without after-pulsing, a very long hold-off time can be realized by forcing the SPAD off by an external input signal. By comparing the time intervals of dark counts at different hold-off time, the probability of after-pulsing can be calculated. The experimental results demonstrated the efficiency of hold-off time on reducing the influence of after-pulsing, and the after-pulsing probability can be decreased to lower than 1% with a 20ns hold-off time.

設計期間 : 0.1 人月以上, 0.5 人月未満 **設計ツール** : Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数** : 10~100 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : TEG (特性評価回路など)

**Single photon avalanche diode with very large area for characteristics measurement**

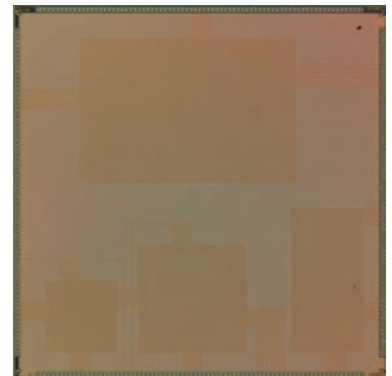
東京大学工学系研究科 楊 驍

東京大学 VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要 : Single photon avalanche diode (SPAD) is a pn diode which is reversely biased above the breakdown voltage. Under this condition, if there is no carrier in the depletion region, the SPAD remains in a stable state and only an extremely small current is flowing through the SPAD. Once there is a primary carrier being triggered by incident photons or some other noise sources, the avalanche breakdown procedure is triggered and a large current starts to flow. Even a single incident photon may trigger the avalanche breakdown immediately. Therefore, the SPAD is capable of capturing incident photons that are generated closely in time, and it is a photon detector with ultra-high sensitivity and fine time resolution. The characteristics of a SPAD is important in designing its periphery circuits, for example, selecting the value of quenching resistance, and in building the simulation model for both SPICE and TCAD. Moreover, the temperature coefficient measurement is necessary to confirm that the breakdown is purely caused by avalanche breakdown. However, it is hard to get the accurate value of these parameters through measuring the SPADs with normal sizes. Therefore, several SPADs with very large area (about 0.5 mm x 0.5 mm) with different sizes are implemented in this design. The structure is Pwell and deepNwell junction with shallow trench isolation (STI) guard ring and Poly Gate [1] for I-V, C-V characteristics, and temperature coefficient measurements.

参考文献 : X. Yang, H. Zhu, T. Nakura, K. Asada, "Single photon avalanche diode based on standard CMOS technology," in proceedings of 2015 IEICE General Conference, C-12-39, Kusatsu, Japan, March, 2015.

設計期間 : 0.1 人月未満 **設計ツール** : Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数** : ~10 **試作ラン** : ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別** : TEG (特性評価回路など)

**雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器**

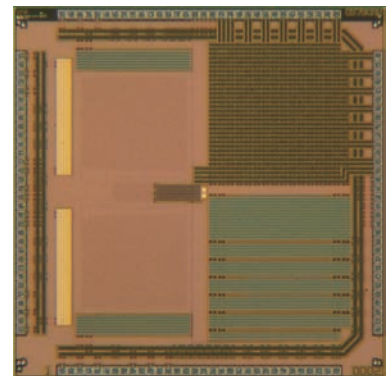
東京大学工学系研究科 伊藤 貴亮, 名倉 徹

東京大学 VDEC 飯塚 哲也, 浅田 邦博

概要 : 本試作では比較器に雑音指数調整機能を実装することで電力効率の向上を狙った逐次比較型アナログ-デジタル変換器 (ADC) の設計を行った。まず内部の DAC に冗長性を持たせることで高精度な変換を実現している。ただし冗長性を持たせると通常の場合と比較して追加の変換サイクルが必要になり、消費電力の増加につながる。この問題に対して本試作では比較器に雑音指数調整機能を実装し比較精度と消費電力を調整できるようにすることで解決した。各サイクルの DAC の冗長レンジに応じて比較器の雑音指数を調整することによって消費電力を最適化している。これにより高精度と低消費電力を両立し変換時の電力効率が向上した。さらに非同期式のクロック信号生成回路を実装することで変換時間についても最適化を行っている。

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数** : 1,000~10,000

試作ラン : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : アナログ (PLL, A-D/DC-DC コンバータなど)



階層型時間-デジタル変換器

東京大学工学部 榎本 隆一

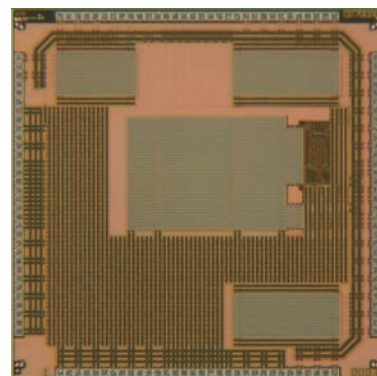
東京大学VDEC 飯塚 哲也, 浅田 邦博

東京大学工学系研究科 名倉 徹

概要: 本試作では高分解能と広入力範囲の両立を目指し階層型時間-デジタル変換器 (TDC) の設計を行った。階層型 TDC は精粗の分解能を持つ TDC の 2 段構成からなり、粗い TDC の量子化誤差のみを細かい TDC で精度良く量子化することで変換を行う。これにより入力範囲拡大に伴う回路規模や変換時間の増加・ジッタの蓄積を抑えられるので広入力範囲を実現できるが、一方で階層 TDC はレイアウト由来の非線形性や 2 つの TDC の分解能のミスマッチなどの問題を抱えている。そこでこれらの問題を回避するため、分解能キャリブレーション機能を含む新しい階層化手法を提案し、既存の高分解能 TDC [1] に対して実装した。さらに、プロセスばらつきの影響を考慮し、[1] のパルス縮小バッファおよび検出用フリップフロップのトランジスタサイズの再調整も行った。

参考文献: [1] 古賀, "オフセットパルスを用いたパルス縮小型時間デジタル変換器", 東京大学 工学系研究科 電気系工学専攻 修士論文, 2016 年。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

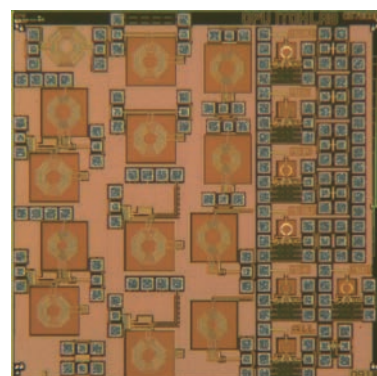


RF 回路 TEG

岡山県立大学情報工学部 伊藤 信之, 北野 大志, 坂本 裕太

概要: ・2 バンド同時受信低雑音増幅器 (LNA) 入出力に相互誘導型インダクタを用いた、2.4GHz/5.25GHz 同時受信低雑音増幅器の回路 TEG を 2 種類、設計・試作した。これらの回路は、以前 TSMC-0.18 μ m プロセスで設計・試作した回路をロームプロセスに焼き直した回路である。・準ミリ波帯電圧制御発振器 (VCO) インダクタにストライプ構造のインダクタを用いた、24GHz の電圧制御発振器の回路 TEG を 7 種類、設計・試作した。これらの回路は、以前 TSMC-0.18 μ m プロセスで設計・試作した回路をロームプロセスに焼き直した回路であるがメタル構造が異なる。・RF デバイス TEG 上記 2 バンド同時受信低雑音増幅器に用いているインダクタ、および入出力整合回路の回路 TEG を 7 種類、設計・試作した。その他に、RF デバイス測定用、OPEN, SHORT, THRU パターン等。・トランジスタ TEG トランジスタの W/L を変えた DC 用 TEG. SPICE パラメータ確認用。

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Keysight 社 ADS, Keysight 社 GoldenGate **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)

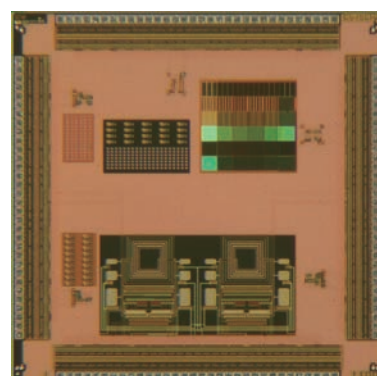


設計実習・フリーラジカルセンサ

金沢大学集積回路工学研究室 北川 章夫

概要: [設計実習] 学部 3 年生における 1 学期の LSI 設計実習を実施した。クロックのためのリング VCO と PWM を搭載した LED 点滅制御回路を例題として、フルカスタム設計のフローとスタンダードセルのフローを体験した後、各学生が自由に設計を行う。設計規則がやや複雑なため、実習時間内には DRC と LVS エラーが取れない学生も多かったため、実際にチップに回路を搭載したのは数名であったが、代わりにマイクロアートを搭載した学生もいた。[フリーラジカルセンサ] 電子スピン共鳴を利用したフリーラジカルセンサを試作した。高周波磁場を発生させる VCO (周波数 900MHz~1.2GHz) を内蔵し、外部から適当な直流磁場を印可することにより、フリーラジカルの電子スピンによる磁化率の変化を検出する。従来の電子スピン共鳴法では、電磁石により直流磁場強度を掃引するが、本センサでは、周波数を掃引することにより、永久磁石を使用することができる。ただし、フリーラジカルの影響を受けていないリファレンス周波数を知る必要があるため、今回の試作では、直流磁場変調用コイルをチップに内蔵した。試作したセンサを用いて、DPPH (1,1-Diphenyl-2-picrylhydrazyl), TEMPOL (1-Oxyl-2,2,6,6-tetramethyl-4-hydroxypiperidine) などの安定なラジカルの検出に成功したので、より高感度化するための方法について検討を行っている。

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** ニューテクノロジー



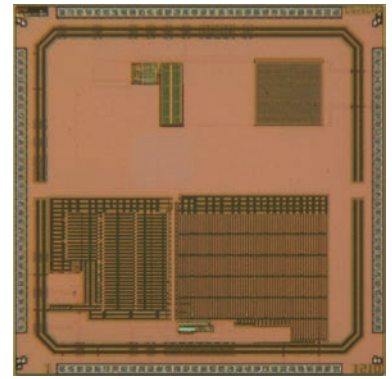
低電圧動作レベルクロッシング ADC に向けたランプ信号生成回路とコンパレータ回路

東京電機大学大学院工学研究科電気電子工学専攻 齋藤 匠

東京電機大学工学部電子システム工学科 小松 聡

概要：レベルクロッシング ADC に用いるためのコンパレータ回路および、AD 変換回路の校正に用いるための基準電圧を生成するランプ信号生成回路の設計、試作を行った。ランプ信号生成回路は MOS 電流源と MOS スイッチ、MIM キャパシタおよびユニティゲインバッファを用いて設計した。試作したランプ信号生成回路の出力信号の傾き V_{slope} は MIM キャパシタの容量値 C と MOS 電流源の出力電流 I を用いて $V_{\text{slope}}=I/C$ で決定される。MIM キャパシタは異なる値の物を複数個並列に用意し、MOS スイッチの切り替えによって C の値を変更することで出力信号の傾き V_{slope} を変化させる事が可能である。ランプ信号生成回路の出力はユニティゲインバッファを介して出力される。コンパレータ回路は PMOS 差動対による入力段と NMOS カレントミラー回路、PMOS 負荷段で構成されており 0.8V の電源電圧でも動作が可能のように設計した。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



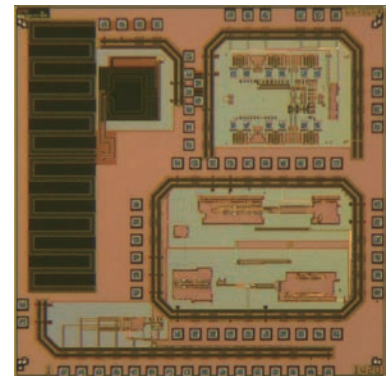
フェーズインターポレーター, 3線3相式シリアルインターフェイス, オンチップアンテナ通信回路, スキュー調整回路

芝浦工業大学工学部 佐々木 昌浩, 木村 匠, 田中 飛意郎, 梅田 将馬, 神庭 直人

概要：本試作では4つの異なる回路を実装した。1つ目はフェーズインターポレーターの TEG である。この回路ではオンチップサンプリングオシロの設計に必要な多数の異なる位相のクロックを得られるように設計を行った。2つ目は3線3相式シリアルインターフェイスの試作である。今回、ロジックが適切に動作するようにインバータ等の追加を行っている。3つ目はオンチップアンテナを含む送信回路の試作である。4つ目は動的なスキュー調整を行うための相対セットアップタイム測定回路の試作である。TSPC-DFF のセットアップタイムエラー情報を取得することで高精度なタイミング調整を目的としている。

参考文献：田中飛意郎, 石井雅樹, 佐々木昌浩, "自己同期式シリアルインターフェイスにおけるノイズ放射特性の検証", 電子情報通信学会総合大会, 2018年3月

設計期間：3 人月以上, 4 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



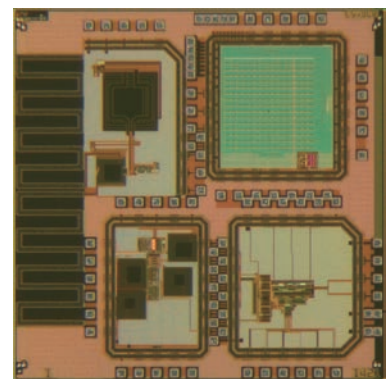
温度センサ, 擬似乱数発生回路, フラッシュ ADC, オンチップアンテナ通信回路

芝浦工業大学工学部 佐々木 昌浩, 石井 雅樹, 黒部 友朗, 井山 景喬, 梅田 将馬

概要：本試作では4つの異なる回路を実装した。1つ目は選択可能な熱源を組み込んだオンチップ温度分布測定回路の試作である。擬似熱源システムを用い、温度センサ回路の特性評価を目的として実装した。2つ目はデータレート 10Gbps の擬似乱数 (PRBS) 発生回路とそのエラーチェック回路の試作である。本回路では線形帰還シフトレジスタ (LFSR) を並列化させ、マルチプレクサを用いてまとめることで高速化を図っている。3つ目は 6bit フラッシュ型 ADC の試作である。この回路は高速・低消費電力動作を実現するために、コンパレータ部やプリアンプ部に改良を行っている。4つ目はオンチップアンテナを含む受信回路の試作である。

参考文献：黒部友朗, 佐々木昌浩, "オンチップ高速温度分布測定システムに関する研究", 電子情報通信学会, LSI とシステムのワークショップ 2017, 2017年5月

設計期間：3 人月以上, 4 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



スイッチト・カレント黄金比エンコーダテスト回路

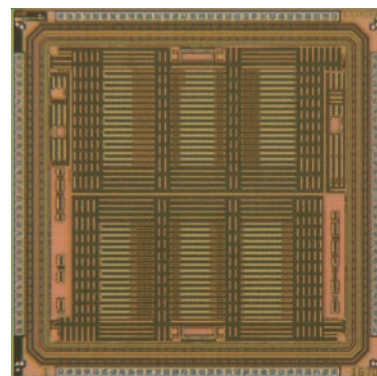
東北大学電気通信研究所 堀尾 喜彦

東京電機大学大学院工学研究科 藤野 隆良

概要：黄金比を変換基数として持つ黄金比エンコーダ (Golden Ratio Encoder) をスイッチト・カレント回路技術により集積回路化するための TEG チップを作製した。当該 TEG チップには、2 段再帰型構成の黄金比エンコーダ回路全体と、これを構成する各基本回路として、電流モードコンパレータ、電流 S/H 回路、重み付き電流加算回路、電流単一遅延回路をそれぞれ実装した。全体回路では、黄金比エンコーダの AD コンバータとしての特性を評価する。さらに、黄金比エンコーダ回路の内部状態をアナログ値で測定することにより 2 次元マップの状態を観測し、不変部分区間内での動作を確認するため、拡張測定用回路を付加した黄金比エンコーダ回路も併せて実装した。なお、テストによる測定はせず、専用の測定ボードを製作して測定した。

参考文献：Yoshihiko Horio and Takayoshi Fujino, "IC prototyping of a switched-current A/D converter circuit based on the golden ratio encoder," in Proceedings of International Symposium on Nonlinear Theory and Its Applications, pp. 120-123, Dec. 4-7, 2017.

設計期間：3 人月以上, 4 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Spectre, Synopsys 社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



Vector-Quantization Compression Circuit with On-Chip Learning Ability and Integrated High-Speed Image Sensor

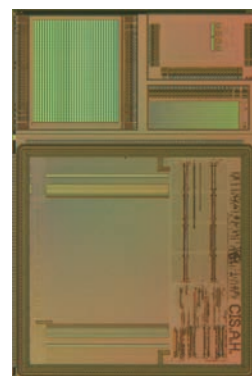
広島大学先端物質科学研究科 Huang Zungkai

広島大学工学研究科 An Fengwei

広島大学ナノデバイス・バイオ融合科学研究所 Mattausch Hans Juergen

概要：As the fundamental technology of autonomous vehicles and high-speed tracking, high-speed vision always suffers from the bottlenecks of on-chip bandwidth and storage due to the resource constraints. To improve the resource efficiency, a hardware-efficient image compression circuit based on the vector quantization with integrated a high-speed image sensor is designed. In the majority of the current hardware implementations of VQ-based image compression circuit, the code-book is generated only once by sophisticated algorithms in the software and then loaded to the hardware encoder. Hence, if the application scenes change with time or space, the VQ-based image compression circuit in which the codebook is generated off-line will not be able to meet the demands. One of the most direct and efficient approaches to solving this problem is to integrate the codebook generation part on the hardware encoder so that the encoder can bring the codebook into correspondence with the target senses and applications. For this purpose, a self-organizing map is implemented for the on-chip learning of the codebook to flexibly satisfy the requirements of different applications. To reduce the hardware resources, a reconfigurable complete-binary-adder-tree is applied, where the arithmetic units are reused completely. In addition, a mechanism of partial vector-component storage is adapted to make the compression ratio adjustable. Also, a parallel-elementary-stream design ensures a high processing speed. The proposed circuit can additionally be applied in a high-speed object tracking system. FPGA-based test implementation of the compression circuit indicates that it can achieve an encoding speed of 722 frames/s with 128 weight vectors when working at 79.8 MHz, and the worst tracking error at 500 frames/s caused by the proposed circuit is merely 9 pixels.

設計期間：5 人月以上, 6 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 PowerCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数：**1,000,000~10,000,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mmx7.5mm チップ **チップ種別：**イメージセンサ/スマートセンサ



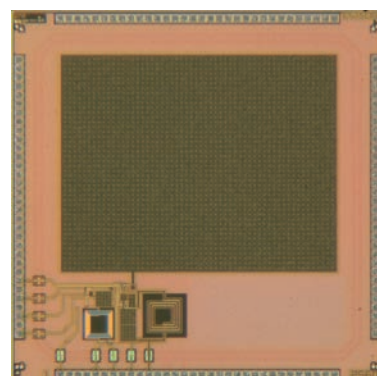
血糖値センサに利用する VCO の試作

中央大学理工学部電気電子情報通信工学科 杉本 泰博, 磯野 友寛, 鈴木 統万,
野口 純平, 星 佑太

中央大学理工学部電気電子情報通信工学専攻 山室 雄哉, 藤森 賢人

概要：糖尿病の改善には定期的な測定が不可欠であるが現在の血糖値センサは針を使うなど患者の負担が大きい。そのため、我々の研究室では VCO を利用した血糖値センサを提案する。血糖値により人間の生体インピーダンスが変わり誘電率が変化するを利用して、VCO に人間の手を近づけて変化する発振周波数を PLL で電圧に変換して誘電率の変化から血糖値を測定する。この血糖値センサは、VCO に手を近づけて発振周波数が増加することを測定するため針などを使わずに血糖値を測定するため患者への負担をなくすことができると考えている。この血糖値センサを実現するための VCO を試作した。

設計期間：3 人月以上, 4 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数：**~10 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



ゲイン及び帯域切替可能な生体信号処理用 LSI

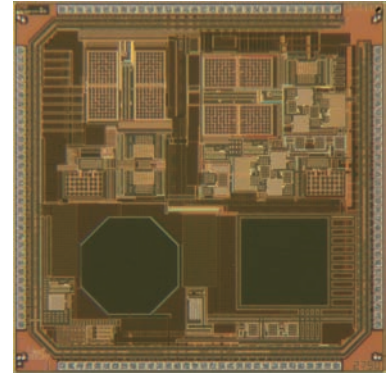
東北大学医工学研究科 田中 徹

長崎総合科学大学工学研究科 清山 浩司

東北大学工学研究科 竹澤 好樹, 下川 賢士, QIAN ZHENGYANG, 宇野 正真,
伊藤 圭太

概要: 近年, 高齢化に伴って心血管疾患の患者数が増加しており, 簡易な計測デバイスで脈拍などの生体情報を取得する技術が注目されている。生体情報により健康状態を判断するには, 日常的に生体情報をモニタリングすることが望ましい。そのため正確かつ簡便な生体情報記録の実現を目的として, 小規模測定システムの開発を行っている。今回, 生体情報を記録するための生体信号処理 LSI を試作した。設計した LSI には 4 段階の増幅率切替可能な LNA (Low Noise Amplifier) と低域遮断周波数切替可能な LPF (Low Pass Filter) が搭載されている。現在, 試作した LSI を用いて生体情報モニタリングシステムを作製している。

設計期間: 8 人月以上, 9 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ混載



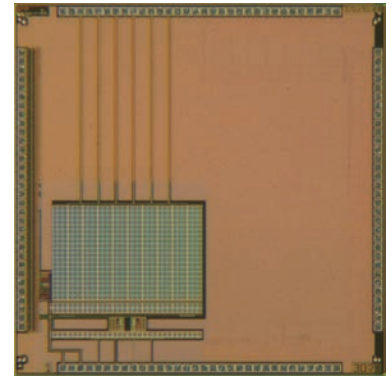
TDC 要素回路回路

神奈川大学工学部 島 健

芝浦工業大学理工学研究科 Nicodimus Retdian

概要: チップの領域を, 雑音に関する研究の領域と, 多相発振回路による TDC 回路に関する研究の 2 つ領域に分けて設計した。領域 1 では, N-path を用いたノッチフィルタを試作した。10-path のフィルタを用いて商用電源の雑音を除去するためのノッチフィルタを設計した。10 相クロックを生成するためのデジタル回路も試作した。性能改善のためにサンプルホールド回路を付加し, 40dB 以上の雑音削減を目指している。また, 入力段として演算増幅器も試作した。領域 2 では多相発振回路, 多相発振回路による TDC 回路と, DFF 等の関連する要素回路を設計した。多相発振回路は CMOS インバータリング発振器を組み合わせる構成した単位発振器を環状接続しており, 試作回路では段数は 23 段として時間分解能を計測できるように設計した。TDC 回路は DFF を多段発振回路の段数分用意して発振状態のスナップショットが取れるように構成した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

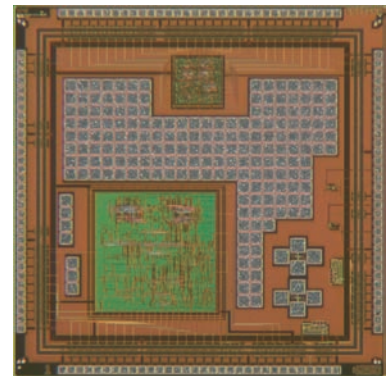


チョップパ式昇圧回路

電気通信大学情報・ネットワーク工学専攻 鈴木 康介, 石橋 孝一郎, 範 公可

概要: 今回の試作では, チョップパ方式による昇圧回路の設計を行った。チョップパ方式はインダクタとスイッチング動作によって昇圧動作を行うが, インダクタは外付け素子として設計した。回路は, リングオシレータを発振回路としてスイッチング動作を行うものと, 外部電源からパルス入力を行うものの二種類を作製した。今回は外部電源からパルス入力を行う回路について報告する。シミュレーションでは, 入力電圧 1.5V を 4.6V に昇圧させることができたが, 実測では, 5V 以上の昇圧となった。これは, シミュレーションでの負荷設定が理想的でなかったことが原因としてあり, 再度シミュレーションしたところ実測値に近づいた。当然ながらシミュレーションのパラメータ設定は厳密に行うべきだと学んだ。また, 他の問題点として, トランジスタの耐圧電圧を上回ってしまったため, 測定ごとに測定値が悪くなってしまった点がある。昇圧しすぎて回路が耐えられなくなってしまった意味がないので, 昇圧に制限をかける設計や, トランジスタ間の耐圧条件をクリアできる設計を行う必要があると感じた。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICompiller, Cadence 社 Virtuoso, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



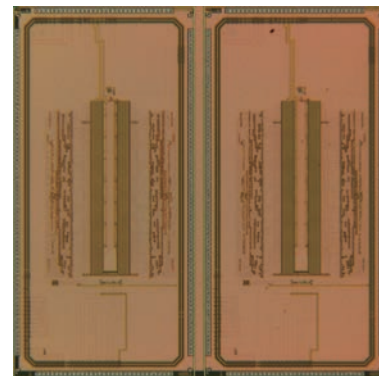
確率的フラッシュAD変換器の試作

北見工業大学大学院工学研究科 杉本 俊貴, 高橋 卓人, 谷本 洋, 吉澤 真吾

概要：本試作では確率的フラッシュAD変換器、偶高調波ミキサと $\Delta\Sigma$ 変調器を用いたダウンコンバーティングADC、ピーキングカレントミラーの試作を行った。確率的フラッシュADCは、オフセット電圧バラツキをAD変換器の参照電圧として使用するため、スケラブルな高速AD変換器として注目されている。本試作では、500MS/s、5ビット精度の確率的フラッシュADCの試作を行った。ダウンコンバーティングAD変換器はRF信号から直接ベースバンド信号をAD変換して出力するADCである。提案する方式は、偶高調波ミキサを利用することで自己混合を起こさずに直接AD変換できる点に特徴がある。本試作はアイデアを実証するための試作を行った。ピーキングカレントミラーは、電源電圧の変動に感度が低く、良好な定電流源として動作する。しかし、一定電流を出力可能な範囲が狭い問題があるため、広い範囲で一定電流を出力できる方式を提案し、そのLSI設計を行った。しかし試作したLSIは、レイアウトの間違いがあり動作しなかった。

参考文献：[1] Toshiki Sugimoto, Hiroshi Tanimoto, Shingo Yoshizawa, "Comparator Design for Linearized Statistical Flash A-to-D Converter" IEEE International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), 6 pages, June 2017.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre トランジスタ数：100,000~1,000,000
試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ チップ種別：アナログ/デジタル信号処理プロセッサ

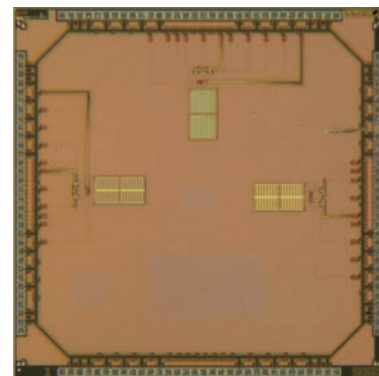


アナログ回路用ライブラリ及び素子評価

高知工科大学システム工学群 橋 昌良, 岡崎 泰士

概要：本チップの目的は $\Delta\Sigma$ 変調器を目的としたアナログ回路用ライブラリの設計である。試作した回路はNauta OTAを用いた積分器により構成した3種類の1次 $\Delta\Sigma$ 変調器である。2つの基本となる回路を設計したのち、そこから3種類のバリエーションのある回路を設計した。基本となる回路はアナログ・デジタルにおける電源電圧の分離と出力負荷の有無の2つとした。そこから、分離有り、かつ負荷有り、かつ分離無し、かつ負荷無し、分離有りの負荷無しの3種類の回路を設計した。なお、分離無し、かつ負荷無しは今年度の第3回の試作にて設計したので、今回の試作では載せていない。回路構成はRC積分器、1bitのダイナミック型コンパレータ、1bitの電流出力D/A変換回路である。信号帯域は22kHz、オーバーサンプリング比は256として、設計し、S/N比を評価した。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：100~1,000
試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



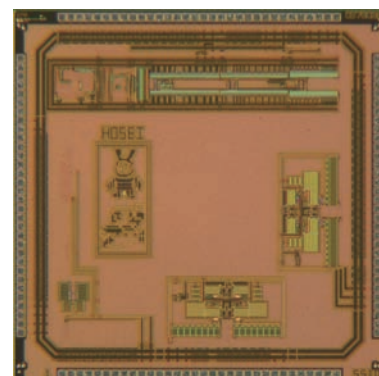
ジッタシェーパーを用いた $\Delta\Sigma$ DACとFIRフィルタ構成のスイッチドキャパシタ型を用いた $\Delta\Sigma$ ADC

法政大学理工学部 嘉藤 貴博, 安藤 健吾, 吉田 知朗, 増田 秀太

概要：この試作では、 $\Delta\Sigma$ DACと $\Delta\Sigma$ ADCを試作しました。 $\Delta\Sigma$ DACは、主にオーディオ用途を想定した仕様で、新規手法としてジッタシェーパー構成を使用している。ジッタシェーパー構成は、スイッチドキャパシタ型のマルチビット加算/積分器、サンプリングホールド回路および抵抗によるフィードバック経路で構成された1次 $\Delta\Sigma$ 変調器と同様の構成となっており、サンプリングホールド回路で発生したジッタによる信号帯域内への非線形歪みの影響を、前段の積分器によるループフィルタ特性に従い、高域へノイズシェーピングすることが可能である。本件では、この手法の効果の確認を目的とし、試作評価を行った。 $\Delta\Sigma$ ADCは、FIRフィルタ構成のスイッチドキャパシタ型を用いたADCである。構成として、2次のフィードフォワード構成ループフィルタ、3.9bit (15Level) のフラッシュ型ADC、DWAに提案手法のFIRフィルタ構成を追加した。それにより、広帯域化が可能になりため、本件では、その手法の効果の確認を目的とし、試作評価を行った。

参考文献：Ryosuke Minemura, Satoshi Saikatsu, Go Harumi, Michitaka Yoshino, Akira Yasuda (Hosei University), "Implementation and Measurement of a Delta-Sigma DAC with a Jitter Shaper Reducing Jitter Noise", 2016 International Conference on Analog VLSI Circuits, August 24, 2016.

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre トランジスタ数：100,000~1,000,000
試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



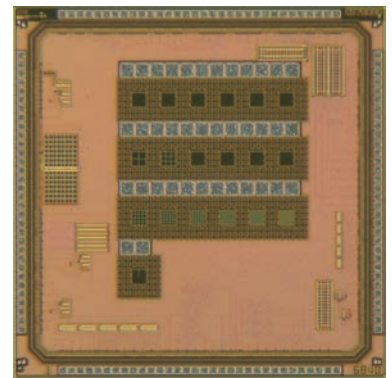
0.18 μ m CMOS プロセスを用いた同期型ノッチフィルタ制御用回路の試作

慶應義塾大学理工学部 中野 誠彦

慶應義塾大学理工学研究科 伊藤 孝太, 田中 稜也, 出口 卓己

概要：筋電、心電、脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。ブレインマシンインタフェース技術と呼ばれる、脳と機械間の双方向通信技術の応用にも生体電位信号の利用が進められている。生体電位信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。今回のチップ設計では、同期型ノッチフィルタの制御に用いる低周波VCOとPLLの設計を行った。しかし、MIM容量の専有面積が大きくなり、density ruleにより設計通りの容量値でチップ試作を行うことができなかった。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



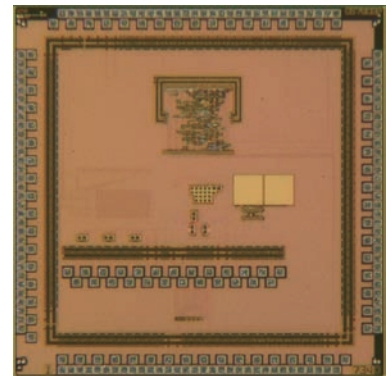
超低電力身体モニタリングシステムのための心電処理用アナログ・デジタル回路

兵庫県立大学大学院工学研究科 藤原 潤, 前中 一介

概要：本研究室では、身体に張り付けることで生体情報を測定する小型システムの研究・開発を行っている。複数のMEMSセンサとアナログ/デジタル信号処理LSIを組み合わせることにより、超低消費電力で小型なデバイスの開発を目指している。本試作チップでは、身体より取得したECGを増幅・AD変換するアナログフロントエンド、および以前提出したR-R間隔抽出用デジタル回路の再評価を目的としている。R-R間隔は自律神経系の指標に用いることが出来ると言われており、バイタルサインに関わる重要な生体情報であるといえる。本試作チップの回路は、R-R間隔データを僅かな演算で抽出するよう設計されている。アナログフロントエンドに関しては未評価であるが、R-R間隔抽出回路は動作が確認されており、R-R間隔の検出および心拍数異常検出が正常に行われていることを確認した。

参考文献：M. Nii, et al, "A Human State Estimation Method using Fuzzy based System" Proc. IEEE ICETET2011, pp. 151-155, (2011) .

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 NCVerilog, Cadence社 Encounter RTL Compiler, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Cadence社 QRC, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

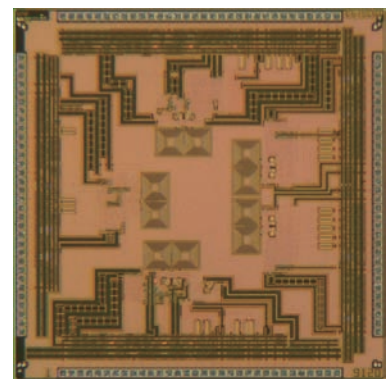


位相同期回路の干渉ノイズ検証用 TEG

大阪工業大学大学院工学研究科 小林 菜祐, 増井 優也, 藤居 尚博, 吉村 勉

概要：PLL回路における外部干渉ノイズや自己干渉ノイズの影響を、解析・検証するためのTEGを搭載。今回、いくつかの異なる回り込みノイズの環境を人為的に実装し、それに対する出力クロックの影響を調査・解析する。一つは、デジタル回路の動作が基板を介して位相同期回路のアナログブロックに影響を与える場合の検証TEGで、ボトムN-wellを介して結合されたデジタル回路とアナログブロックの基板ノイズによる影響を測定する。二つ目は、複数の近接した発振器を同時動作させることにより干渉ノイズを発生させ、その影響を出力クロックの位相ノイズ測定により評価するTEGで、同じ回路構成のユニットを2つ用意し、干渉ノイズの影響を調査する。三つめは、デジタル制御発振器(DCO)において、可変容量の切り替えノイズが干渉ノイズとして影響を与える場合の検証TEGで、切り替えタイミングを変化させて出力クロックの位相ノイズにどのような変化が現れるかを測定・評価する。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



光受信用アナログフロントエンド回路 TEG3

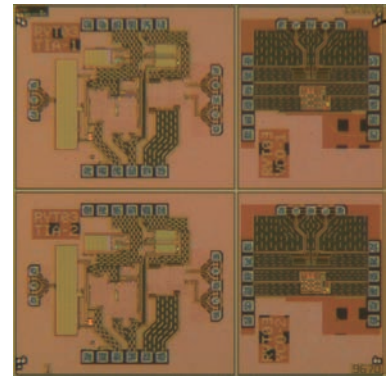
岐阜大学大学院工学研究科 小島 拓也

岐阜大学大学院自然科学技術研究科 國枝 衛, 田中 智孝, 中村 誠

概要：我々の研究グループでは、光パケット伝送用アナログフロントエンド回路の設計を行っている。光アクセス (FTTH) や光パケットルータでは、信号強度の異なるパケットデータの送受信を行うため、受信したパケットデータに高速応答可能なアナログフロントエンド回路が求められている。一昨年度の試作 (TEG1) にて、低電圧で高速応答かつ広入力ダイナミックレンジ動作可能な高速多段利得切替によるパケットデータ対応増幅回路の基本動作の検証を行い、昨年度の試作 (TEG2) でより高速動作可能な光電流/電圧変換回路の構成を提案しその動作検証のための試作を行った。今回、TEG2 評価で見つかった不具合の改良試作 (TEG3) を行い、IC 評価により新しいコア回路による高速動作とパケット毎に自動で初期化を行う機能を検証した。今後は、測定結果の詳細な検証と、さらに回路の改良を行っていく予定である。

参考文献： [1] 小島, 國枝, 久米, 中村, “高速レベル検出回路による光パケット伝送用リセット信号の高速生成”, 電子情報通信学会和文論文誌, 基礎・境界, Vol. J101-A, No.01, pp. 7-10, Jan. 2018.

設計期間：3 月以上, 4 月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**通信 (RF 回路, ATM など)

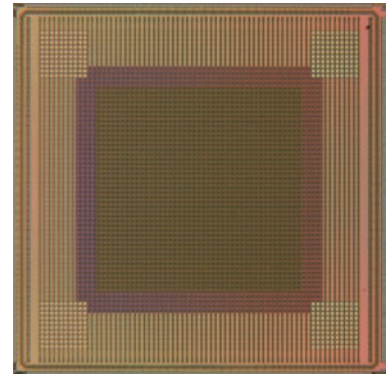


磁界観測を用いた電流分布推定による電源網解析手法の評価回路

東京大学工学部 高橋 奈悟
 東京大学 VDEC 飯塚 哲也, 浅田 邦博
 東京大学工学系研究科 名倉 徹

概要: 本試作では、磁界観測を用いた電流分布推定による電源網解析手法の評価を行うための回路を作成した。電源網に組み込んだテスト用の電流源に交流信号を与えて、発生した漏洩磁界を用いて電源網の電流分布を推定する。評価用チップでは、チップ全体に電源網を作り、磁界を発生させるための電流源を各電源メッシュに作成した。各電流源にはカレントミラー回路で電流を流す。これらの電流源は行/列デコーダによって選択的にアクティブにすることが出来る。本研究グループで開発した磁界測定システムを用いてこのチップの漏洩磁界を測定した。測定の際にはパッケージのカバーを取り除き、チップから高さ 100 μ m での測定を行った。テスト用の電流源に電流を流すことにより、電源網が作る漏洩磁界を測定することが出来た。また、測定された磁界分布から電源網に流れる電流を推定する事が出来た。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 7.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

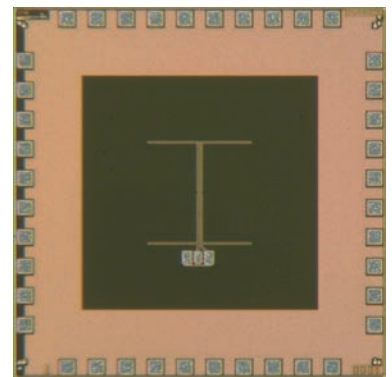


誘電体導波路向けオンチップ結合器

東京大学工学部 山崎 大輔
 東京大学 VDEC 飯塚 哲也, 浅田 邦博
 東京大学工学系研究科 名倉 徹

概要: 本試作では誘電体導波路通信に用いるオンチップ結合器の設計を行った。高速通信を実現するには広い帯域幅が必要となるが、近年では広い帯域幅を取ることが出来るミリ波帯の研究が盛んである。ミリ波帯の信号を用いて有線通信をおこなう場合、その信号は誘電体導波路内を伝搬することが知られているが、金属導波管と比べて損失が大きくなってしまいうため、導波路以外での低損失化が必要となる。電気-電磁波変換に必要なオンチップ結合器において損失の主な原因は Si 基板に流れる渦電流により電力の一部が熱となってしまうことにあるので、結合器直下の Si 基板を除去し渦電流を抑制することで低損失化を図る。この時誘電体導波路や Si 基板の有無により結合器周囲の誘電率が変化し、結合器の入力インピーダンスが変化するため、電力供給を効率よく行うには使用環境に合わせた結合器を設計する必要がある。そのため 3D 電磁界シミュレータを用いて結合器の入力インピーダンスを求め、最適化をおこなった。また結合器の形状は誘電体導波路方向に指向性を果たせるため、ブロードサイドアレイを採用した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Keysight 社 EMPro **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)

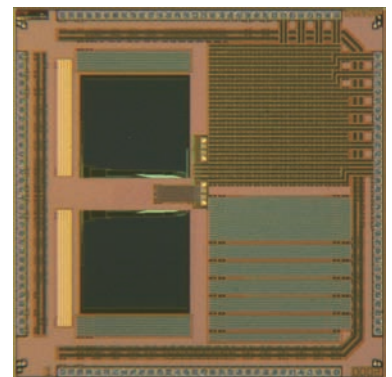


雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器

東京大学工学系研究科 伊藤 貴亮, 名倉 徹
 東京大学 VDEC 飯塚 哲也, 浅田 邦博

概要: 本試作では比較器に雑音指数調整機能を実装することで電力効率の向上を狙った逐次比較型アナログ-デジタル変換器 (ADC) の設計を行った。まず内部の DAC に冗長性を持たせることで高精度な変換を実現している。ただし冗長性を持たせると通常の場合と比較して追加の変換サイクルが必要になり、消費電力の増加につながる。この問題に対して本試作では比較器に雑音指数調整機能を実装し比較精度と消費電力を調整できるようにすることで解決した。各サイクルの DAC の冗長レンジに応じて比較器の雑音指数を調整することによって消費電力を最適化している。これにより高精度と低消費電力を両立し変換時の電力効率が向上した。さらに非同同期式のクロック信号生成回路を実装することで変換時間についても最適化を行っている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



階層型時間-デジタル変換器

東京大学工学部 榎本 隆一

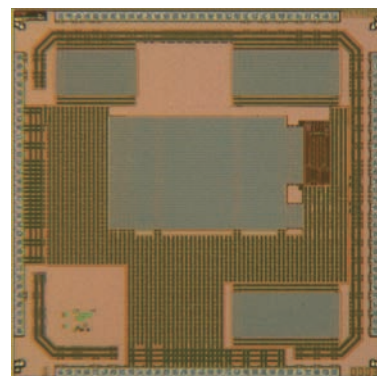
東京大学 VDEC 飯塚 哲也, 浅田 邦博

東京大学工学系研究科 名倉 徹

概要: 本試作では高分解能と広入力範囲の両立を目指し階層型時間-デジタル変換器 (TDC) の設計を行った。階層型 TDC は精粗の分解能を持つ TDC の 2 段構成からなり, 粗い TDC の量子化誤差のみを細かい TDC で精度良く量子化することで変換を行う。これにより入力範囲拡大に伴う回路規模や変換時間の増加・ジッタの蓄積を抑えられるので広入力範囲を実現できるが, 一方で階層 TDC はレイアウト由来の非線形性や 2 つの TDC の分解能のミスマッチなどの問題を抱えている。そこでこれらの問題を回避するため, 分解能キャリブレーション機能を含む新しい階層化手法を提案し, 既存の高分解能 TDC [1] に対して実装した。さらに, プロセスばらつきの影響を考慮し, [1] のパルス縮小バッファおよび検出用フリップフロップのトランジスタサイズの再調整も行った。

参考文献: [1] 古賀, "オフセットパルスを用いたパルス縮小型時間デジタル変換器", 東京大学 工学系研究科 電気系工学専攻 修士論文, 2016 年。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



Single photon avalanche diode with very large area for characteristics measurement (II)

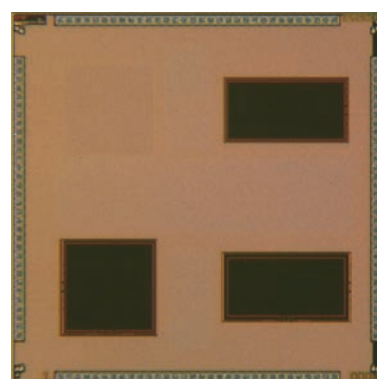
東京大学工学系研究科 楊 驍

東京大学 VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要: Single photon avalanche diode (SPAD) is a pn diode which is reversely biased above the breakdown voltage. Under this condition, if there is no carrier in the depletion region, the SPAD remains in a stable state and only an extremely small current is flowing through the SPAD. Once there is a primary carrier being triggered by incident photons or some other noise sources, the avalanche breakdown procedure is triggered and a large current starts to flow. Even a single incident photon may trigger the avalanche breakdown immediately. Therefore, the SPAD is capable of capturing incident photons that are generated closely in time, and it is a photon detector with ultra-high sensitivity and fine time resolution. The characteristics of a SPAD is important in designing its periphery circuits, for example, selecting the value of quenching resistance, and in building the simulation model for both SPICE and TCAD. Moreover, the temperature coefficient measurement is necessary to confirm that the breakdown is purely caused by avalanche breakdown. However, it is hard to get the accurate value of these parameters through measuring the SPADs with normal sizes. Therefore, several SPADs with very large area (about 0.5 mm x 0.5 mm) with different sizes and structures are implemented in this design. The structures is Pdiff and Nwell junction with shallow trench isolation (STI) guard ring and Ndiff and Pwell junction with STI guard ring [1] for I-V, C-V characteristics, and temperature coefficient measurements.

参考文献: X. Yang, H. Zhu, T. Nakura, K. Asada, "Single photon avalanche diode based on standard CMOS technology," in proceedings of 2015 IEICE General Conference, C-12-39, Kusatsu, Japan, March, 2015.

設計期間: 0.1 人月未満 **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



32x32 SPAD array sensor with asynchronous current logic event discriminator

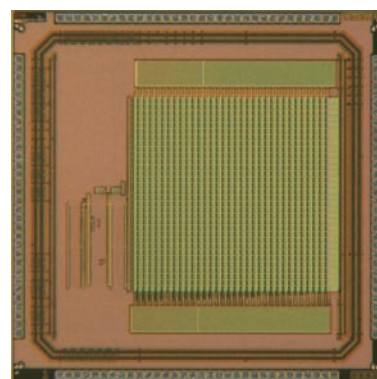
東京大学工学系研究科 楊 驍

東京大学 VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要: The drawback of the sensors designed before is that there is still a certain dead time of 3 clock cycles due to the global charging, writing, and holding off procedures [1]. In this design, a 32x32 SPAD array sensor with asynchronous current logic event discriminator has been presented. Instead of the time gated mode, the SPADs in the sensor are in free-running mode to achieve zero dead time. There is hold-off time after each breakdown in order to reduce the influence of after-pulsing as well as to realize the current logic based event discriminator. The output of quenching circuit is connected to a current source cell, and a current is generated during the period when SPAD is 'OFF'. All the current cells are connected together, so that the value of the current sum is proportion to the number of breakdown pixels. If event happens and the photons that incident into the imager can trigger many SPADs breakdown, so that the sum will become larger than a threshold value. Then, the output of a comparator that comparing the value of current sum and threshold becomes high, and the sensor starts readout procedure. This sensor contains a 32x32 SPAD array, a control block generating control signals, a 6-b DAC generating the threshold value in chip, a comparator, and an output buffer. The pixel size is 41 μ m x 41 μ m, and fill factor is about 9.4%. This sensor's ability of random event distinction has been demonstrated through the short pulsed laser pinhole imaging.

参考文献: X. Yang, T. Iizuka, T. Nakura, H. Zhu, K. Asada, "SPAD array sensor based on breakdown pixel extraction architecture with background readout for scintillation detector". in proceedings of IEEE Sensors 2017, pp. 525-527, Glasgow, UK, Oct., 2017.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



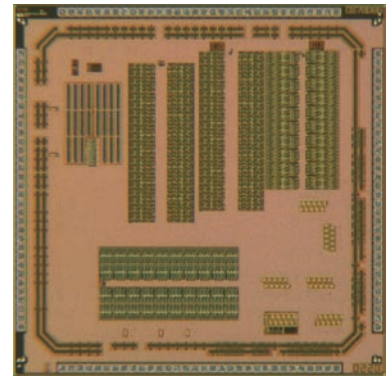
キャパシタ容量を抑えたチャージポンプ回路 TEG ほか

立命館大学大学院情報理工学研究所 木村 知也, 宮川 尚之, 坂野 達也

立命館大学情報理工学部 鈴木 智之, 今川 隆司, 越智 裕之

概要: 集積回路上に PN 接合ダイオードを形成して光を照射すると太陽電池として機能するため, これを同一チップ上の回路の電源として利用すれば, エネルギーを自給自足する単一ダイのシステムが構築できると期待される. 本試作チップには, 単一のオンチップ太陽電池セルから得られる 0.5~0.6V 程度の電圧を効率よく昇圧するための回路を搭載している. 昇圧回路は既存の cross-coupled charge pump 回路をベースとしているが, 高い効率を得るためには大容量 (大面積) のキャパシタを必要とし, 同一チップ上に十分な大きさの太陽電池を搭載できないという課題があった. 本昇圧回路は, 限られた容量のキャパシタで最大限の効率が得られるよう, パラメータを最適化しており, 温度変化の影響も受けにくくなるよう工夫されている. 現在測定を継続中であり, おおむね良好な結果が得られつつある. 本試作チップには上記のほか, 閾値電圧測定回路, 温度センサ, 漏洩光の影響を受けにくいデジタル回路などの TEG も搭載している.

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



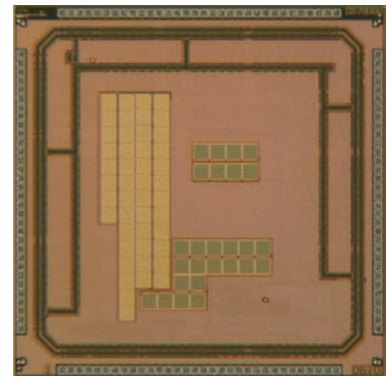
半導体分配器

中部大学全学共通教育部 宮本 順一

概要: 一般的に, 太陽電池など再生可能エネルギーを電力に変換する素子単体の出力電圧は, 0.6V~1.0V と極めて低い. 非発電状態での漏れ電流を防止するためにブロッキングダイオードを使用する方法が用いられているが, この方法では, このダイオードの電力損失により素子の直列接続が必須であった. 従って, 直列接続に難がある発電素子, あるいは異種混合の発電素子からの電力抽出は不可能であった. ここで低電圧出力素子でも高効率で電力を取り出せる「半導体電力分配器」を考案し, これを適用することで多数個の並列接続素子から, その総和電力を集積して取り出すことを可能とした. この基本回路の動作は確認してあったが, システムとしてワンチップに搭載すべきクロックジェネレータ, 昇圧回路, メモリ, 参照電位トラッキング回路, 電源回路, メモリ, 起動回路などを設計し, その特性を評価することにした. 現在, 学内で試作した色素増感太陽電池を用い, フィールドでの接続実験を開始したところである. 得られた知見については都度, 特許化を考えており, 現在 3 件を特許出願済である.

参考文献: J. Miyamoto, M. Sato, H. Itoh, M. Tanaka, A. Kato, S. Hasegawa, Y. Suzuki, and F. Munakata, "Field Test of Dye-Sensitized Solar Cells (DSSC) by utilizing a Power Delivery CMOS Integrated Circuits", Extended Abstracts of the 2015 International Conference on Solid State Devices and Materials, Sapporo, 2015, pp530-531

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載



低電圧動作機器向けのレベルクロッシング ADC に向けたヒステリシスコンパレータ回路, およびオンチップオシロスコープに向けたサブレンジング ADC

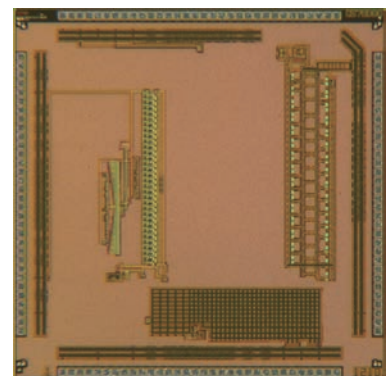
東京電機大学大学院工学研究科電気電子工学専攻 齋藤 匠, 倉田 翼

東京電機大学工学部電気電子工学科 松本 幸大

東京電機大学工学部電子システム工学科 小松 聡

概要: 低電源電圧で動作するレベルクロッシング ADC に使用するためのヒステリシスコンパレータ回路の設計施策を行った. 試作したコンパレータ回路は PMOS 差動対による入力段および NMOS カレントミラー, 正帰還をかけた PMOS 負荷から構成されている. レベルクロッシング ADC は AD 変換を連続時間で行うため, 入力信号が基準電圧近辺の値の際に, 雑音によってコンパレータの出力信号にばたつきが生じてしまう. 負荷段に正帰還を用いる事で, コンパレータの出力レベルが切り替わるトリップポイント電圧が, 入力信号が基準電圧を低い電圧から高い電圧へ交差する場合と, 高い電圧から低い電圧へ交差する場合とで変化するヒステリシス特性をコンパレータに持たせる事が出来る.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

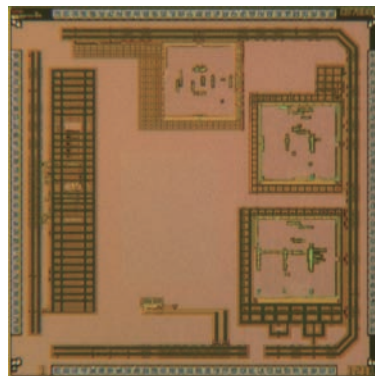


DLL回路, PLL回路, CDC回路

東京電機大学大学院工学研究科電気電子工学専攻 生方 慎也, 横井 貴也, 保坂 啓介
東京電機大学工学部電子システム工学科 小松 聡

概要: 各々の研究において設計した回路および回路評価用の回路の試作を行った。設計した回路はDLL, All-digital PLL, CDCである。DLL回路は, 0.18 μ m プロセスの特徴, 製造ばらつき, 雑音等が回路に及ぼす影響によるシミュレーション結果と実機の示す動作との相違を確認し, 今後の研究に活かす目的を持つ。近年半導体プロセスの微細化や回路動作の高速化が進んでおり IoT デバイスなどの普及も進んでいることから, 高い位相特性を有するDLL回路の高性能化や低消費電力化が求められている。今後はDLLの低消費電力化に向けた研究を行うため, 今後設計する回路と消費電力を比較する対象にする。PLLは, 回路の自動生成に向けた研究を行っており, 生成した回路の実機動作確認を行う目的を持つ。

設計期間: 4 人月以上, 5 人月未満 設計ツール: Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数: 1,000,000~10,000,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別: アナデジ混載



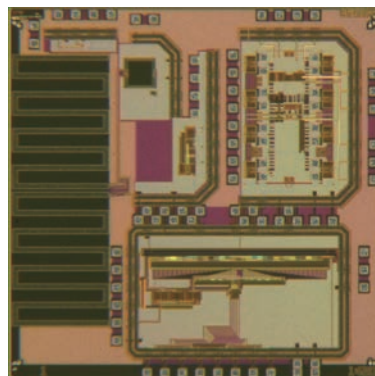
フラッシュ ADC, スキュー調整回路, オンチップアンテナ通信回路, 温度センサ

芝浦工業大学工学部 佐々木 昌浩, 石井 雅樹, 神庭 直人, 梅田 将馬, 黒部 友朗

概要: 本試作では異なる複数の回路を実装した。1つ目は8bitのフラッシュ型ADCの動作確認のための試作である。この回路は以前試作した6bitの構成を8bitに拡張し, 分解能の向上を図った。2つ目はリング型のスキュー調整回路である。この回路も1つ目の回路と同様に以前試作を行っているが, 今回は内部の可変遅延回路をより細かな遅延制御を行うために回路の改良を行っている。3つ目にオンチップアンテナによるチップ間通信を目的としたトランスミッター回路の試作を行った。信号送信時のデータレート向上を図る改良を行っている。4つ目にオンチップ温度センサーを設計する上での指針とするためのTEGとして, 抵抗熱源とトランジスタ熱源の発熱速度を比較する回路を試作した。

参考文献: 黒部友朗, 佐々木昌浩, ”オンチップ高速温度分布測定システムに関する研究“, 電子情報通信学会, LSIとシステムのワークショップ2017, 2017年5月

設計期間: 3 人月以上, 4 人月未満 設計ツール: Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Keysight 社 ADS トランジスタ数: 1,000~10,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別: アナログ (PLL, A-D/DC-DC コンバータなど)

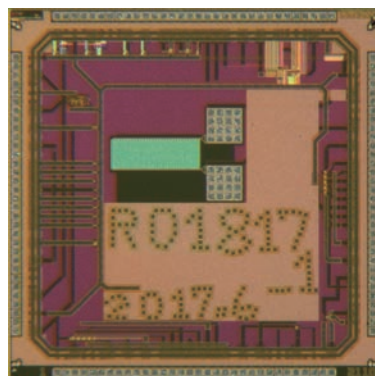


神経回路ネットワーク構築のための軸索モデルおよび嗅覚センサの試作

日本大学理工学部 佐々木 芳樹, 小澤 俊佑

概要: 我々の研究室では, 生体の脳が持つ優れた情報処理アルゴリズムを工学的に応用するために, 生体の神経細胞やシナプスと同様の働きを模擬したネットワークを構築する研究を行っている。本試作チップでは, 上記のネットワーク構築のために ①神経細胞モデル ②軸索モデル ③シナプスモデル ④多値SRAM ⑤櫛歯電極 の試作を行った。今回の試作では, 軸索モデルおよび櫛歯電極に重きをおいた。軸索モデルは, 細胞体モデルが発した情報を遅延させながら他細胞体モデルへと伝達させる働きがあり, ネットワーク構築において不可欠なものである。遅延要素には, 神経細胞モデルの立ち下がりを検出することで実現している。なお, 立ち下がり検出回路の特性を確かめるために, 論理回路素子単体も配置している。櫛歯上電極は, 感応膜と併せることで嗅覚センサとして用いる予定である。

設計期間: 2 人月以上, 3 人月未満 設計ツール: Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) トランジスタ数: 100~1,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別: アナログ (PLL, A-D/DC-DC コンバータなど)



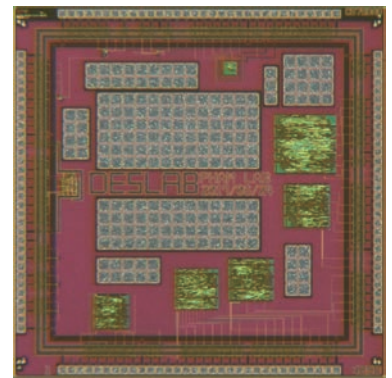
低消費電力かつgm一定レールツーレールオペアンプ

電気通信大学情報・ネットワーク工学専攻 伊藤 孝幸, 石橋 孝一郎, 範 公可

概要: 試作したオペアンプは, 2段オペアンプで1段目は折り返し増幅回路, 2段目は交差結合出力段で構成されている. オペアンプは電源電圧0.5Vであり, 構成するCMOSはサブスレッショルド領域を用いており入出力レールツーレール動作させている. 試作回路の性能は, シミュレーションにおいてDC利得が85.3dB, ユニティゲイン周波数が11kHz, 消費電流は4.2nA, ボルテージフォロワ構成においても出力電圧範囲は95%ありレールツーレール動作が確認された. 実測ではDC利得は76.8dBでシミュレーションと比較的近い値となったが, ユニティゲイン周波数は想定されていた267Hzと非常に低い値となった. ボルテージフォロワ構成において出力電圧範囲はシミュレーションと同様のレールツーレール動作の確認ができた. 今回の設計の反省としてシミュレーション時にMOSFETのモデルをTTではなく誤ってFFで設計していたことにより製造ばらつきの影響を受けてしまったことである.

参考文献: Z. Qin, A. Tanaka, N. Takaya and H. Yoshizawa, "0.5-V 70-nW Rail-to-Rail Operational Amplifier Using a Cross-Coupled Output Stage", IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 63, pp. 1009-1013, Nov. 2016.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

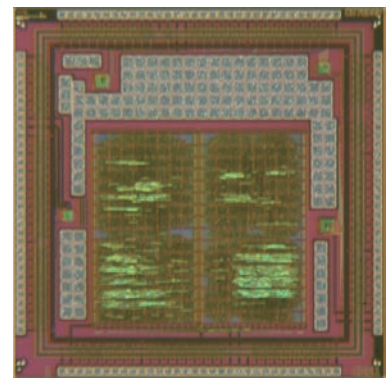


キャリー先読み式4ビット乗算回路およびカウンター回路

電気通信大学情報・ネットワーク工学 続池 一樹, 高橋 誠, 石橋 孝一郎, 範 公可

概要: 4bit信号A,Bを入力し, 乗算結果を8bitで出力する. 測定には, FPGA用のロジックアナライザ Signal Tap IIを使用した. 実測では, 50MHzのクロックを与えた際には信号A,Bの全パターンの入力に対して正しい出力結果が得られた. クロックを100MHzにした場合にはいくつかの計算に誤りが見られたため, 本回路の動作周波数を50MHzと判断した. 100MHzで現れた計算誤りは, 出力信号が変化し終える前にアナライザが信号取得をした結果であると考えられる. 今後の試作では, 今回の回路の出力段にレジスタを配置して値を保持することで安定した結果を得よう改善したい. カウンター回路は入力と出力の確認用にFPGAとSignal Tap IIを使用して最大動作周波数を測定した. 設計段階では20MHzが最大動作周波数としていたが実際はその手前15MHz付近からうまく動作しないときがあった.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Quartus Prime, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



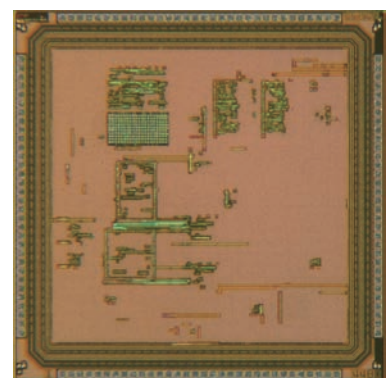
遅延故障検査容易化回路およびIC間配線の電氣的検査容易化回路の試作

徳島大学大学院先端技術科学教育部 大谷 航平, 岡本 匡史, 河口 巧, 河塚 信吾, 藪井 大輔, 神田 道也, 平井 智士

徳島大学大学院社会産業理工学研究部 四柳 浩之

概要: 遅延故障の検査容易化回路3種とIC間配線の電氣的検査容易化回路3種を含むチップを試作した. 1) 3次元積層ICのダイ間のシリコン貫通ビア (TSV) の検査を想定しTSVを模擬したパッドをアレイ状に配置しその検査を行う遅延故障検査容易化回路を設計し, TSVと検査回路間配線の影響を検討した. 2) 遅延故障検査容易化回路の制御回路を改良した. 3) IC内遅延故障検査用に時間-デジタル変換回路を組み込んだ新たなスキャンセルを用いる検査容易化設計を実装した. 4) バウンダリスキャン回路を用いたオンライン電気テスト回路を実装しIC間配線の検査容易化を施したI/Oセルと共に実装した. 5) 注入電荷量によるIC内断線検査回路をインバータチェーン回路を被検査回路として実装した. 6) オフセットキャンセル型コンパレータを用いた組込型電氣的検査回路を実装し, IC間配線の検査可能性調査を行った.

設計期間: 8人月以上, 9人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Synopsys社 NanoSim **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



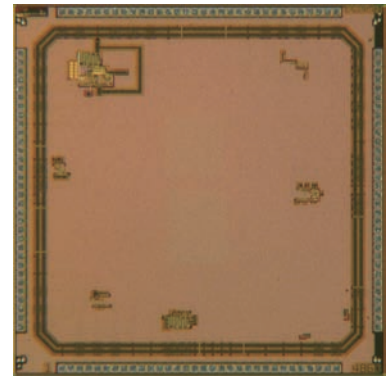
ダウンコンバーティング ADC・ピーキングカレントミラーの試作

北見工業大学大学院工学研究科 北田 昂成, 杉本 俊貴, 谷本 洋, 吉澤 真吾

概要: 本試作では、偶高調波ミキサと $\Delta\Sigma$ 変調器を用いたダウンコンバーティング ADC 及び、ピーキングカレントミラーの試作を行った。試作したダウンコンバーティング ADC は、受信した RF 信号からベースバンド信号を直接 AD 変換するダイレクトコンバージョン方式の無線機を目的とするものである。本試作では、機能動作の確認の目的で、動作速度 200MHz のダウンコンバーティング ADC の試作を行った。帰還回路の設定にエラーがあり、20MHz での動作に留まったが、直接ベースバンド信号を検出可能であることが確かめられた。ピーキングカレントミラーは、電源電圧の変動に対する感度が低い定電流源として知られており、なかでも永田カレントミラーがよく知られている。本試作では、永田カレントミラーを改良し、定電流源として動作する範囲を拡大したピーキングカレントミラーを試作した。本試作では回路内部で温度補償を行い、電源電圧と温度変動に強いピーキングカレントミラーを試作した。測定結果から、意図通り動作をすることを確かめた。

参考文献: [1] 杉本俊貴, 北田昂成, 谷本洋, 吉澤真吾, ``周波数変換機能を持つ AD 変換器の提案電気学会 電子回路研究会資料, ECT-17-075, July 2017.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



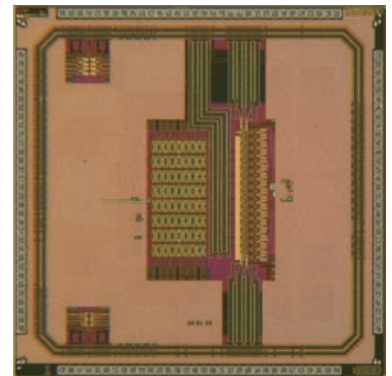
確率的比較器アレイを用いるサブレンジング型 AD 変換器

東京大学 D2T 寄付研究部門, VDEC Kanjanavirojkul Parit, 池野 理門

東京大学 VDEC Mai-Khanh Nguyen Ngoc

概要: 本試作は確率的サブレンジング型 AD 変換器を実現する。1 段目のコースステージは従来型の 4 ビットフラッシュ ADC である。2 段目のファインステージは 127 個の比較器で確率的 ADC を構成している。基準電圧はラダー抵抗回路で生成し、1 段目がレンジを決まれば同じラダーからレンジの基準電圧を 2 段目に送る。127 個の比較器アレイはプロセスばらつきのためそれぞれの入力オフセットは異なる。オフセットの確率分布はガウシアン分布になる。比較器アレイの反転個数をカウンターで数え入力電圧に応じて反転数が増やす。2 段目の確率的 AD 変換の伝達関数はガウシアン CDF になる。この構造によりプロセスばらつきが多くても精密的で AD 変換でき、確率的 AD 変換器の弱点である狭いレンジも拡張できる。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Cadence 社 Encounter RTL Compiler, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



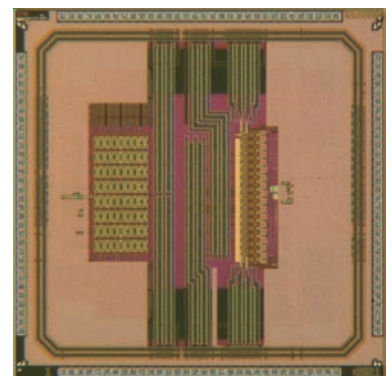
評価用の 127 個比較器確率的比較器アレイと 4 ビットフラッシュ型 AD 変換器

東京大学 D2T 寄付研究部門, VDEC Kanjanavirojkul Parit, 池野 理門

東京大学 VDEC Mai-Khanh Nguyen Ngoc

概要: 本試作は確率的サブレンジング型 AD 変換器に構成している 127 個の比較器アレイと 4 ビットフラッシュ型 AD 変換器が評価との目的で設計する。それぞれの回路は独立し入出力パッドも別途で準備する。比較器の入力と基準電圧はチップの外から与えるためマッチングのために配線の対称性を配慮する。127 個の比較器アレイは並列と直列読み出しの二つモードが搭載する。並列読み出しの場合はカウンターを通し反転個数をバイナリコードで出力する。直列の場合は 127 個の比較器の反転状態をシフトレジスタで出力する。フラッシュ型 AD 変換器の基準電圧はチップ内のラダー抵抗で生成する。低抵抗を使うため配線の抵抗はかなり影響あるので、ラダーの端っこに電圧プローブ用のパッドを用意する。比較器は全差動型である。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Cadence 社 Encounter RTL Compiler, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

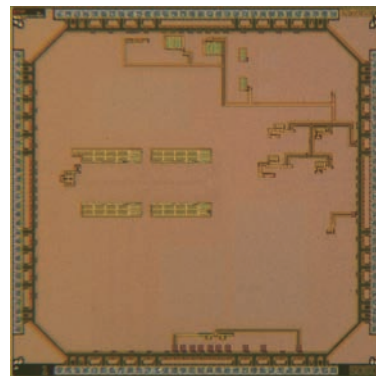


アナログ回路用ライブラリ及び素子評価

高知工科大学システム工学群 橘 昌義, 猪岡 柚香, 榊原 伊織
高知工科大学院基盤工学専攻 岡崎 泰士, 武内 智哉
高知工科大学システム工学群 清水 大輔

概要：本チップはアナログ回路用ライブラリの設計である。試作した回路は、ダイオードを使用しないBGR回路と2段オペアンプおよび1段オペアンプを使用したBGR回路である。ダイオードを使用しないBGR回路には、BGR回路内のオペアンプの出力部にキャパシタを挿入した。このキャパシタの挿入は、オペアンプの入力電圧及び出力電圧の急激な変動が回路動作に与える影響を抑えることが目的である。今回、MOSFETのゲート酸化膜を利用して大容量のキャパシタを実現した。2段オペアンプおよび1段オペアンプを使用したBGR回路には、目標を満たす動作をしなかった従来のBGR回路をより詳しく評価するために、オペアンプを後から接続する仕様とした。2段オペアンプでは、性能の比較をおこなうため、pチャンネル入力とnチャンネル入力の2通りのオペアンプを設計し、1段オペアンプではnチャンネル入力のみを設計した。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Dracula, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

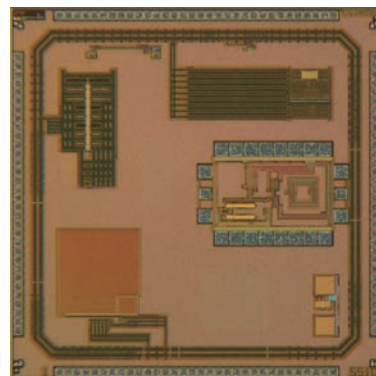


Coarse-fine型ADCに用いるSARADC と リングオシレータを用いたPLL

法政大学理工学部 嘉藤 貴博, 吉田 知朗, 鎗木 彩加, 七田 洸介

概要：この試作では、逐次比較 (SAR) ADCを2種類, OPAMPを2種類, RC積分器, アナログPLLを試作しました。SARADCにおいては、既存手法である同期クロック型と非同期クロック型2種類作成し、動作確認および非同期型のノイズ感度を確認することを目的として評価を行った。OPAMPはテレスコピック型カスコードOPAMPをクロードループ, オープンループ構成の2種類で試作を行い、動作確認及びフリッカノイズ評価を目的として評価を行った。これらは今後設計予定のCoarse-fine型ADCの前段に搭載することを想定した要素回路となっている。RC積分器は、前述したADCの後段に用いる $\Delta\Sigma$ 型ADCに搭載することを想定し、動作確認を目的として評価を行った。PLLの試作において、回路構成としては、位相比較器, チャージポンプ, ループフィルタ, 差動型リングオシレータ, 分周器と古典的なものとなっている。実際にクロック周波数を入力することによって出力が同期かどうか、シミュレーション結果との比較を行い、評価を行った。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

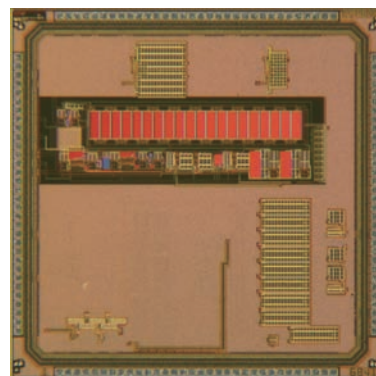


0.18 μ m CMOS プロセスを用いた脳波測定用全差動チョッパ増幅器の改良

慶應義塾大学理工学部 中野 誠彦, 河添 翔平
慶應義塾大学理工学研究科 伊藤 孝太, 田中 稜也, 出口 卓己
福岡 龍人

概要：筋電, 心電, 脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ、医療, 研究用途に広く用いられている。ブレインマシンインタフェース技術と呼ばれる、脳と機械間の双方向通信技術の応用にも生体電位信号の利用が進められている。生体電位信号を扱う低雑音増幅器, フィルタはウェアラブル端末へ応用するために小型化, 低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。今回のチップ設計では、チョッパスイッチを再設計し、脳波測定用全差動チョッパ増幅器の改良を行った。作製したチップを用いて、増幅器の動作を確認し、バイアス回路に問題があることを突き止めた。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



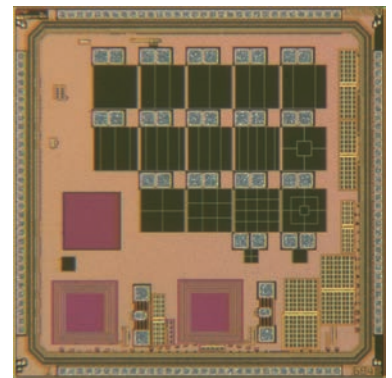
自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 外村 崇史

慶應義塾大学理工学研究科 五十嵐 一真, 銭林 大悟

概要：現在、自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を1V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、 $300\mu\text{m}\times 300\mu\text{m}$ サイズの太陽電池上に、4種類の電極を張り巡らせ、その設計値にいくつかパターンを持たせることで、太陽電池の性能にどのような影響があるのかを探る。また、本試作より、取得した情報を外部に送信する装置として、LC共振を用いた無線送信機の試作を始めた。LとCに関して、両方ともオンチップでつなぎこんであるものと、チップ外でつなぎこむ方式の2パターンを設計した。こうすることで、各要素をチップ外に持たせるか、それともチップ内に組み込むかの比較を行えるようにした。また、昇圧回路として用いているクロスカプル型チャージポンプにおいて、バルクに印加される電圧がどのような影響を及ぼすのかを調べるために、バルクに任意の電圧を印加できるパターンと、固定の電圧が印加されるクロスカプル型チャージポンプの両方を試作した。

設計期間：3人月以上, 4人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS **トランジスタ数：**10~100 **試作ラン：**ローム CMOS $0.18\mu\text{m}$ 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



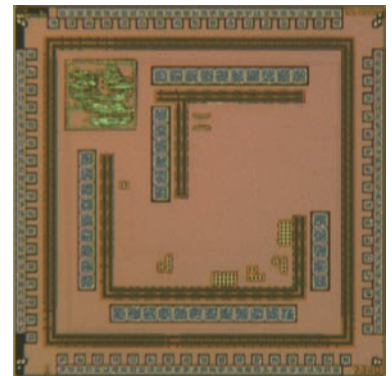
超低電力身体モニタリングシステムのための回路ライブラリ開発

兵庫県立大学大学院工学研究科 藤原 潤, 前中 一介

兵庫県立大学工学部 北田 友嗣

概要：本研究室では、身体に張り付けることで生体情報を測定する小型システムの研究・開発を行っている。複数のMEMSセンサとアナログ/デジタル信号処理LSIを組み合わせることにより、超低消費電力で小型なデバイスの開発を目指している。本試作ではデバイスの実現に必要な回路ライブラリの開発を目的として、(1. 8051コアMPU, (2. 参照電圧源発生回路, (3. リングオシレータ, (4. MEMSセンサ向け静電容量検出回路の試作を行った。8051コアMPUは前回の試作での不具合を修正した再試作であり、SRAMを外付けしての正常動作が確認出来た。また、参照電圧源回路に関しても動作が確認出来たが、リングオシレータは設計ミスにより動作しなかった。現在不具合を修正した回路を再設計中である。静電容量検出回路は本研究室で開発しているMEMSセンサの出力を検出するためのアナログインターフェースの試作を目的として設計され、これも正常動作が確認できた。

設計期間：3人月以上, 4人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS $0.18\mu\text{m}$ 2.5mm角チップ **チップ種別：**マイクロプロセッサ

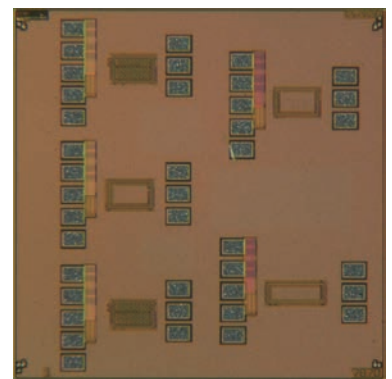


リング発振回路の特性評価

東京大学生産技術研究所 加賀谷 司, 羅 揚, 山内 善高, 高宮 真

概要：本試作では、教育目的で試作したものであり、新人の研修用に利用したものである。今回は、段数可変なリング発振回路を設計し、発振回路の段数ごとの周波数特性の実測値とシミュレーション値の比較を行った。広い電圧範囲における周波数特性を評価し、トランジスタモデルと実シリコンとの相関をとり、設計の改善を図った。試作した回路の特性を評価するための測定技術を研修し、トランジスタレベルのシミュレーションから実測までの一連のフローの教育を行った。特に、トランジスタと配線のレイアウトによって回路特性が大幅変化することを体験し、レイアウトの重要性について講習を行った。そして、デジタル信号により回路特性のチューニング方法を教育し、実動作を体験させた。

設計期間：0.1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF) **トランジスタ数：**10~100 **試作ラン：**ローム CMOS $0.18\mu\text{m}$ 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

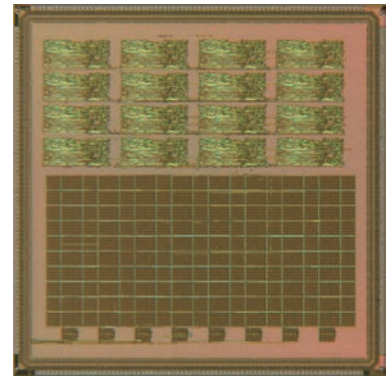


耐放射線・光再構成型ゲートアレイ

静岡大学大学院総合科学技術研究科工学専攻 渡邊 実

概要：耐放射線試験に使用する光再構成型ゲートアレイ VLSI を試作した。光再構成型ゲートアレイはフォトダイオードによりコンテキスト情報を得る。このフォトダイオードの接合部のサイズは $4.40\mu\text{m}\times 4.45\mu\text{m}$ であり、このチップには多数のフォトダイオードが実装されている。光再構成型ゲートアレイはホログラムメモリと共に用いられ、コンテキストはホログラムメモリ内に蓄えられる。それらは共に実装されるレーザアレイにより選択的に読み出され、ゲートアレイ VLSI にフォトダイオードを介して書き込まれる。本チップに実装された論理ブロック、スイッチングマトリックスの数はそれぞれ 80 個、90 個である。論理ブロックには 4 入力の Look-Up Table が 2 個実装されている。基本的なゲートアレイとしての機能は FPGA と同じであるが、再構成時間はナノ秒台で実行できる。高速なスクラビングが可能であり、ソフトウェア耐性で既存の FPGA よりも優れる。

設計期間：0.1 人月未満 **設計ツール：**Synopsys 社 Astro, Synopsys 社 IComp, Mentor 社 Calibre, Mentor 社 ModelSim **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μm 5.0mm 角チップ **チップ種別：**ニューテクノロジー

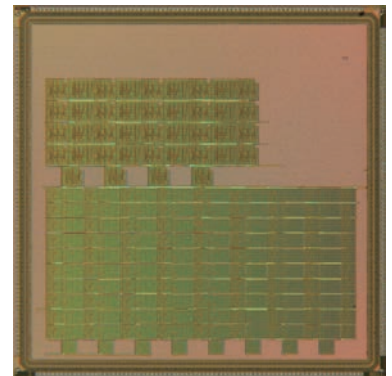


耐放射線・光再構成型ゲートアレイ (2)

渡邊 実

概要：耐放射線・光再構成型ゲートアレイ VLSI を試作した。光再構成型ゲートアレイ VLSI は FPGA と同じ LUT (Look-Up Table) を基本とする細粒度のゲートアレイ構想を採るが、フォトダイオードが実装されており、回路はプログラマブルなゲートアレイに対して光学的にプログラムされる。光再構成型ゲートアレイはホログラムメモリ、レーザアレイ、光再構成型ゲートアレイ VLSI から構成され、複数の回路情報をホログラムメモリ内に記憶できる。これら複数の回路情報はレーザアレイにより選択的に読み出し、プログラマブルなゲートアレイにプログラムすることができる。光再構成型ゲートアレイは並列構成法を用いており、この結果、放射線に脆弱である集積回路を、修理をしながら継続的に使用する運用が可能になり、集積回路のトータルドーズ耐性を劇的に向上することが可能になる。本チップに実装された論理ブロック、スイッチングマトリックスの数はそれぞれ 80 個、90 個である。論理ブロックには 4 入力の Look-Up Table が 2 個実装されている。ゲートアレイの機能は FPGA と同じである。

設計期間：0.1 人月未満 **設計ツール：**Synopsys 社 DesignCompiler, Synopsys 社 IComp, Mentor 社 Calibre, Mentor 社 ModelSim **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μm 5.0mm 角チップ **チップ種別：**ニューテクノロジー



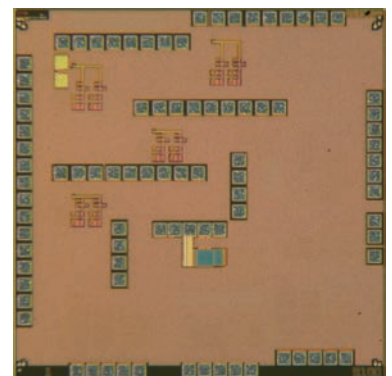
パルス幅制御するニューロモルフィック集積回路

中央大学理工学研究科 竹内 健, 鶴見 洸太, 鈴木 健太

中央大学理工学部 能美 奨, 坂東 昭太郎

概要：これまでコンピュータはノイマン型と呼ばれるアーキテクチャを採用し、ムーアの法則に従ってその性能を向上させてきた。ノイマン型アーキテクチャとはメモリにプログラムとデータを蓄え、その処理をプロセッサが行う形態のものであり、トランジスタの微細化により、プロセッサの処理能力の向上などの高性能化が望めた。しかし近年、電力面、経済面などの問題により微細化に限界が近づいているため、コンピュータの性能の向上のためにノイマン型とは異なるアーキテクチャ (非ノイマン型アーキテクチャ) の研究が盛んになってきている。その内の 1 つにニューロモルフィックコンピューティングが挙げられる。ニューロモルフィックコンピューティングとは人間の脳の構造を模したアーキテクチャで多くの行列演算を低消費電力で行うことができる。本試作では高い電力効率で動作可能なニューロモルフィック集積回路を検討した。今後は試作チップの動作確認や画像認識などの実際のアプリケーションと組み合わせる予定である。

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

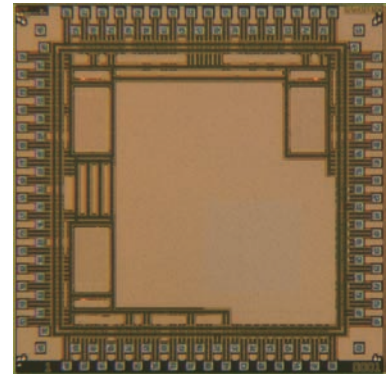


電源ノイズ低減効果測定用チップ TEG1

東京大学工学系研究科 名倉 徹

概要：近年の微細化により、パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり、それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている。一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが、大きな容量を得るには大きな面積を必要とし、貴重なシリコン領域を消費してしまう。1つの解決策として、薄膜のキャパシタをダイ上に直接取り付けることにより、低インダクタンスかつシリコン領域を損なわずに大きな容量を得ることができる。この試作チップには、その効果を確認するため、電源品質というものを回路の最大動作周波数で評価するテスト回路を実装した。8つのノイズ発生源をチップ全体に配置し、ノイズ発生源の位置による電源ノイズ、即ち最大動作周波数への影響を確認できるようにしてある。また、実際のLSIチップの環境に近づけるため、パッドはアレイ状に配置している。

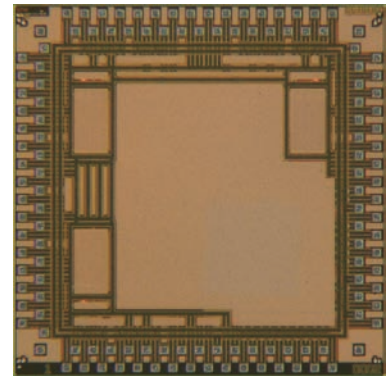
設計期間：0.5人月以上，1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

**電源ノイズ低減効果測定用チップ TEG2**

東京大学工学系研究科 名倉 徹

概要：近年の微細化により、パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり、それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている。一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが、大きな容量を得るには大きな面積を必要とし、貴重なシリコン領域を消費してしまう。1つの解決策として、薄膜のキャパシタをダイ上に直接取り付けることにより、低インダクタンスかつシリコン領域を損なわずに大きな容量を得ることができる。この試作チップには、その効果を確認するため、電源品質というものを回路の最大動作周波数で評価するテスト回路を実装した。8つのノイズ発生源をチップ全体に配置し、ノイズ発生源の位置による電源ノイズ、即ち最大動作周波数への影響を確認できるようにしてある。また、実際のLSIチップの環境に近づけるため、パッドはアレイ状に配置している。

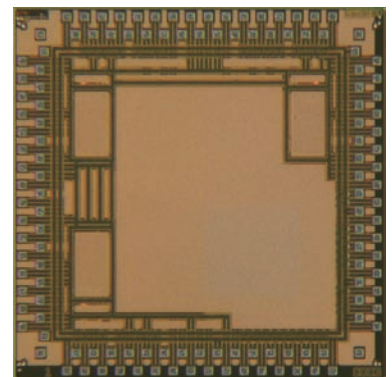
設計期間：0.5人月以上，1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

**電源ノイズ低減効果測定用チップ TEG3**

東京大学工学系研究科 名倉 徹

概要：近年の微細化により、パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり、それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている。一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが、大きな容量を得るには大きな面積を必要とし、貴重なシリコン領域を消費してしまう。1つの解決策として、薄膜のキャパシタをダイ上に直接取り付けることにより、低インダクタンスかつシリコン領域を損なわずに大きな容量を得ることができる。この試作チップには、その効果を確認するため、電源品質というものを回路の最大動作周波数で評価するテスト回路を実装した。8つのノイズ発生源をチップ全体に配置し、ノイズ発生源の位置による電源ノイズ、即ち最大動作周波数への影響を確認できるようにしてある。また、実際のLSIチップの環境に近づけるため、パッドはアレイ状に配置している。

設計期間：0.5人月以上，1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

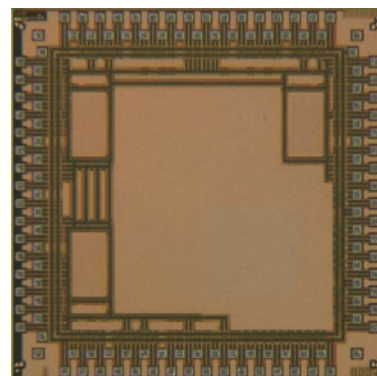


電源ノイズ低減効果測定用チップ TEG4

東京大学工学系研究科 名倉 徹

概要：近年の微細化により、パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり、それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている。一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが、大きな容量を得るには大きな面積を必要とし、貴重なシリコン領域を消費してしまう。1つの解決策として、薄膜のキャパシタをダイ上に直接取り付けることにより、低インダクタンスかつシリコン領域を損なわずに大きな容量を得ることができる。この試作チップには、その効果を確認するため、電源品質というものを回路の最大動作周波数で評価するテスト回路を実装した。8つのノイズ発生源をチップ全体に配置し、ノイズ発生源の位置による電源ノイズ、即ち最大動作周波数への影響を確認できるようにしてある。また、実際のLSIチップの環境に近づけるため、パッドはアレイ状に配置している。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

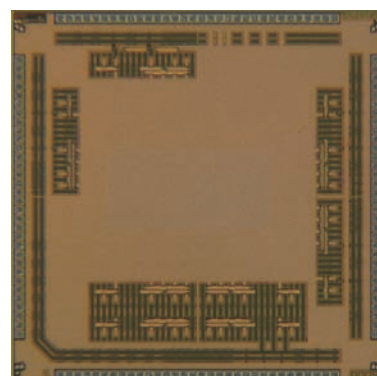


生体信号取得用回路

東京大学工学系研究科 名倉 徹

概要：IoT技術の広がりにより、これまで情報、および通信分野で使用されてきたLSIのアプリケーション先が様々な分野へと広がっている。近年注目されているIoTアプリケーションの有望な応用先として、生体信号を常時モニタリングしてそのデータを取得し、そのデータに基づいたヘルスケアアプリや、病期診断への応用などが注目されている。本チップでは、筋電測定用のInstrumental Amplifierを試作した。生体信号は着目する周波数が数Hz~数百Hzであり、一般的なオペアンプとは一味違った考え方が必要となる。本チップでは、外部と直接接続する端子のESD回路の違いを見るためのTEGや、オフセットキャンセル回路のTEG、さらに、ローパスフィルタ、ハイパスフィルタ等のTEG、基準信号発生回路、50Hz/60Hzノイズ除去回路など、生体信号を取得するための基本回路特性を見るためのTEGを多数搭載している。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



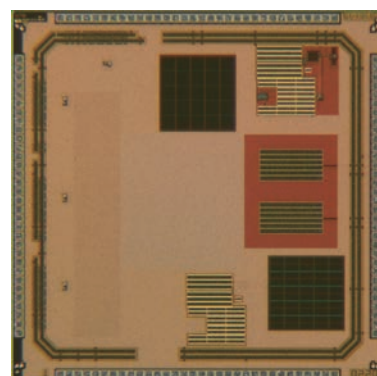
高耐圧トランジスタのゲート容量等測定用TEGほか

立命館大学大学院情報理工学研究科 宮川 尚之, 木村 知也

立命館大学情報理工学部 今川 隆司, 越智 裕之

概要：待機時のリーク電流を極限まで抑えた超低消費エネルギーシステムを実現する場合の一つの選択肢として、ゲート酸化膜の厚い高耐圧トランジスタをあえて使用することが提案されている。本試作チップではそのような可能性を検討するため、ローム社0.18 μ mプロセスの高耐圧トランジスタのゲート容量及びゲートリーク電流を測定するためのTEGを試作した。本試作チップには上記のほか、メモリセル（コア用トランジスタを使用したものと高耐圧トランジスタを使用したもの）のTEGや、巨大なキャパシタを使用せずに、低い入力電圧でも比較的高い効率で昇圧を行うことができるチャージポンプ回路TEG等も搭載している。

設計期間：3人月以上、4人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)



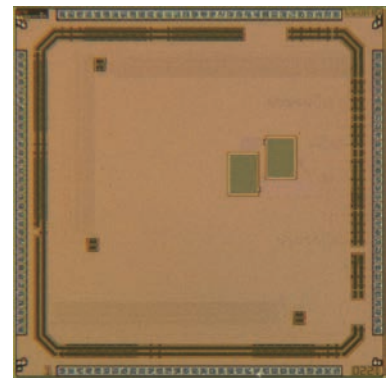
低電圧で動作する温度センサ回路 TEG ほか

立命館大学大学院情報理工学研究科 坂野 達也, 宮川 尚之, 木村 知也

立命館大学情報理工学部 田中 一平, 今川 隆司, 越智 裕之

概要: 集積回路上にPN接合ダイオードを形成して光を照射すると太陽電池として機能するため, これを同一チップ上の回路の電源として利用すれば, エネルギーを自給自足する単一ダイのシステムが構築できると期待される. 本試作チップには, 単一のオンチップ太陽電池セルから得られる0.5~0.6V程度の電源電圧での動作に適した温度センサ回路の候補のTEGを3種類搭載しており, 電源電圧変動やプロセスばらつきの影響下で, どの程度の確度が得られるのかを測定により明らかにする予定である. このほか, 本試作チップには6T, 8T, 9TのSRAMのTEGも搭載している.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



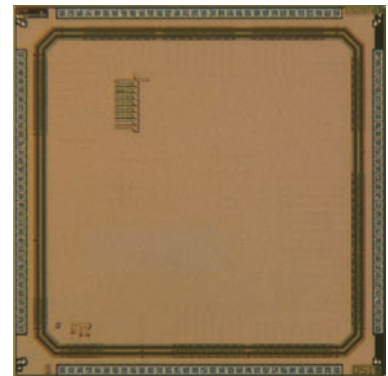
対称型 NOR アーキテクチャを用いた CAROM

東海大学情報通信学部 福原 雅朗

概要: パターンマッチングには完全一致検索とあいまい検索の2つの検索方法がある. 完全一致検索は2つのデータを照合し, 完全に同一であるものを検出する検索方法であり, あいまい検索は2つのデータを照合し, 類似性のあるものを検出する検索方法である. これらを実現するための手法として, あいまい検索が可能なハードウェアにハミング距離検索機能 CAM:内容照合メモリ) あるいはメモリセル部にROMを適用した, ハミング距離検索機能 CAROM (内容照合ROM) がある. これらは, メモリセルアレイの記憶データと外部からの検索データを並列に照合し, それらのハミング距離が一定の値以内, すなわち検索データと類似した記憶データを効率的に検索できる. 本チップでは, CAROMセルアレイと参照距離設定回路の一致線に使われるMOSの数と寸法を等しくしている. このような回路構成のことを対称型 NOR アーキテクチャと呼ぶ. コンデンサを用いず, MOSを用いることでダミーキャパシタを用いる回路に比べ, 検索にかかる時間を短縮し, 小さい面積で回路を作成することができる.

参考文献: 福原, 平谷, 杉山, 恩地, 藏野, "対称型 NOR アーキテクチャを用いたハミング距離検索機能付き CAROM の提案", 東海大学紀要情報通信学部, Vol.10, No.1, pp.1-8, 2017年09月.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

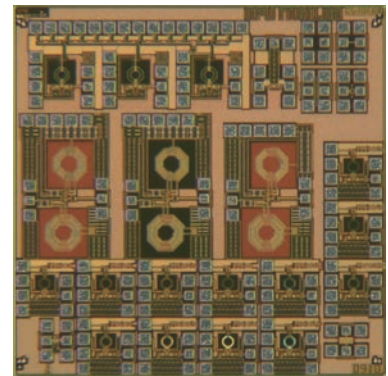


RF回路 TEG

岡山県立大学情報工学部 伊藤 信之, 北野 大志, 坂本 裕太, 八木 希知

概要: ・2バンド同時受信低雑音増幅器 (LNA) 入出力に相互誘導型インダクタを用いた, 2.4GHz/5.25GHz同時受信低雑音増幅器の回路TEGを2種類, 3パターン, 設計・試作した. これらの回路は, 前回のローム0.18 μ mプロセスで設計・試作した回路の特性修正板である. ・準ミリ波帯電圧制御発振器 (VCO) 1インダクタにストライプ構造のインダクタを用いた, 24GHzの電圧制御発振器の回路TEGを12種類, 設計・試作した. これらの回路は, 前回のローム0.18 μ mプロセスで設計・試作した回路の特性修正板および更に構造最適化を図ったものである. ・準ミリ波帯電圧制御発振器 (VCO) 2インダクタンスをスイッチで切り替えることにより周波数を変えるタイプの電圧制御発振器の回路TEGを3種類, 設計・試作した. ・RFデバイスTEG トランジスタのRF-TEGおよびその測定用, OPEN, SHORT, THRUパターン等. ・トランジスタTEG リング発振器. SPICEパラメータ確認用.

設計期間: 0.1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



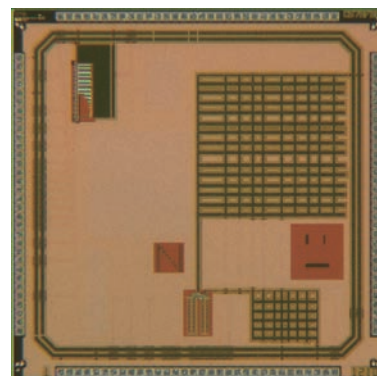
低電圧動作機器向けのレベルクロッシング ADC に向けた、自己校正機能付きヒステリシスコンパレータ回路および MEMS 加速度センサに向けた逐次比較型容量-デジタル変換回路

東京電機大学大学院工学研究科電気電子工学専攻 齋藤 匠, 横井 貴也

東京電機大学工学部電子システム工学科 小松 聡

概要: 低電圧動作機器向けのレベルクロッシング ADC に向け、低電源電圧動作かつ、ヒステリシス特性と、オフセット電圧の自己校正機能を持ったヒステリシスコンパレータ回路の設計、試作を行った。試作したコンパレータ回路は入力段、正帰還を用いた負荷段、校正用のバイアス電圧を生成する2つのチャージポンプ回路から構成されている。チャージポンプ回路を用いた自己校正機能により、トランジスタの製造ばらつきに起因するオフセット電圧を低減することが可能である。試作回路の負荷段は MOS 伝送ゲートによって正帰還の有無を切り替えることが可能となっており、校正時にはヒステリシス特性の存在しないコンパレータとする事で、オフセット電圧の校正を容易にしている。また、負荷段の正帰還によるヒステリシス特性により、入力信号が閾値を立ち上がり方向へ交差する場合と、立ち下がり方向へ交差する場合の二つの閾値を持ち、入力信号へのノイズの重畳に起因する出力のばたつきを防止することができる。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



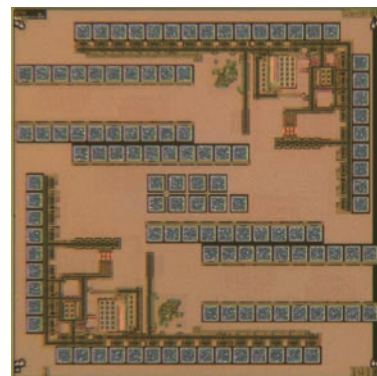
容量型湿度センサを用いた発汗センサテストチップ

信州大学大学院理工学研究科 三谷 勇介, 宮地 幸祐, 上口 光

信州大学工学部 滝 信州大学

概要: 発汗は病状の把握に非常に有益な情報であり、発汗量をモニタすることにより、症状を的確かつ迅速に検出することができる。本試作においては、静電容量型の湿度センサの容量変化を正確に計測する回路をワンチップ化した。周期変調手法を用いた積分型 AD コンバータ回路で容量変化を時間情報に変換し、これらを平均化し、参照容量とオフセット容量を差し引くことで、肌を通過する前後の湿度変化を計測する。また、容量の充電に使用するための参照電流と、AD コンバータに用いる参照電圧を正確に生成する、バンドギャップ参照電圧、電流源回路も搭載している。今回のチップ試作では、時間測定回路も搭載し、より精度の高い測定が可能になっている。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Cadence 社 UltraSim, Synopsys 社 HSPICE (RF), Synopsys 社 HSPICE (RF), Synopsys 社 HSIM, Keysight 社 ADS **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



電界電子放出型電子源の基礎検討

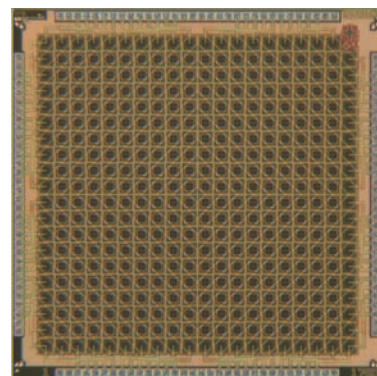
長崎総合科学大学大学院工学研究科 修士課程 道上 僚太

長崎総合科学大学新技術創成研究所 大山 健, 濱垣 秀樹, 清山 浩司, 田中 義人

概要: X線源の多くは、フィラメントを熱して熱電子を加速し、金属に衝突させることで X線を発生させている。電子発生部では、フィラメントを熱して熱電子放出をおこなうための電力や耐用年数(短寿命)などが問題となっている。これらの問題を解決することを目的に、この CMOS テクノロジーを使用した試作では、非熱電子放出型電子発生部に関する基礎実験のためのテストチップの設計を実施して製造依頼をおこなった。

参考文献: 道上 僚太, 大山 健, 2017 年度 - 長崎総合科学大学大学院, 工学研究科 修士課程 電子情報学専攻, 「修士論文: タイトル = 集積回路製造技術を用いた電界電子放出型電子源の開発」, 2018 年 3 月提出

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



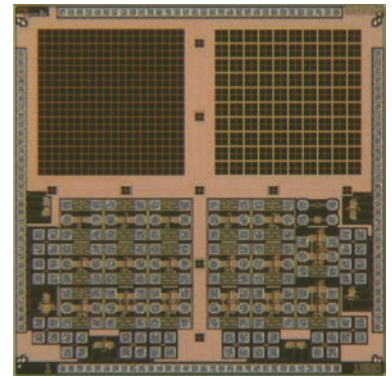
オンチップ太陽電池と低入力電力向け整流回路

秋田県立大学システム科学技術学部 宇佐美 蓮, 菊地 杜斗, 小谷 光司

概要: IoT デバイスの普及に向け, ワイヤレスな電源技術が望まれている. 本試作では, 無線電力伝送向けの太陽電池, 低入力電力領域での高効率動作を目指した環境電波発電向け整流回路及び回路素子の TEG を試作した. 太陽電池は, 電力獲得用のダブルウェル構造とトリプルウェル構造の2種類と光強度分布確認用にチップに十字に配置した TEG となる. また整流回路は, 低入力電力領域では整流素子のオン抵抗による電力損失が顕著になり, 電力変換効率が低下してしまう. そこで, 整流素子のしきい値を補償する整流回路を設計し, 低入力電力領域での電力変換効率の向上を目指した. さらに, 広い入力電力範囲で高効率動作をさせるために改良した回路や性能比較回路を試作した. ウェハプローバおよび半導体パラメータアナライザ, バクトルネットワークアナライザを用いてチップ測定を実施した.

参考文献: 宇佐美蓮, 小宮山崇夫, 長南安紀, 山口博之, 小谷光司, 「環境電波発電向け太陽電池アシスト自己しきい値補正整流回路」, 電子情報通信学会総合大会, C-12-13, 2018年3月

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Keysight 社 ADS **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

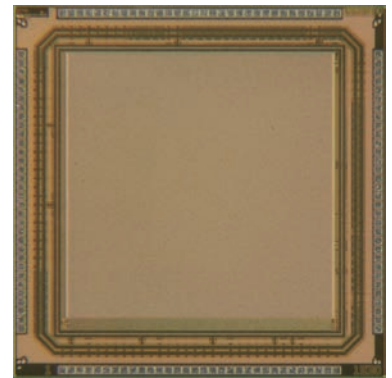


様々なアナログ回路の入出力特性を測定可能な CMOS イメージセンサ

東京理科大学工学研究科 荒谷 智広, 浜本 隆之

概要: 本チップは, VDEC 環境下でのチップ設計の基本技術を取得するために設計された. イメージセンサ回路の他に基本的な CMOS アナログ回路を集積しており, CMOS イメージセンサの初学者が本チップを用いることで, イメージセンサの動作原理とアナログ回路の諸特性を同時に理解することを目的としている. 本チップは, 中央部分にイメージセンサの画素アレイと垂直および水平シフトレジスタがあり, その周囲に様々なアナログ回路が集積されている. イメージセンサは縦256×横256画素であり, 標準的な3トランジスタ構成の画素回路(リセット Tr, 増幅 Tr, 行選択 Tr)を用いている. 画素サイズは縦7 μ m×横7 μ mであり, 開口率は30%である. イメージセンサの周囲に集積されているアナログ回路は, インバータ, オペアンプ, ソースフォロア, 画素読み出し回路である. 画素読み出し回路は, フォトダイオード1つと NMOS ソースフォロア1段, PMOS ソースフォロア1段で構成されており, 1画素(反転型)の入射光量に対する出力を測定することができる. 今後は, 評価用基板と FPGA を用いて実機検証を行う予定であり, イメージセンサと測定用アナログ回路それぞれの動作確認を行う.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

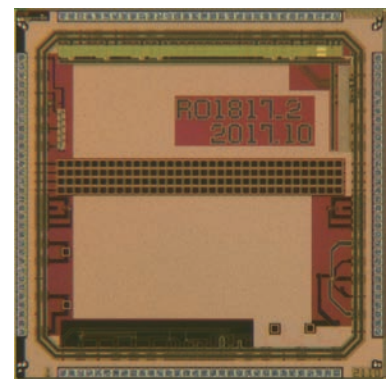


神経回路ネットワーク構築のための神経細胞モデルおよび網膜モデルの試作

日本大学理工学部 佐々木 芳樹, 小澤 俊佑, 白江 健太郎

概要: 我々の研究室では, 生体の脳が持つ優れた情報処理アルゴリズムを工学的に応用するために, 生体の神経細胞やシナプスと同様の働きを模擬したネットワークを構築する研究を行っている. 本試作チップでは, 上記のネットワーク構築のために ①神経細胞モデル ②軸索モデル ③多値 SRAM (2 値 RAM) ④PN 接合ダイオード (フォトダイオードの代わり) の試作を行った. 今回の試作では, 神経細胞モデルおよび PN 接合ダイオードに重きをおいた. 今回, 細胞体モデルは計6種類作成しており, 各条件における発火形態(自励振・他励振)や歩留まり, 発振周波数, ピーク電圧値について検討を行った. 特に, 本細胞体モデルは Δ 形負性抵抗モデルを用いており, その負性特性はデバイスのばらつきに敏感であるため, その影響について検討を行うため試作を行った. PN 接合ダイオードは, 網膜モデルにおける視細胞部分としての有用性を確認するために設計した.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



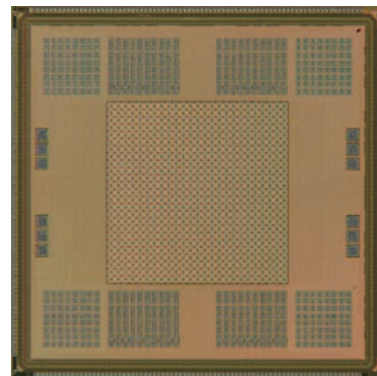
ニューロモーフィックシステム—セルラニューラルネットワーク—25x25 (リポート作製)

龍谷大学理工学部 木村 睦

概要：脳型集積システムを実現するニューロモーフィックシステムとしての、25x25個のニューロンを備えたセルラニューラルネットワークである。将来の超コンパクトで極低消費電力のハードウェア人工知能を目指す。現在の人工知能は、ハイスpek的なノイマン型コンピュータで実行される複雑で長大なプログラムであり、ハードウェアサイズが巨大で、消費電力も膨大である。本研究は、これらの問題を解決するとともに、ロバストなコンピューティングアーキテクチャを提供する。AIoE (Artificial Intelligence on Everything) のコンセプトの実現も可能となる。ニューロモーフィックシステムに関するさまざまな新アイデアが盛り込まれている。また、アプロキシメイトドコンピューティングのプラットフォームとしての位置づけもある。(リポート作製)

参考文献： Mutsumi Kimura, Ryohei Morita, Sumio Sugisaki, Tokiyoshi Matsuda, Tomoya Kameda, and Yasuhiko Nakashima Cellular Neural Network formed by Simplified Processing Elements composed of Thin-Film Transistors Neurocomputing Vol. 248, pp. 112-119, March and July 2017

設計期間：3人月以上, 4人月未満 **設計ツール：** Cadence社 Virtuoso, Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別：**ニューテクノロジー



ゲイン及び帯域切替可能な生体信号処理用 LSI

東北大学医工学研究科 田中 徹

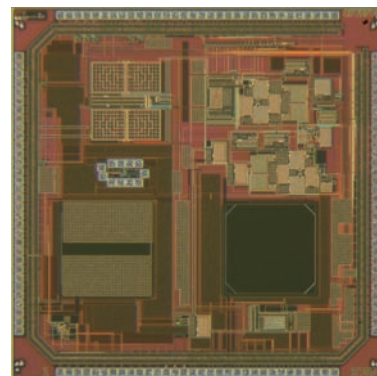
長崎総合科学大学工学研究科 清山 浩司

東北大学工学研究科 竹澤 好樹, 下川 賢士, QIAN ZHENGYANG, Lee Karmun

東北大学工学部 矢吹 僚介

概要：現在、少子高齢社会の進展および高齢者の有病率上昇に起因する医療費増大が大きな問題になっている。特に疾病による脈拍の上昇は高齢者の心臓と血管に多大な負荷を与える。心血管疾患の患者の病態管理のためには、日常的に脈拍や SpO₂ などの生体情報をモニタリングすることが望ましい。そのため日常的な生体情報のモニタリングに適した小規模測定システムの開発を行っている。今回、生体情報を記録するための生体信号記録 LSI を試作した。設計した LSI は信号選択器 (MUX)、増幅率切替可能な LNA (Low Noise Amplifier)、低域遮断周波数切替可能な LPF (Low Pass Filter) および電源回路が搭載されている。現在、試作した LSI の評価を行っている。

設計期間：8人月以上, 9人月未満 **設計ツール：** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナデジ混載



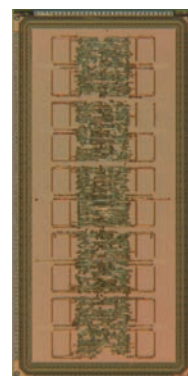
スーパーピクセルを用いた物体境界の明瞭な距離画像生成回路

金沢大学理工研究域電子情報学系 深山 正幸

概要：スーパーピクセルは隣接する類似した画素の集まりである。スーパーピクセル分割は画像を過分割するが、物体境界を良く抽出する。一方、距離画像はカメラから物体までの距離を色や濃淡で表した画像である。距離画像は左右2枚の画像から得られた画素ごとの視差を用いて三角測量の原理に基づき生成される。スーパーピクセル単位の距離画像生成は物体境界が明瞭である特徴を持つ。本回路は左右2枚の画像を入力しスーパーピクセル単位で視差を推定する。左右画素値の差分絶対値による視差の評価値を画素単位で求め、スーパーピクセル単位で集計する。画素単位の最大視差と同数のプロセッシングエレメント (PE) を配置し、一つの左画素に対する全ての視差の評価値を同時に求め、右画素を PE 間でシリアル転送することで、左画素をラスタスキャン順に連続処理する。1個の PE に1個の評価値記憶用メモリを接続し、処理対象の左画素の属するスーパーピクセルに対応するメモリ要素に保存された評価値を更新する。全画素のマッチング終了後、スーパーピクセル単位で最良 (最小) の評価値を持つ視差を求める。本回路は100MHzで動作し、スループットはHD (1280×720画素) 解像度で54 fps, 最大視差は39である。

参考文献： Masayuki Miyama, "Fast Stereo Matching with Super-pixels Using One-way Check and Score Filter", Proceeding of the 7th IEEE International Conference on Control Systems, Computing and Engineering, 2017年11月。

設計期間：0.5人月以上, 1人月未満 **設計ツール：** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre **トランジスタ数：**1,000,000~10,000,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別：**アナログ/デジタル信号処理プロセッサ



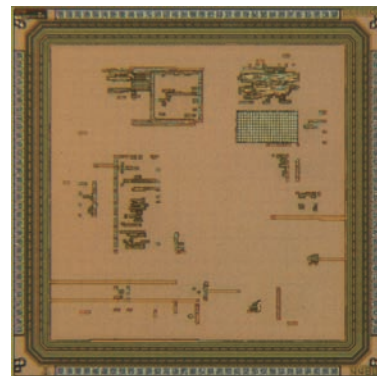
遅延故障・断線故障およびIC間配線の検査用の各種検査容易化回路の試作

徳島大学大学院先端技術科学教育部 神田 道也, 新開 颯馬, 大塚 諒哉, 河野 潤平,
佐藤 聡観, 西川 拓人, 松本 悠汰

徳島大学大学院社会産業理工学研究部 四柳 浩之

概要: 遅延故障の検査容易化回路2種とIC内断線の故障動作検証用回路, およびIC間断線の電氣的検査容易化回路2種を含むチップを試作した. 1) 遅延検査を容易にするために時間-デジタル変換回路組込型検査容易化回路を回路の入出力部およびスキャンFF部に実装した回路を設計した. 2) 3次元積層IC接続部のシリコン貫通ビア(TSV)の遅延故障検査容易化回路用セルを設計し, 配線長や配線遅延の影響を従来のものと比較した. 3) IC内の半断線故障による遅延を考慮する擬似故障TEGを作成し, 隣接線信号が検査時の信号伝搬経路に与える影響を調査した. 4) バウンダリスキャン回路を用いたオンライン電気テスト回路を実装した. 5) 注入電荷量によるIC内断線検査回路を実装した. 各回路については今後検証・調査を行う予定である.

設計期間: 9 月以上, 10 月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, TOOL 社 Lavis, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



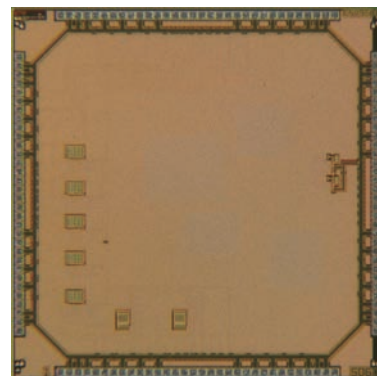
アナログ回路用ライブラリ及び素子評価

高知工科大学システム工学群 橘 昌良, 猪岡 柚香

高知工科大学大学院基盤工学専攻 武内 智哉

概要: 本チップはアナログ回路用ライブラリの設計である. 試作した回路は, ダイオードを使用しないBGR回路を2つ組み合わせさせたBGR回路とBGR回路に対するBIST回路である. ダイオードを使用しないBGR回路を2つ組み合わせさせたBGR回路は, 先行研究の組み合わせ回路をベースとしており, 回路内からダイオードを無くし, 製造バラツキの軽減を目的とした. 2つのBGR回路内のMOSFETのサイズは等しく, PTAT電圧及びCTAT電圧を生成する抵抗のみ異なる. それぞれのBGR回路で負の温度特性, 正の温度特性の出力をそれぞれ生成し, 組み合わせることによって, 出力の温度依存性を少なくした. BGRに対するBIST回路では, BGR回路のノード電圧をテスト応答解析器に入力し, 故障検出を行う. 試作した回路ではBGR回路のノード電圧を測定するために, テスト応答解析器を後から接続する仕様とした. なお, 故障無しBGRと6種類の故障をそれぞれ付加したBGRを載せ, 故障検出の精度を評価した.

設計期間: 4 月以上, 5 月未満 **設計ツール:** Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 Hercules **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



ランダム遅延素子を用いた耐タンパ非同期式暗号化回路改訂版

弘前大学大学院理工学研究科 豊嶋 太樹, 今井 雅

概要: クロック信号に基づいて動作する同期式回路や, 遅延の大きさが一定の遅延素子を用いた非同期式回路では, 同じ論理動作を行うと同じ電流・電磁波特性を示すシステムとなり, 外部から観測可能な情報から内部の秘匿情報を窃取するサイドチャネル攻撃に対する耐性が低い. これに対し, 遅延の大きさを変更することができるランダム遅延素子を用いた非同期式回路は, 同じ論理動作でも異なる電流・電磁波特性を示すシステムを実現できる. 本試作では, 昨年度試作したチップに対し, いくつかの修正を加えたAES (Advanced Encryption Standard) 暗号化非同期式回路を実装した. 非同期式回路の制御方式としては, 2-Phase ハンドシェイクプロトコルに基づくデータ転送を行うMOUSETRAPパイプラインテンプレートを使用し, 要求-応答ハンドシェイクに伴うオーバーヘッドが小さく高速なシステムを実現した. 比較評価用に, 組合せ回路部は同一のものを使用した同期式AES回路, ランダム遅延素子を使用せず, 遅延値が固定な遅延素子を使用した非同期式AES回路も実装した.

参考文献: Daiki Toyoshima, Tatsuya Ishikawa, Atsushi Kurokawa, Masashi Imai, "Random Delay Elements for Tamper Resistant Asynchronous Circuits based on 2-phase Handshaking Protocol," Proc. SASIMI2016, pp. 113-118, Oct., 2016

設計期間: 5 月以上, 6 月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 PowerCompiler, Synopsys 社 Astro, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** マイクロプロセッサ

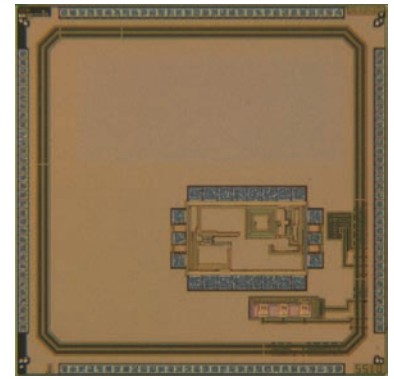


2次RC積分器の $\Delta\Sigma$ ADC とばらつきを抑えるためにDEMを用いた $\Delta\Sigma$ TDC

法政大学理工学部 嘉藤 貴博, 吉田 知朗, 鍋木 彩加, 七田 洸介

概要: この試作では、2次RC積分器型の $\Delta\Sigma$ ADC、 $\Delta\Sigma$ 型TDC、差動型リングオシレータを試作しました。 $\Delta\Sigma$ 型ADCにおいて、研究室の新ゼミ生の練習試作として試作を行いました。構成は、2次のRC積分器、1bitコンパレータ、抵抗DACとシンプルな構成を採用している。次に、 $\Delta\Sigma$ -TDCをデジタルPLLの位相比較器として使う場合、リファレンスクロックの周期で位相比較するために位相比較回数がリファレンスクロックの周波数で決定される。さらなる位相比較回数向上のために、TDCを複数置き、インターリーブで動作させることを検討しており、そのときのばらつきによるスプリアス抑圧のためDEM (Dynamic Element Matching) を搭載し、回路検証と評価を実施した。最後に差動型リングオシレータは、今後試作予定の回路において、数百MHzのクロック生成回路が必要となり、先にリングオシレータを試作することによって動作およびシミュレーションの差異の確認を行った。また、以前試作したPLLに組み込んだVCOと同じ構成となっており、オシレータ単体でも評価をできるように試作を行った。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



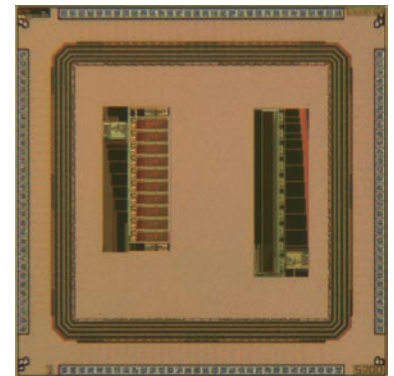
電源スタック型回路構造における中間電位安定性評価回路

九州工業大学大学院情報工学府 山口 翔吾, 肥後 知樹

九州工業大学 中村 和之

概要: 本チップには、6トランジスタ型SRAM及び12トランジスタ型レシオレスSRAM回路に、新型のコーディング回路を付加した電源スタック型回路構造による中間電位安定性評価回路が搭載されている。今回の試作チップでは、電源スタック型回路構造におけるコーディングを利用した場合の中間電位安定化効果を比較・検証することが目的である。今回、新たなコーディング方式として、適応型バス反転方式を検討している。試作LSIを複数用いて、電源スタック型構造を構成し、実測データを得ることで、その有用性を定量的に示すことを目標としている。さらに12トランジスタ型レシオレスSRAM回路においては、電源電圧でも動作可能なレシオレスSRAM回路を内部回路として用いており、3段以上の多段電源スタック型構造を評価可能としている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** glade, Mentor社 Calibre **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ



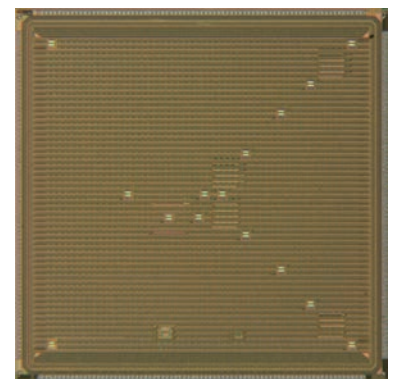
3次元積層チップの発熱温度解析に向けた改良チップ

芝浦工業大学大学院理工学研究科 堀米 亮汰

芝浦工業大学工学部 宇佐美 公良

概要: 本チップは3次元積層チップの電力消費に伴う発熱と、チップ温度の過渡解析を目的としたチップである。消費電力量による発熱温度差や、発熱回路の位置による温度上昇の差や温度分布の時間的変化を解析するため、5個の発熱回路と15個の温度モニタ回路を搭載している。これまでの試作では、発熱回路動作時に温度モニタ回路の動作に不具合が生じていた。そこで、今回は温度モニタ回路への他からの影響を低減させるために電源分離などの改良を加えた。発熱回路にはMOSのオン抵抗による電力消費を目的とした回路を搭載しており、入力信号によって稼働する回路数の制御が可能である。また、温度モニタ回路には、チップ上でリーク電流をモニタする回路を基に、温度変化に伴うリーク電流量の増減からチップ温度を測定する回路を搭載した。また、入出力ピン数削減のため、内部に2個の選択回路を搭載している。テストによる測定はなし。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Synopsys社 HSIM **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** TEG (特性評価回路など)



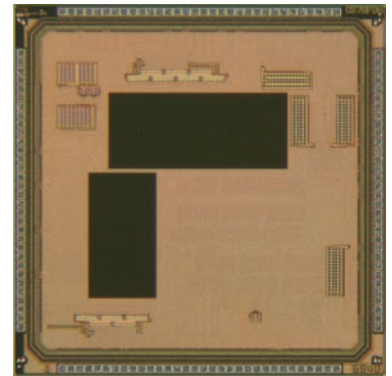
0.18 μ m CMOS プロセスを用いた同期型ノッチフィルタ制御用回路の改良

慶應義塾大学理工学部 中野 誠彦, 河添 翔平

慶應義塾大学理工学研究科 伊藤 孝太, 田中 稜也, 出口 卓己, 福岡 龍人

概要: 筋電, 心電, 脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ, 医療, 研究用途に広く用いられている. プレインマシンインタフェース技術と呼ばれる, 脳と機械間の双方向通信技術の応用にも生体電位信号の利用が進められている. 生体電位信号を扱う低雑音増幅器, フィルタはウェアラブル端末へ応用するために小型化, 低電圧化が求められており, 我々はこれらをオンチップで実現することを目指している. 今回のチップ設計では, 同期型ノッチフィルタの制御に用いる低周波VCOとPLLの改良を行った. 製造時のばらつきの影響を受けにくいレイアウトに改良し, MOS容量を活用して所望の容量値で試作を行った.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



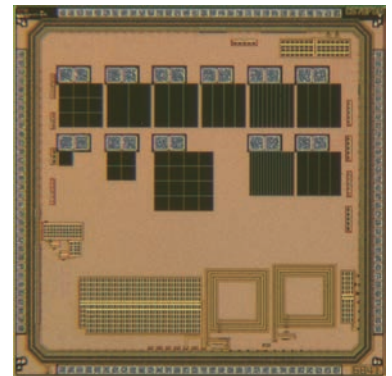
自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 外村 崇史

慶應義塾大学理工学研究科 五十嵐 一真, 錢林 大悟

概要: 現在, 自立動作可能なLSIチップのための, オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている. 電源回路は太陽電池の出力を1V以上に昇圧することで様々なアプリケーション回路の動作を目指す. 本試作では, 前回の試作で設計した300 μ m \times 300 μ mサイズの太陽電池の中で, 最も効率の良いものの改良型電極を作成した. また, 大きなサイズではなく, 小さなサイズの太陽電池をつなぎ合わせることで, 同サイズの占有面積を持つ大型の太陽電池と比べ, どのような性能の違いがみられるかを検証した. また, 本システムで用いるアプリケーションの一つとして, 光情報を保存するメモリを試作した. 20段のクロスカプルチャージポンプを用いて昇圧した電圧をMOSキャパシタのゲートに入力することで, システムに光が照射されることでMOSキャパシタのゲートが破壊され, その出力が変化されるかを検証する. さらに, リングオシレータ関しても, 3段, 5段両方で, 格段の間にあるよう領地を変えることでどれだけの影響があるかを見るために, いくつかのパターンを設計した. 無線送信機にも改良を加えた. 単純なLC直列からの出力ではなく, フィードバックループを用いることにした.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

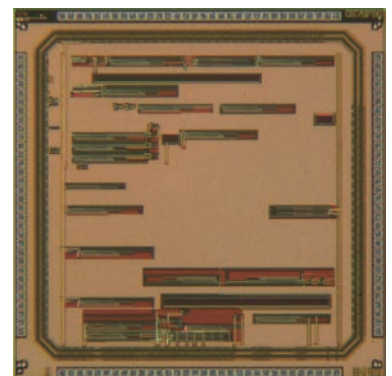


インピーダンス計測検証回路

静岡大学工学部電気電子工学科 二川 雅登

概要: 計測対象の抵抗・容量を効率よく計測できる回路構成を目指し, 設計をすすめている. インピーダンス計測部の容量値が実測時に影響を及ぼしてしまうため, 除外できるような機構を提案し本試作で検証を行っている. 計測対象は土や水を想定しており, 抵抗成分, 容量成分共に大きなダイナミックレンジが必要となるため, それを補うための回路特性が必要となる. 特に, オペアンプの周波数特性が回路全体の出力特性に影響を及ぼすため, オペアンプの特性の見極めを行った. これまでは, 電源やスイッチ, 増幅器に分けて設計を行い, 各部の動作検証を行い目的とする動作を確認することができた. 増幅器について前回試作から改良を行い, 動作周波数の拡大を果たすことができた. 試作各部を統合させた本体回路を使い, 土壌のインピーダンス計測が可能か検証するための準備を整えている. センサとしての動作確認・検証を行っているところである.

設計期間: 7人月以上, 8人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

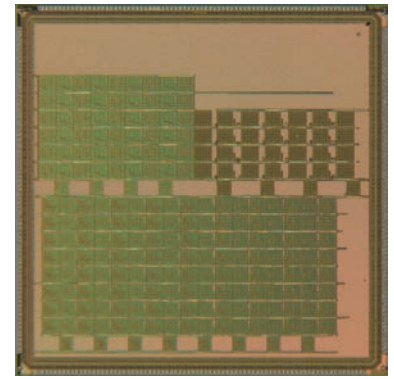


ソフトエラー耐性試験向け・光再構成型ゲートアレイ（1）

渡邊 実

概要：3重回路（TMR: Triple Modular redundancy）の実装が可能な耐放射線・光再構成型ゲートアレイ VLSI を試作した。光再構成型ゲートアレイは FPGA と同じ LUT（Look-Up Table）を基本とする細粒度のゲートアレイ構想を採るが、フォトダイオードが実装されており、回路は光学的にゲートアレイにプログラムされる。このチップでは3層のプログラムゲートアレイ層を持ち、TMR 実装がこれら3層に対して実装される。光再構成型ゲートアレイはホログラムメモリ、レーザアレイ、光再構成型ゲートアレイ VLSI から構成され、複数の回路情報をホログラムメモリ内に記憶できる。これら複数の回路情報はレーザアレイにより選択的に読み出すことができる。光再構成型ゲートアレイはホログラムメモリと光再構成型ゲートアレイ VLSI 間に完全並列の光バスを持つ。このため、高速スクラビングが可能になり、構成メモリ上で発生するソフトエラーをほぼ一掃することが可能になる。本チップでは Am241 によるソフトエラー耐性試験を予定しており、高速スクラビングと TMR 実装とを併用することでカスタム集積回路並みのソフトエラー耐性の実現を目指している。

設計期間：0.1 人月未満 **設計ツール：**Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Mentor 社 Calibre, Mentor 社 ModelSim **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別：**ニューテクノロジー

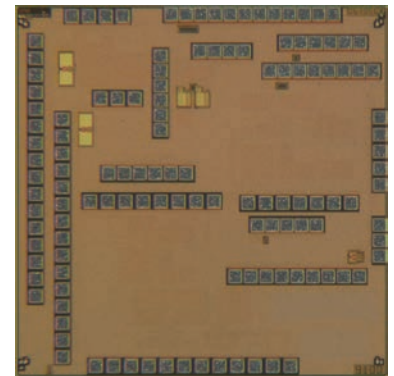


ニューラルネットワークの積和演算に用いられるクロスバー型 ReRAM に向けた書き込み電圧生成回路

中央大学理工学研究科 竹内 健, 鶴見 洸太, 鈴木 健太
中央大学理工学部 能美 奨, 坂東 昭太郎

概要：近年、ムーアの法則の終焉に近づいているため、非ノイマン型アーキテクチャの1つであるニューロモルフィックコンピューティングに注目が集まっている。ニューロモルフィックはニューロン間を結合するシナプスに抵抗素子を用いて構成されるが、その抵抗値は学習に応じて書き換える必要がある。現在、その抵抗素子として抵抗変化型メモリ（ReRAM）が挙げられる。ReRAM は金属酸化膜を上部電極と下部電極で挟んだ構造をしており、金属酸化膜の抵抗値の違いを「0」と「1」に割り当ててデータを保存する。ニューロモルフィック向けに ReRAM を使用する場合、制御にトランジスタを用いないため高集積可能なクロスバー型のセルアレイが挙げられる。クロスバー型 ReRAM は直交するビット線とワード線の交点にビット線とワード線に挟まれる形で各メモリセルが配置してある構造である。そのため、クロスバー型 ReRAM のデータ書き込み時には2つの異なる値の印加電圧が必要となり、同時に多くの負荷電流が生じる。本試作ではクロスバー型 ReRAM に向けた2出力可能な書き込み電圧生成回路の検討を行った。今後は試作チップの動作確認を行う予定である。

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

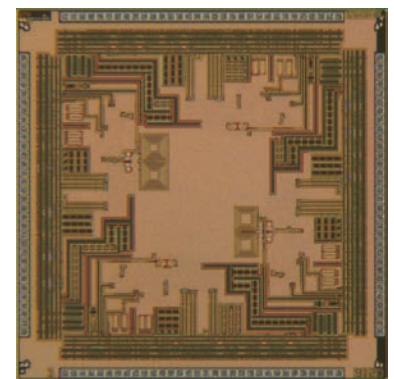


自己および相互干渉ノイズ検証用 PLL 回路とデューティ補正回路 TEG

大阪工業大学大学院工学研究科 小島 勇輝, 増井 優也, 小林 茉祐, 吉村 勉

概要：位同期回路の相互干渉および自己干渉ノイズの解析用 PLL 回路を搭載。昨年度の TEG で一部測定できなかった項目に関して、回路構成を変更して再測定を行う。特に人為的に干渉ノイズを生成する経路をセレクタで切り替えることで、自己干渉と相互干渉の条件を生成する。また注入同期発振回路において、注入頻度を高めるために DLL 回路をベースとした注入同期信号生成を検討しているが、効果を高めるためのインジェクション信号の両エッジ適用で課題となるデューティずれを補正する回路 TEG を設計した。また前回 TEG の測定で問題となった DLL 回路出力クロックのパタンジッタを約半分以下に削減するようにレイアウトの修正を行った。その他、リング型と LC-tank 型の VCO を用いた注入同期発振回路の比較評価も行う予定。

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

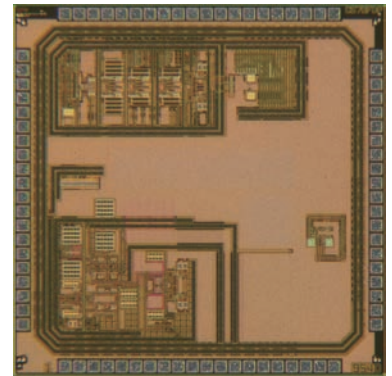


光プローブ電流センサ向け光電流変換 CMOS アナログフロントエンド回路の広帯域化及び低オフセット化

信州大学大学院総合理工学研究科 上倉 宇晴, 畠木 憲太郎, 宮地 幸祐
信州大学工学部 赤羽 和哉

概要：本試作では1) チョッピングによるオフセット補正を用いたアナログフロントエンド (AFE) 回路, 2) デジタル制御によるオフセット補正を用いた AFE 回路の設計を行った。本回路は光プローブ電流センサからの入力電流を想定し主に入出力バッファ, 電流電圧変換回路, 電圧増幅アンプから構成される。信号を読み取るうえで妨げとなるミスマッチによるオフセットの補正の為, 両回路ともにフィードバックによって DC オフセット補正 (DCOC) を行った。1) ではフィードバックによる DCOC に加えて信号を増幅する電圧アンプとしてチョッパアンプを使用することで電圧アンプのオフセット除去を行った。しかし, チョッパアンプはチョッピング周波数のリップル電圧が発生し広帯域化に不向きである。そのため低周波信号はチョッパアンプを使用し, 別途, 高周波信号用の電圧アンプを用意し, 電圧増幅段をマルチパス化した。高周波信号の経路についてはカップリングキャパシタによりオフセットを除去することで低オフセット化と広帯域化の両立を図った。2) ではアナログのフィードバックによる DCOC ではなく逐次比較アルゴリズムを用いたデジタル DCOC を搭載した。

設計期間：10 人月以上 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



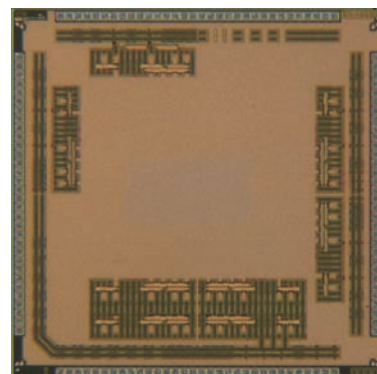
平成29年度第3回ローム CMOS 0.18 μ m 試作 (R018174)

生体信号取得用回路

東京大学工学系研究科 名倉 徹

概要: IoT 技術の広がりにより、これまで情報、および通信分野で使用されてきた LSI のアプリケーション先が様々な分野へと広がっている。近年注目されている IoT アプリケーションの有望な応用先として、生体信号を常時モニタリングしてそのデータを取得し、そのデータに基づいたヘルスケアアプリや、病期診断への応用などが注目されている。本チップでは、筋電測定用の Instrumental Amplifier を試作した。生体信号は着目する周波数が数 Hz~数百 Hz であり、一般的なオペアンプとは一味違った考え方が必要となる。本チップでは、外部と直接接続する端子の ESD 回路の違いを見るための TEG や、オフセットキャンセル回路の TEG、さらに、ローパスフィルタ、ハイパスフィルタ等の TEG、基準信号発生回路、50Hz/60Hz ノイズ除去回路など、生体信号を取得するための基本回路特性を見るための TEG を多数搭載している。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

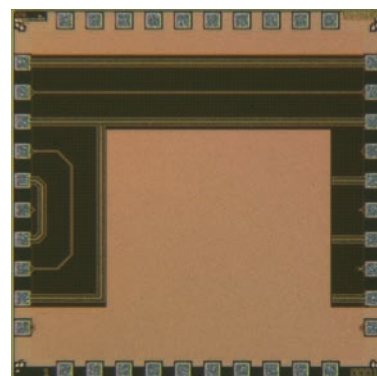


フリップチップ基板検証用マイクロストリップ線路

東京大学 VDEC Kanjanavrojkul Parit, Iizuka Tetsuya, Asada Kunihiro

概要: 本チップでは 50 オームマイクロストリップ線路とショートおよびオープンパッドがチップ上に配置される。このチップはフリップチップ実装用の標準 PCB ボード上の高周波信号パスの検証に使用される。信号は GSG 構成でボードからチップに送信される。線の寸法は 50 オームの特性インピーダンスの EM シミュレーションによって確認された。最下位の金属は設計ルールを満たすスロットパターンを備えたグランドプレーンとして使用される。S パラメータはボード端子から測定されオンボードの伝送損失を評価するために使用される。マイクロストリップラインのシミュレーション結果は準備されたショートパターンとオープンパターンを使用してフィクスチャデエンベディング測定によって確認される。製造したチップを実際に基板上にフリップチップ実装し特性評価を行った。基板上的コネクタ等の反射の影響が大きく、現時点ではチップ内線路の特性評価まで至っていない。今後基板設計最適化を進め評価を行う予定である。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Keysight 社 ADS **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



フリップチップ実装用・高分解能パルス縮小型時間-デジタル変換器

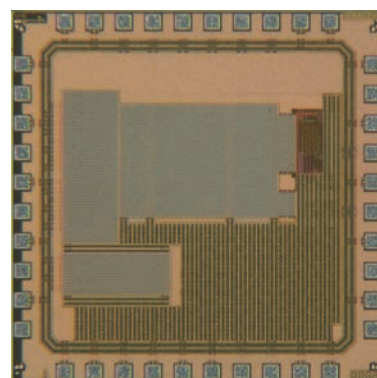
東京大学 VDEC 飯塚 哲也, 浅田 邦博

東京大学工学部 榎本 隆一

東京大学工学系研究科 名倉 徹

概要: 本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する付近ではパルスの縮小幅が一定ではなく、TDC の線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。また、ボンディングワイヤのインダクタンスを考慮し、電源接続の最適化を行った。フリップチップ実装用にパッド配置の変更を行った。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

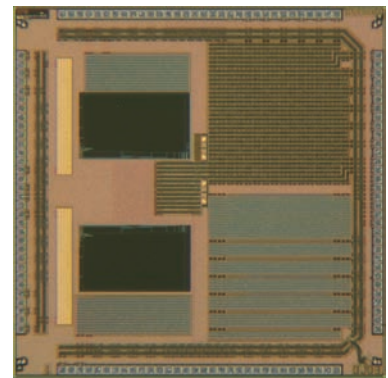


雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器

東京大学工学系研究科 伊藤 貴亮, 名倉 徹
東京大学 VDEC 飯塚 哲也, 浅田 邦博

概要: 本試作では比較器に雑音指数調整機能を実装することで電力効率の向上を狙った逐次比較型アナログ-デジタル変換器 (ADC) の設計を行った。まず内部の DAC に冗長性を持たせることで高精度な変換を実現している。ただし冗長性を持たせると通常の場合と比較して追加の変換サイクルが必要になり、消費電力の増加につながる。この問題に対して本試作では比較器に雑音指数調整機能を実装し比較精度と消費電力を調整できるようにすることで解決した。各サイクルの DAC の冗長レンジに応じて比較器の雑音指数を調整することによって消費電力を最適化している。これにより高精度と低消費電力を両立し変換時の電力効率が向上した。さらに非同期的クロック信号生成回路を実装することで変換時間についても最適化を行っている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



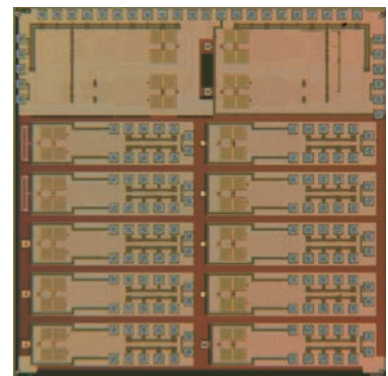
Magnetic Probe for VLSI power supply network analysis

東京大学 VDEC Mai-Khanh Nguyen Ngoc, Iizuka Tetsuya, Asada Kunihiro
東京大学工学部 Takahashi Daigo

概要: The project is to analyse VLSI power supply network based on current estimation through magnetic field. This design has been implemented for a magnetic probe to measure and monitor magnetic fields. In this time, the chip is re-fabricated for a student (Iizuka-ken) for the above purpose. An on-chip coil picks up magnetic fields based on the relationship of magnetic flux and coil's current. The voltage, depending on input frequency, is amplified by multi-stage amplifier. Input voltages of pre-amplifier are from a magnetic pick-up coil and also depend on frequency f . By connecting a filtering-capacitor at the output of the second-stage, we can get a narrow-band LNA. The value of this capacitor is 400-pF. Two outputs are terminated by off-chip capacitors of 2-uF. Based on these simulation results and on possibility on making layout of on-chip capacitor, two types of multi-stage LNA including wide-band amplifier (without FCAP) and narrow-band amplifier (with a FCAP of 400pF) are implemented. Two types of LNAs including wide-band (without FCAP) and narrow-band types are combined with 5 types of inductors, COILi, with $i=1\cdots 5$. Also, by changing VGAIN voltage, LNA gain can be adjusted. For the wide-band LNA, simulated results are achieved with maximum gain of 77.21dB@1.32 MHz in case of VGAIN = 3.3V for 1-MO Ω output terminal. With 50-Ohm output resistance, the simulated gain from extracted layout is about 60.5dB at 2.89MHz. Moreover, 10 types of LNA layouts are formed and put into a 5mm \times 5mm chip of 0.18- μ m CMOS process. Two functional testing circuits including 4 types of LNAs with/without coils are located on the top of the chip for other testing purposes.

参考文献: Yuki Oda, Tetsuya Iizuka, Toru Nakura, Kunihiro Asada, "Analysis of VLSI Power Supply Network based on Current Estimation through Magnetic Field Measurement" Proceedings of IEEE Sensors Applications Symposium (SAS), Mar. 2017.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



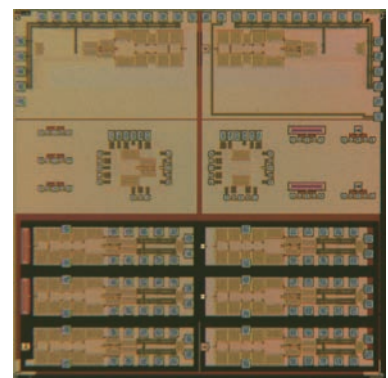
Magnetic Probe for VLSI power supply network analysis

東京大学 VDEC Mai-Khanh Nguyen Ngoc, Iizuka Tetsuya, Asada Kunihiro
東京大学工学部 Takahashi Daigo

概要: The project is to analyse VLSI power supply network based on current estimation through magnetic field. This design has been implemented for a magnetic probe to measure and monitor magnetic fields. In this time, the chip is re-fabricated for a student (Iizuka-ken) for the above purpose. An on-chip coil picks up magnetic fields based on the relationship of magnetic flux and coil's current. The voltage, depending on input frequency, is amplified by multi-stage amplifier. Input voltages of pre-amplifier are from a magnetic pick-up coil and also depend on frequency f . By connecting a filtering-capacitor at the output of the second-stage, we can get a narrow-band LNA. The value of this capacitor is 400-pF. Two outputs are terminated by off-chip capacitors of 2-uF. Based on these simulation results and on possibility on making layout of on-chip capacitor, two types of multi-stage LNA including wide-band amplifier (without FCAP) and narrow-band amplifier (with a FCAP of 400pF) are implemented. Two types of LNAs including wide-band (without FCAP) and narrow-band types are combined with 5 types of inductors, COILi, with $i=1\cdots 5$. Also, by changing VGAIN voltage, LNA gain can be adjusted. For the wide-band LNA, simulated results are achieved with maximum gain of 77.21dB@1.32 MHz in case of VGAIN = 3.3V for 1-MO Ω output terminal. With 50-Ohm output resistance, the simulated gain from extracted layout is about 60.5dB at 2.89MHz. Moreover, 10 types of LNA layouts are formed and put into a 5mm \times 5mm chip of 0.18- μ m CMOS process. Two functional testing circuits including 4 types of LNAs with/without coils are located on the top of the chip for other testing purposes.

参考文献: Yuki Oda, Tetsuya Iizuka, Toru Nakura, Kunihiro Asada, "Analysis of VLSI Power Supply Network based on Current Estimation through Magnetic Field Measurement" Proceedings of IEEE Sensors Applications Symposium (SAS), Mar. 2017.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



誘電体導波路向けオンチップ結合器

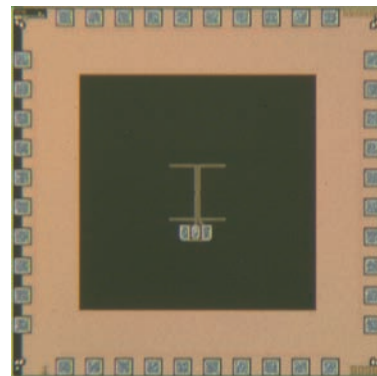
東京大学工学部 山崎 大輔

東京大学 VDEC 飯塚 哲也, 浅田 邦博

東京大学工学系研究科 名倉 徹

概要: 本試作では誘電体導波路通信に用いるオンチップ結合器の設計を行った。高速通信を実現するには広い帯域幅が必要となるが、近年では広い帯域幅を取ることができるミリ波帯の研究が盛んである。ミリ波帯の信号を用いて有線通信をおこなう場合、その信号は誘電体導波路内を伝搬することが知られているが、金属導波管と比べて損失が大きくなるため、導波路以外での低損失化が必要となる。電気-電磁波変換に必要なオンチップ結合器において損失の主な原因は Si 基板に流れる渦電流により電力の一部が熱となってしまうことにあるので、結合器直下の Si 基板を除去し渦電流を抑制することで低損失化を図る。この時誘電体導波路や Si 基板の有無により結合器周囲の誘電率が変化し、結合器の入力インピーダンスが変化するため、電力供給を効率よく行うには使用環境に合わせた結合器を設計する必要がある。そのため 3D 電磁界シミュレータを用いて結合器の入力インピーダンスを求め、最適化をおこなった。また結合器の形状は誘電体導波路方向に指向性を持たせるため、ブロードサイドアレイを採用した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



誘電体導波路向けオンチップ結合器

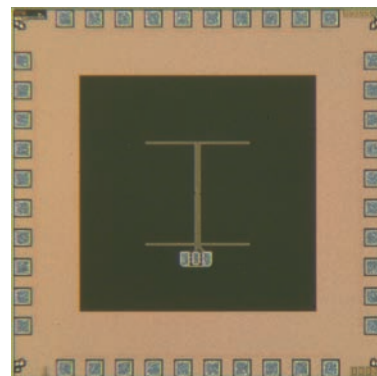
東京大学工学部 山崎 大輔

東京大学 VDEC 飯塚 哲也, 浅田 邦博

東京大学工学系研究科 名倉 徹

概要: 本試作では誘電体導波路通信に用いるオンチップ結合器の設計を行った。高速通信を実現するには広い帯域幅が必要となるが、近年では広い帯域幅を取ることができるミリ波帯の研究が盛んである。ミリ波帯の信号を用いて有線通信をおこなう場合、その信号は誘電体導波路内を伝搬することが知られているが、金属導波管と比べて損失が大きくなるため、導波路以外での低損失化が必要となる。電気-電磁波変換に必要なオンチップ結合器において損失の主な原因は Si 基板に流れる渦電流により電力の一部が熱となってしまうことにあるので、結合器直下の Si 基板を除去し渦電流を抑制することで低損失化を図る。この時誘電体導波路や Si 基板の有無により結合器周囲の誘電率が変化し、結合器の入力インピーダンスが変化するため、電力供給を効率よく行うには使用環境に合わせた結合器を設計する必要がある。そのため 3D 電磁界シミュレータを用いて結合器の入力インピーダンスを求め、最適化をおこなった。また結合器の形状は誘電体導波路方向に指向性を持たせるため、ブロードサイドアレイを採用した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



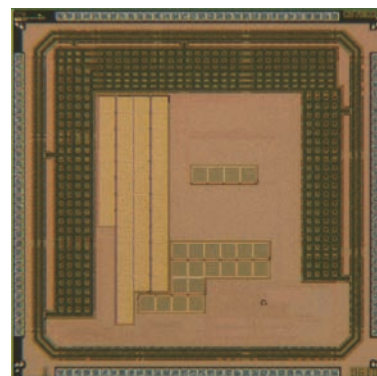
半導体分配器

中部大学全学共通教育部 宮本 順一

概要: 太陽電池など再生可能エネルギーを電力に変換する素子単体の出力電圧は、0.6V 程度と極めて低い。一般的に非発電状態での漏れ電流を防止するため、ブロッキングダイオードを使用するが、この方法では、このダイオードの電圧降下があるため素子の直列接続が必須であった。従って、直列接続に難がある発電素子、あるいは異種の発電素子の組み合わせからの電力抽出は不可能であった。ここで低電圧出力素子からでも高効率で電力を取り出せる「半導体電力分配器」を考案し、これを適用することで多数個の並列接続素子から、その総和電力を集積して取り出すことに成功した。RO1817_1 の試作で、この発電システムを構成する回路コンポーネントを設計し評価した結果、特性の改良が必要な項目がいくつか発見されたため、このリファインを行った。現在、学内で試作した色素増感太陽電池を用い、フィールドでの接続実験を開始したところである。得られた知見については都度、特許化を考慮しており、現在 3 件を特許出願済みであり、内一件は学内審査を経て審査請求中である。

参考文献: J. Miyamoto, M. Sato, H. Itoh, M. Tanaka, A. Kato, S. Hasegawa, Y. Suzuki, and F. Munakata, "Field Test of Dye-Sensitized Solar Cells (DSSC) by utilizing a Power Delivery CMOS Integrated Circuits", Extended Abstracts of the 2015 International Conference on Solid State Devices and Materials, Sapporo, 2015, pp530-531

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

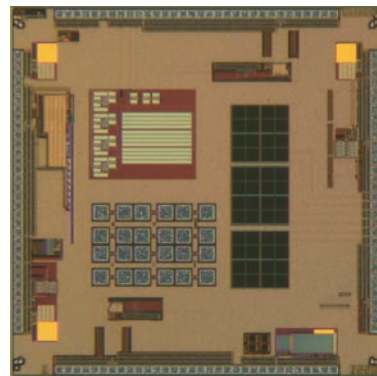


IoTのためのアナログ回路 TEG

広島工業大学工学部/電子情報工学科 升井 義博

概要: 近年ではIoTの研究・開発・実用化に伴い、無線センサーネットワークの利用が開始されつつある。最近の無線センサーネットワークでは信号通信用の配線だけでなく、電源配線の無線化もすすみつつある。そこで、本試作ではエネルギーハーベスタを電源とし、無線センサーネットワークでの利用を想定したアナログ要素回路の試作を行った。低電圧駆動、低消費電力というテーマで0.18 μ m CMOS プロセスを用いたアナログ回路 TEG として以下の回路を集積した。ブートストラップ及び基板バイアス効果を用いた低電圧発振回路、CMOS スイッチを利用した低電圧整流回路、弱反転領域を利用したエネルギーハーベスタのための低電圧参照電源回路、差動型 DFF とクロックゲーティングを利用した低消費電力 8bit 逐次比較型 AD 変換器、インバータをベースとした FF 型 $\Delta\Sigma$ 型 ADC, PLL (Phase Locked Loop), オンチップ発電のための光発電セル。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



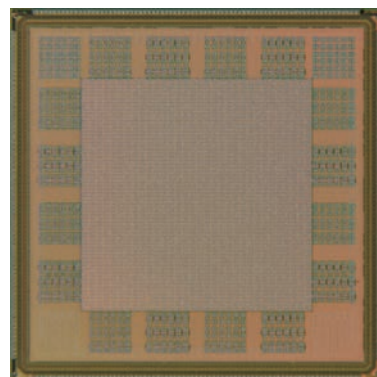
ニューロモーフィックシステム—セルラニューラルネットワーク—32x32

龍谷大学理工学部 木村 陸

概要: 脳型集積システムを実現するニューロモーフィックシステムとしての、32x32 個のニューロンを備えたセルラニューラルネットワークである。将来の超コンパクトで極低消費電力のハードウェア人工知能を目指す。現在の人工知能は、ハイスペックなノイマン型コンピュータで実行される複雑で長大なプログラムであり、ハードウェアサイズが巨大で、消費電力も膨大である。本研究は、これらの問題を解決するとともに、ロバストなコンピューティングアーキテクチャを提供する。AIoE (Artificial Intelligence on Everything) のコンセプトの実現も可能となる。ニューロモーフィックシステムに関するさまざまな新アイデアが盛り込まれている。また、アプロキシメイトドコンピューティングのプラットフォームとしての位置づけもある。既に作成した 25x25 のニューロンを備えたセルラニューラルネットワークの後継機種となる。

参考文献: Mutsumi Kimura, Ryohei Morita, Sumio Sugisaki, Tokiyoshi Matsuda, Tomoya Kameda, and Yasuhiko Nakashima Cellular Neural Network formed by Simplified Processing Elements composed of Thin-Film Transistors Neurocomputing Vol. 248, pp. 112-119, March and July 2017

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** ニューテクノロジー



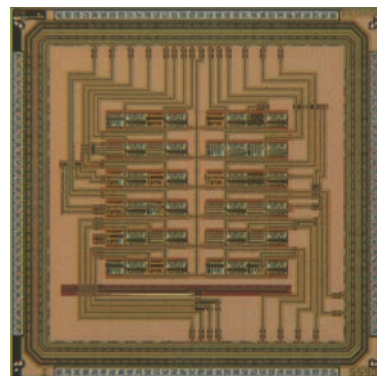
積層型 3 次元 IC のチップ内の温度分布の解析

富山県立大学工学部 牛田 慧, 岩田 栄之, 松田 敏弘

概要: MOSFET の微細化と VLSI の高集積化によって、消費電力が増大し、VLSI 内に局所的な高温箇所が発生し、回路の特性や信頼性などに影響するチップ内温度分布の不均一性が問題となっている。また、複数の LSI を積層した 3 次元 IC の開発も進められているが、熱伝導率の小さい接着層によって、温度が上昇する。したがって、現在の熱伝導シミュレータは LSI の設計に非常に有用であるが、シミュレーションの精度をさらに高めるためにも、実験による実測値との比較・検証は必要不可欠である。本研究では、熱源となる抵抗とそのまわりに配置されたダイオードからなるテスト回路を LSI として設計・試作し、実測とシミュレーションを用いて LSI 内の温度分布を解析することを目的としている。本テストチップ中には、熱源となる抵抗 1 個と、温度センサダイオード 32 個で構成されているブロックを 24 個 配置し、熱源や配線パターン等による温度分布の変化を解析できるようにした。さらに、このテストチップを用いた 3 層の積層型 3 次元 IC について、温度分布解析を行っている。

参考文献: T. Matsuda, H. Demachi, H. Iwata, T. Hatakeyama, and T. Ohzone, "Analysis of Metal Wire Effect on Temperature Distribution in Stacked IC With Thinned Chip," IEEE Transactions on Semiconductor Manufacturing, vol. 30, no. 3, pp. 227-235, 2017.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

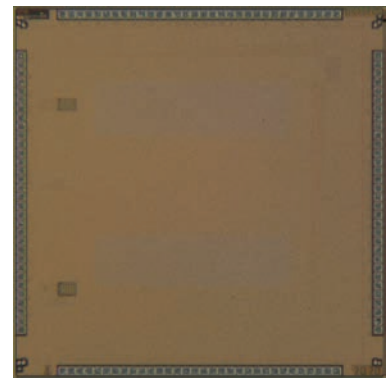


弱反転領域の電流式を検証するためのMOSトランジスタ TEG

埼玉工業大学工学部 吉澤 浩和

概要：MOS トランジスタを弱反転領域で動作させるアナログ回路をSPICEでシミュレーションする場合には、弱反転領域でもシミュレーション結果と測定結果が一致するようにSPICEモデルパラメータが精度よく抽出されている必要がある。また、低電圧動作に向くとされるbody-driven回路では、基板バイアス効果の影響もSPICEモデルパラメータに反映されている必要がある。しかしながら一般のSPICEパラメータは、必ずしも弱反転領域や基板バイアス効果が精度よく抽出されているとは限らない。さらにMOSトランジスタの弱反転領域におけるドレイン電流式は複数提案されているものの、SPICEのシミュレーション結果とは一致しない場合が少なくない。本試作では、弱反転領域の電流式を検証するためにアスペクト比の異なるMOSトランジスタTEGを設計した。トランジスタのサイズはPMOS, NMOSともに、ゲート幅を20 μm で固定し、ゲート長を0.25 μm から400 μm まで5通りずつふった。試作したMOSトランジスタの電流の測定を行い、弱反転領域の電流式との比較ならびにSPICEシミュレーション結果との比較を行う。

設計期間：0.1人月以上, 0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：**~10 **試作ラン：**ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

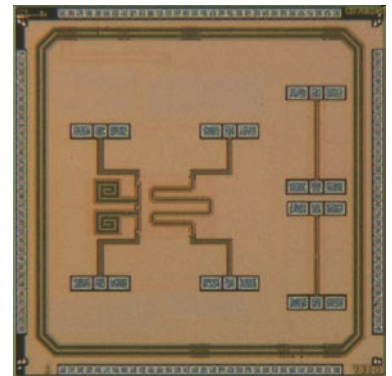


符号化・復号回路

上智大学理工学部 林 等

概要：立ち上がり間隔が一定周期になるように波形を割り当てた符号化方式に対応した符号化・復号回路。○特徴 マンチェスタ符号：信号のDCオフセットが発生しないため、クロック再生が容易。ただし、クロック再生回路が必要。起動に時間がかかる。⇒立ち上がり間隔が一定周期になるように波形を割り当て。⇒クロック同期に時間がかかる位相同期ループを使用せずに、データと同期したクロックを高速に得ることができる。⇒クロック再生回路を使用せずに高速起動が可能・低消費電力化。○想定される用途①センサNW分野における「キーデバイス」としての活用⇒センサ間通信②災害対策等に導入が望まれるRFIDシステム⇒デュアルタイプRFタグへの展開③「次世代」非接触ICカード

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Keysight社 ADS **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別：**通信 (RF回路, ATMなど)

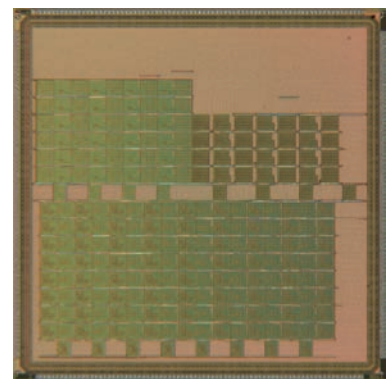


ソフトエラー耐性試験向け・光再構成型ゲートアレイ (2)

渡邊 実

概要：3重回路 (TMR: Triple Modular redundancy) の実装が可能な耐放射線・光再構成型ゲートアレイVLSIを試作した。光再構成型ゲートアレイはFPGAと同じLUT (Look-Up Table) を基本とする細粒度のゲートアレイ構想を採るが、フォトダイオードが実装されており、回路は光学的にゲートアレイにプログラムされる。このチップでは3層のプログラマブルゲートアレイ層を持ち、TMR実装がこれら3層に対して実装される。光再構成型ゲートアレイはホログラムメモリ、レーザアレイ、光再構成型ゲートアレイVLSIから構成され、複数の回路情報をホログラムメモリ内に記憶できる。これら複数の回路情報はレーザアレイにより選択的に読み出すことができる。光再構成型ゲートアレイはホログラムメモリと光再構成型ゲートアレイVLSI間に完全並列の光バスを持つ。このため、高速スクラビングが可能になり、構成メモリ上で発生するソフトエラーをほぼ一掃することが可能になる。本チップでは全領域をメタルで完全にシールドしてあり、ソフトエラー耐性の面での効果を確認する予定である。

設計期間：0.1人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Mentor社 Calibre, Mentor社 ModelSim **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μm 5.0mm角チップ **チップ種別：**ニューテクノロジー

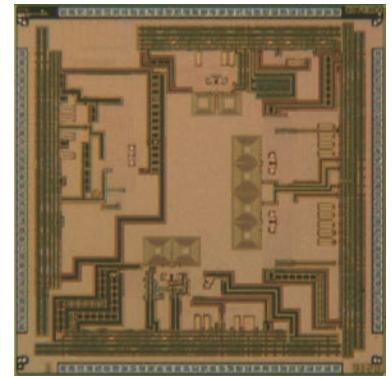


逓倍用 DLL 回路を用いた両エッジ型注入同期 PLL 回路の特性評価 TEG

大阪工業大学大学院工学研究科 小島 勇輝, 増井 優也, 小林 茉祐, 吉村 勉

概要: DLL 回路をベースとした注入同期信号生成回路を用いて, 低周波の参照クロックから広帯域な注入同期 PLL 回路を設計・試作し, 特性を評価する. 昨年と同構成の回路と比較して, 発振周波数を倍にすることで実質的な逓倍数を倍にする一方, インジェクション信号の両エッジを注入同期に用いることで, 高頻度のインジェクションを可能とする. これにより広帯域化による低位相ノイズのクロックが実現可能と考えられる. さらに, このインジェクション信号のデューティ補正を行うことで, 極力パタンジッタの影響を抑える構成とした. 発振器としては, リング型, LC-tank 型 VCO とも最大 5GHz をターゲットとした. その他, 回路の改訂としてインジェクション部の電流注入・引き抜きの回路構成の対称性を考慮した. ターゲットとする周波数および発振器の種類でいくつか作振りを行い, 回路特性の比較評価を行う予定.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



平成28年度第2回ルネサス CMOS 65nm 試作 (RS65162)

RF アナログ設計用 TEG

金沢大学集積回路工学研究室 北川 章夫, 成 浩偉

概要: アナログ回路の設計を行うための準備と SOTB のフルカスタム設計フローおよび設計規則の理解を目的として、各種 TEG の設計を行った。搭載した TEG には、RF プローブ用パッドおよび較正用パターン、単体 MOSFET、各種抵抗、各種キャパシタ、バイポーラトランジスタ、ダイオード、アンテナルール対策用ダイオード等を含む。また、TEG のレイアウトパターンによっては、自動生成されたダミーで密度ルールを満たすことが難しいため、空き領域に敷き詰めることにより、設計規則に準拠しながら密度ルールを満たすことができるような自作ダミーパターンも用意した。LC-VCO、マイクロストリップインダクター、マイクロストリップ共振器、パッチアンテナ等も設計したが、設計規則チェックをパスすることができず、チップへの搭載を断念した。現在、試作した TEG の評価を実施中である。今回設計した VCO は、生体組織の診断への応用を目的として設計され、シミュレーションでは、90GHz までの発振を確認している。ただし、発振周波数が当初目標よりも低いため、再設計または方式の再検討が必要となる。現在、より高い周波数帯での発振および受信を行う共振器を再設計している。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** ~10 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** TEG (特性評価回路など)

バックゲート電圧制御発振器を用いた A/D 変換器の試作

大阪工業大学工学部 木原 崇雄

大阪工業大学大学院工学研究科 吉尾 恒洋, 高橋 克樹

概要: Internet of things (IoT) 社会では無線トランシーバーにさらなる低消費電力が求められている。さらに、CMOS プロセスの微細化に伴い低い電源電圧 (<1 V) に適したデバイスが必要とされている。低電源電圧かつ高速動作を実現できる A/D 変換器 (ADC) として、電圧制御発振器 (VCO) を用いた ADC (VCO ベース ADC) がある。この ADC はリング型 VCO・サンプリング器・デジタル微分器で構成されるので、低電源電圧かつ高速で動作する。従来の ADC では、VCO の出力電圧振幅は入力制御電圧に依存し、そのサンプリングにはセンスアンプを使用したフリップフロップ (SA-FF) を用いる必要があり、ADC の消費電力が増大する。本試作は、バックゲート VCO を採用することで、SA-FF を必要としない VCO ベース ADC を示す。また、サンプリング器に準安定状態対策を実装することで、SNR の劣化を抑制する。

参考文献: Tsunehiro Yoshio, Takao Kihara, Tsutomu Yoshimura, "A 0.55 V Back-Gate Controlled Ring VCO for ADCs in 65 nm SOTB CMOS", Proc. 2017 IEEE Asia Pacific Microwave Conference (APMC2017), Kuala Lumpur, Malaysia, Nov. 2017.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 PowerCompiler, Synopsys 社 ICompilers, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** CMOS SOTB 65nm 3mmx2mm **チップ種別:** 通信 (RF 回路, ATM など)

新イジング LSI

東京理科大学工学部 串原 健太

概要: 近年 IoT 社会を迎え、得られるデータ量は爆発的に増加している。このため、最適化問題を解く能力を"モノ"へ付与することは、情報処理能力を向上させ (AI on Things)、この社会をさらに躍進させると考えている。イジングマシンのハード化はそれを実現するが、その実装は膨大な数の相互作用を必要とするため困難となる。そこで、すべてのスピン間の相互作用を再隣接スピン間のみで表現する新モデルを提案した (K. Someya, R. Ono, and T. Kawahara, "Novel Ising Model Using Dimension-Control for High-Speed Solver for Ising Machines," Paper ID 4137, Session B2P-F, NEWCAS 2016, doi:10.1109/NEW-CAS.2016.7604797, (2016))。しかしながら、このモデルの LSI 化には更に、1) 解を得るために必要なシミュレーテッド・アニーリングの実装が大規模になること、2) 高速化に必須の並列動作の実現が不可能であること、3) スピンとその計算を行う単位ブロック構成及び配線がそれでも複雑なこと、などが課題とわかった。今回、これらを解決しハード化可能な簡便な構造で実現したイジングマシン回路を考案したので、65nmSOTB プロセスでの試作をめざして実装した。

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Diva **トランジスタ数:** 10,000~100,000 **試作ラン:** CMOS SOTB 65nm 6mmx3mm **チップ種別:** アナログ/デジタル信号処理プロセッサ

Object-Detection Coprocessor with HOG-Feature Extractor, General-Purpose Normalization Engine and SVM Classifier

広島大学先端物質科学研究科 Luo Aiwen

広島大学工学研究科 Zhang Xiangyu, An Fengwei

広島大学ナノデバイス・バイオ融合科学研究所 Mattausch Hans Juergen

概要: This chip implements a hardware-efficient object-detection coprocessor with cell-based HOG-descriptor extraction circuitry, general-purpose normalization engine and SVM classifier in 65 nm CMOS technology. Due to the normalization engine, degradation of vision-based detection resulting from, e.g., changes in the illumination intensity, foreground-background contrast variations or automatic gain control of the image sensor, can be avoided. Multiple cell sizes up to 32x32 pixels can be used to define the scaling factor of the corresponding image pyramid for detecting objects with different sizes. The flexible cell size and the unlimited vertical size of input images (up to 1024x∞ pixels) make an efficient contribution to multi-scale and multi-object detection with much smaller computational effort than required in previous research work. Further, flexible application adjustment is provided by input customization parameters, so that the presented block-based normalization circuit achieves high processing flexibility for different image-cell sizes, cell-based feature descriptors and image resolutions. The developed reutilization scheme of memories for intermediate-result storage allows a significant reduction of on-chip storage requirements. Lower computational cost and pipelined data transmission lead also to increased efficiency with respect to power consumption. Consequently, the applied prototype architecture demonstrates less memory usage, lower energy consumption, and higher detection robustness for real-time object detection in various mobile applications.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 ICompilers, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** CMOS SOTB 65nm 3mm 角 **チップ種別:** マイクロプロセッサ

65nm SOTB プロセスを用いた小型昇圧回路

奈良先端科学技術大学院大学物質創成科学研究科 笹川 清隆, 春田 牧人, 野田 俊彦, 徳田 崇, 太田 淳

概要: 本試作では, 単体の太陽電池を用いた Optogenetic 用の超小型光刺激光源を実現するための昇圧回路の設計を行った. Optogenetics の分野で, 広く用いられている光受容タンパクとしてチャンネルロドプシン2がある. このタンパクは青色波長帯の光照射に対してイオンチャンネルを開き, 細胞の活性化をもたらす. 光源としては青色LEDが使用可能であるが, 一般的なSi太陽電池では, 発光に必要な電圧を供給することができない. また, 昇圧回路は, 小型かつ高効率なものが求められる. 本試作では, SOTB プロセスによって低しきい値としたMOSトランジスタを用いて, チャージポンプ回路を設計した. また, 単体で駆動可能とするため, リングオシレータを統合し, 外部からの信号供給を不要とした.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 HSPICE (RF) **トランジスタ数:** 10~100
試作ラン: CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** マイクロプロセッサ

ワイヤレスセンサネットワーク向け低電力外温度センサ回路

電気通信大学情報・ネットワーク工学専攻 新居 慎也, 石橋 孝一郎, 範 公可

概要: エナジーハーベスティングでも活用可能な低電力で, ワイヤレスセンサネットワークの活用に適した外温度を測定する低電力温度センサを提案する. 回路はサーミスタをICの外部に温度素子として用いることで外温度の測定を可能にする. 設計はルネサスエレクトロニクス社のSOTB65nmプロセスで行った. 回路構成はサーミスタとそれを読み取るアナログ回路部と, アナログ回路部で読み取った値をデジタルデータに変換するデジタル部からなる. 提案回路は -50°C ~ 50°C の温度範囲で 0.084°C の分解能を持ち, 消費電力は 869nW であった. また実測からの 3σ は $\pm 2.7^{\circ}\text{C}$ であった. アナログ部の構造の一部にリングオシレータを用いており, 発振周波数がノイズ等の影響で完全に安定しなかったため, 実測の 3σ は想定よりも大きい値となってしまった. 回路の精度を上げるにはリングオシレータを安定に発振させる工夫が必要と考えられる.

参考文献: [1] Y. Dei, Y. Kishiwada, R. Yamane, T. Inoue, and T. Matsuoka, "Low-power wireless on-chip microparticle manipulation system," Jpn. J. Appl. Phys., vol. 54, no. 4S, p. 04DE10, Apr. 2015.

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Encounter RTL Compiler, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** アナデジ混載

SSS OOK Transmitter

電気通信大学情報・ネットワーク工学専攻 大畠 知之, 石橋 孝一郎, 範 公可

概要: 今回の試作ではTransmitterの設計を行った. 具体的には, アナログ回路ではリングオシレータと差動型発振回路, デジタル回路では変調回路の設計を行った. 設計は65nm SOTB プロセスを用いて行った. 周波数2.4GHzで設計を行い, 基板バイアスを印加できるように設計した. リングオシレータは基板バイアスを印加することで出力周波数が変化する特徴を有している. 基板バイアスとして三角波を印加することで, 出力周波数のスペクトルが約2GHz拡散するように設計した. 差動型発振回路は周波数は250MHzで設計を行い, デジタル回路のクロック生成回路を目的として設計した. この回路も基板バイアスを印加できるように設計を行い, 基板バイアスは実測する際に周波数を250MHzに調節するために用いる. デジタル回路はSSSOOK変調を行うために設計をした. 実測では出力信号を見ることはできなかった. その理由として寄生容量対策が不十分であったことが挙げられる. 設計した回路は2.4GHzと高周波であり, 寄生容量によって出力のゲインが大きく低下する. さらに設計した回路は出力スペクトルを基板バイアスによって拡散するため, さらにゲインが低下する. 設計の際には寄生容量対策としてインバータを設計した. しかし, 設計したインバータだけでは不十分であったと考える. これより, 次回の設計ではさらに寄生容量対策について考える必要がある.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** 通信 (RF回路, ATMなど)

プログラマブル大規模積和演算アクセラレータの試作

大阪大学情報科学研究科 橋本 昌宜

高知工科大学システム工学群 密山 幸男

概要: 機械学習を用いたアプリケーションの拡大に伴い, 機械学習に求められる演算を高効率に実行できるハードウェアの研究が盛んに行われている. 我々は, エッジ端末上での動作を想定し, 機械学習識別器などに頻出する大規模積和演算の高エネルギー効率実行を可能にするアクセラレータアーキテクチャの開発を進めている. 提案アクセラレータは, 多段カウンタを基本要素とするアレイ構造を持ち, プログラマブルな構造とASICに匹敵する演算効率の両立を目指している. 複数の積項からなる膨大な部分積の足し合わせを同時に行うことにより, 高い性能が期待できる. 本試作では, 前回の試作回路の基本構造をベースに, 演算ビット幅とオペランド数の可変機構を搭載するアクセラレータを設計した. チップ面積等の制約で可変機構の自由度は制限されたが, 4通りの演算ビット幅のアクセラレータを1~4並列で構成することを可能としている. 前回の試作回路と同様に, 入力オペランドをLSFRによって生成し任意回数の演算を連続して実行できる機構を搭載している. 提案アクセラレータと周辺回路の電源を分離することで, 提案アクセラレータの消費エネルギーをより正確に評価することを可能とした.

設計期間: 8人月以上, 9人月未満 **設計ツール:** Synopsys社 DesignCompiler, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 Formality **トランジスタ数:** 100,000~1,000,000 **試作ラン:** CMOS SOTB 65nm 3mm角 **チップ種別:** マイクロプロセッサ

電源電圧モニタリング搭載非接触給電・液中微粒子操作チップ

大阪大学大学院工学研究科 井上 泰佑, 松岡 俊匡

概要: 微小化学分析システムの小型化・高精度化を実現するために, CMOS集積回路技術, 非接触給電と誘電泳動を融合した液中オンチップ微粒子操作システムの実現を目指している [1]. 本チップでは, 磁界結合方式非接触給電を採用しているが, コイル間の伝送距離やチップの負荷変動などに伴い, チップ上の電源電圧が不安定になる恐れがある. また, チップ使用時に溶液の温度上昇を抑えるため, チップの低消費電力化も図る必要がある. そこで, チップ内の電源電圧をモニタリングすることで上記の問題を解決するものとし, 0.5V駆動の電源電圧センサ回路, 及び小面積非接触通信回路を設計した. 非接触通信回路はコイルを介して給電側に電源電圧の情報等を送信するものである.

参考文献: [1] Y. Dei, Y. Kishiwada, R. Yamane, T. Inoue, and T. Matsuoka, "Low-power wireless on-chip microparticle manipulation system," Jpn. J. Appl. Phys., vol. 54, no. 4S, p. 04DE10, Apr. 2015.

設計期間: 6人月以上, 7人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** イメージセンサ/スマートセンサ

耐ソフトウェアフリップフロップと放射線起因パルス測定回路

京都工芸繊維大学電子システム工学専攻 丸岡 晴喜, 山田 晃大, 古田 潤, 小林 和淑

概要: 本設計では集積回路における一時的な誤動作であるソフトウェアの発生率と対策方法を評価するために, 2種類の回路を試作した. 1つは耐ソフトウェアフリップフロップ (FF) である. 提案する耐ソフトウェアFFではパストランジスタを挿入することで放射線による一過性のパルスであるSET (Single Event Transient) を減衰させ, FFが保持する値が反転しない構造となっている. もう1つの回路ではインバータチェーンとTime-to-digital converterから構成されたSETパルス幅測定回路である. パルス幅を測定することでSETパルスの最大値や平均値などの特性を取得する. より効率的な対策手法を検討するとともに, シミュレーション方法の精度の向上に利用することを目的とする. 大阪大学にて中性子照射試験を行いソフトウェアの実測評価した結果, 提案回路のソフトウェア耐性は従来回路よりも10倍以上耐性が高いことを確認した. SETの評価には量子科学技術研究開発機構の重イオンを利用して行った. SETの最大値は200ps以下であり, パルス幅が小さいほど発生確率が高いことを確認した.

参考文献: K. Yamada, H. Maruoka, J. Furuta, and K. Kobayashi, "Radiation-Hardened Flip-Flops with Low Delay Overheads Using PMOS Pass-Transistors to Suppress a SET Pulse in a 65 nm FDSOI Process", RADECS, 2017

設計期間: 3人月以上, 4人月未満 **設計ツール:** Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** CMOS SOTB 65nm 3mm角 **チップ種別:** TEG (特性評価回路など)

リングオシレータのランダムテレグラフノイズによる周波数変動自動測定回路

京都工芸繊維大学電子システム工学専攻 岸田 亮, 駒脇 拓弥, 古田 潤, 小林 和淑

概要: 集積回路における信頼性問題の1つであるランダムテレグラフノイズ (RTN) を評価するための回路を設計した. RTNは動的にランダムに特性が変動する現象であるため, 実測評価が重要である. リングオシレータのRTN実測において, 今までの課題であったNMOSとPMOSの影響分離を抵抗を用いることで可能とした. リングオシレータの発振回数を記録するカウンタの最後に, 最大および最小の周波数を記録する回路を搭載することでRTNの測定を高効率化した. 電源の不具合があったが, ナノテクプラットフォームの支援を受けて集束イオンビーム (FIB) により配線を接続することで正常動作した. 従来よりも約7,500倍効率よく測定でき, 実測結果としてRTNの影響はNMOSの方がPMOSよりも約1.5倍大きくあらわれることがわかった.

参考文献: 岸田 亮, "リングオシレータのランダムテレグラフノイズによる周波数変動自動測定回路", VDEC デザイナーズフォーラム, 2017年9月.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** CMOS SOTB 65nm 3mm角 **チップ種別:** TEG (特性評価回路など)

平成29年度第1回ルネサス CMOS 65nm 試作 (RS65171)

ツインタワー用共有メモリ SMTT

慶應義塾大学理工学部 小島 拓也, 寺嶋 爽花, 奥原 颯, 風見 亮佑, 天野 英晴
芝浦工業大学工学部 工藤 勝, 宇佐美 公良

概要: ビルディングブロック型計算システムのチップスタックが共有して使う 256 kB の共有メモリのチップで, 誘導結合チップ間無線インタフェース TCI を 2 セット持っており, この上に 2 つのチップ積層タワーを建てることことができる。2 つのチップタワーの両方からのアクセスは, 8 つにバンクの異なったものに対して行われれば同時に可能である。同時にアクセスされた場合の調停用に Fetch&Dec 機能を持つ同期メモリも装備している。チップの一部は Standard Cell Memory の TEG になっている。Standard Cell Memory は, 標準セルを用いて作るメモリでボディバイアスの制御により極めて小さな漏れ電流を実現する。

参考文献: S. Terashima, et. al. "A Shared memory chip for twin-tower of chips," SASIMI 2018, Jan.

設計期間: 3 人月以上, 4 人月未満 設計ツール: Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数: 100,000~1,000,000 試作ラン: CMOS SOTB 65nm 6mm 角 チップ種別: メモリ

Deep Neural Network Accelerator SNACC

東京大学工学部 坂本 龍一, 近藤 正章
慶應義塾大学理工学部 奥原 颯, 松下 悠亮, 小島 拓也, 天野 英晴

概要: Convolutional Neural Network の畳み込み演算を高速化する専用アクセラレータで, 計算コア 4 つと, 重み等を保持する分散メモリを 32 セット持っている。それぞれのコアは, 独自の命令セットアーキテクチャに基づき, SIMD 命令, 専用 ALU を装備し, 16bit, 8bit 演算機能を持っている。誘導結合チップ間インタフェースの IP (TCI IP) を内蔵し, 他のチップと通信することができる。ビルディングブロック型計算システムのファミリーの一つとして, 他と組み合わせて AI システムを構成する。ボディバイアス制御により極めて低い消費電力で動作する。現在, 基本的な演算機能は確認済みであり, TCI の動作も一部は確認済みである。

参考文献: R. Sakamoto, et. al. "The Design and Implementation of Scalable Deep Neural Network Accelerator Cores," McSoC17, Sept. 2017

設計期間: 3 人月以上, 4 人月未満 設計ツール: Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 PowerCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数: 100,000~1,000,000 試作ラン: CMOS SOTB 65nm 6mmx3mm チップ種別: マイクロプロセッサ

ツインタワー用ホストプロセッサ GeyserTT

東京農工大学工学部 並木 美太郎
慶應義塾大学理工学部 安藤 尚樹, 奥原 颯, 小島 拓也, 天野 英晴

概要: Geyser TT (Twin Tower) はビルディングブロック型計算システムのホストプロセッサで, 誘導結合チップ間通信 (TCI) の IP を 3 セット内蔵している。CPU としては R3000 互換の命令セットを持っており, 4KB の命令, データ分離型 2 ウェイセットアソシアティブキャッシュ, 16 エントリの共有 TLB を持ち, OS が動作する。3 つの TCI を用いて直線構造のネットワークを 2 セット作ることができ, この最上部に配置して 2 つのチップスタックのブリッジ機能を果たすことができる。ホストプロセッサとして 2 つのチップスタック (タワー) の全てのメモリを共有メモリの形でアクセスすることが可能である。現在, 他の数種類のチップと積層したシステムが完成し, テストを行っている。

参考文献: H. Amano, et. al. "Overview of Building Block Computing System," Proc. ISOCC, Oct. 2017.

設計期間: 3 人月以上, 4 人月未満 設計ツール: Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数: 100,000~1,000,000 試作ラン: CMOS SOTB 65nm 6mmx3mm チップ種別: マイクロプロセッサ

低電圧安定動作のための回路特性評価回路

京都大学情報学研究所 小野寺 秀俊, 石原 亨, 岸本 真, 今井 悠真, 岡村 陽介, 小柳 卓也
埼玉大学理工学研究科 西澤 真一
東京大学生産技術研究所 イスラム マーフズル

概要: 低電圧安定動作のための設計基盤の開発を目標とし, 低電圧動作に適した回路素子の評価回路や静的/動的ばらつきの評価回路を作成した。多種類の RO をアレイ状に多数並べた回路により各スタセルの特性やばらつきを評価する。複数の再構成可能なモニタ回路によりトランジスタのノイズ特性, ばらつき特性を評価するほか, 温度による電流変化を利用したセンサとしての評価も行う。外部からの信号に応じて基板の電圧をチップ内部で生成・出力可能な回路を搭載した。回路の静的消費電力をモニタリングする回路およびモニタ結果に応じて静的電力を最適化するように自律的に基板電圧調節回路を制御する回路の設計を行った。RO アレイ回路, 最構成可能モニタ回路, 基板電圧生成回路の実測を行い, 正常動作することを確認した。

設計期間: 8 人月以上, 9 人月未満 設計ツール: Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 HSPICE (RF), Synopsys 社 HSPICE (RF) トランジスタ数: 1,000,000~10,000,000 試作ラン: CMOS SOTB 65nm 3mm 角 チップ種別: TEG (特性評価回路など)

ビアスイッチFPGAアーキテクチャを模擬した論理ブロックアレイのテスト回路

京都大学情報学研究科 小野寺 秀俊, 石原 亨, 長岡 悠太, 吉澤 慶, 樋口 達大

概要: 金属配線層間に不揮発性メモリ機能を有するスイッチであるビアスイッチを埋め込むことで高速化, 省エネルギー化および高集積化を目的とした, ビアスイッチFPGAの開発に向けた模擬回路を試作した. 本試作では, ビアスイッチの代わりに実際の金属ビアを打ち込むことで, あらかじめテスト回路(リング発振器)がプログラムされた状態となっている. 当該テスト回路試作の目的は大きく分けて2つあげられる. 1つ目は, 集積度の高いレイアウトの実現可能性を確認することである. 2つ目は細粒度なLUTと粗粒度の算術論理演算器を混在した論理ブロックの設計を検討し, テスト回路の測定によりその効果を確かめることである. 2018年4月現在, 設計時の検証不備により実測が不可能であることを確認した.

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 HSIM トランジスタ数: 10,000~100,000 **試作ラン:** CMOS SOTB 65nm 3mm角 **チップ種別:** TEG (特性評価回路など)

CMS-OOK TRX

電気通信大学情報・ネットワーク工学専攻 Van Trung Nguyen, 石橋 孝一郎, 範 公可

概要: このデザインには, コード変調同期OOKトランスミッタ(アナログ+デジタル)と2つのRFフロントエンド(1つはオンチップインダクタ, 1つは抵抗負荷)+RXのデジタル部分が含まれます. デジタル部分はVerilogでコードを作成した後, Modelsimでシミュレートし, ICCによってコンパイルしました. アナログ部分はHSPICE RFとCadence Virtuosoでシミュレートし, StarRXを使用して抽出しました. TXは2.4GHz帯で動作し, スペクトルを拡散するためにリングオシレータ回路のデバイスのボディバイアスをスイープし, CMS-OOKシミュレーションを使用しました. RXは2つのバージョンで構成されています. 一つは, LNAの負荷と負荷をマッチングさせるためのオンチップインダクタを使用したRFフロントエンドで, これに対してプレレイアウトシミュレーションのみが実行されました. もう一つは抵抗負荷を使用したもので, RFフロントエンドはシミュレーション後のレイアウトでした. シミュレーション結果は-70dBmの感度, RXの消費電力は8uWでした. RXのデジタル部分は正しくデコードできます. このTRXはノーマリーオフのWSNに使用できます.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Quartus Prime, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 ModelSim, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 NanoSim トランジスタ数: 1,000~10,000 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** アナログ/デジタル信号処理プロセッサ

ブートストラップ方式を用いたDCDC昇圧回路

電気通信大学情報・ネットワーク工学専攻 熊谷 慎也, 石橋 孝一郎, 範 公可

概要: 今回の試作では, 100mVの低電圧DC入力に対するDCDC昇圧回路の設計を行った. 本回路は, 昇圧回路としてスイッチトキャパシタを用いており, スイッチにはPMOSとNMOSを2つずつ用いている. また, 外部電源を使用しないための工夫として, 本回路では入力の一部を電源として使用したリングオシレータとブートストラップ回路を設計した. リングオシレータで発振された信号はブートストラップ回路に入力され振幅を増幅する. ブートストラップ回路は昇圧型と降圧型の2種類に分けられ, 昇圧型を通過した信号はNMOSスイッチのゲートに入力されスイッチ制御信号となる. 同様に降圧型を通過した信号はPMOSスイッチのゲートに入力される. 本回路はシミュレーションの結果, 100mVの入力に対して約125mVの出力を得た. 倍圧回路を用いたにも関わらず1.25倍の出力しか得られなかったのは, サブスレッショルド領域で制御を行なっているスイッチにおいてリークが生じているためと考えられる. また, 負荷電流及び回路効率が著しく低い値となってしまったため次回への課題点を多く残す試作となった.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数: 10~100 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

同期・非同期MIPSマイコン

電気通信大学情報・ネットワーク工学専攻 竹内 恭平, 石橋 孝一郎, 範 公可

概要: 今回の試作では, それぞれ同期・非同期パイプラインでMIPSのサブセットが動作するマイコンの設計を行った. 同期と非同期のマイコンを比較することで, 非同期回路の特性を調査する. 使用した非同期のアルゴリズムは, 東データ方式である. 遅延素子は, 外部から遅延量を変更することができる可変機構を実装した. 実装した命令は, 減加算, 論理和, 左右シフト, ロード, ストア, 条件分岐, 無条件分岐, 即値和, 即値論理和, 即値論理積の16命令である. シミュレーションでは正常に動作していた. しかし, SOTBで設計を行ったが, 配線ミスにより電源がショートしてしまったために測定をすることができなかった. 設計に時間がかかりすぎ, 十分に確認作業をおこなわなかったのが原因として挙げられる.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数: 10,000~100,000 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** マイクロプロセッサ

幅広い動作領域でエネルギー最小点動作を可能にする RISC-V プロセッサの試作

京都大学大学院情報学研究所 石原 亨, 小野寺 秀俊, 塩見 準, 保木本 修, 徐 宏傑

概要: 電源電圧および基板電圧を動的に調節可能な RISC-V プロセッサを試作した。試作チップには 8-kB 命令スラッチパッドメモリ, 16-kB データスラッチパッドメモリ, 4-kB 命令キャッシュが搭載されている。これらのオンチップメモリとしてスタンダードセルを用いた完全デジタル型メモリが使用されている。プロセッサのロジック部とメモリ部で異なる電源電圧および基板電圧を印加可能である。幅広い要求動作速度に対し、当該プロセッサが常にエネルギー最小点で動作可能であることを示すことが第一の目的である。当該プロセッサのロジック部とメモリ部で異なる電圧を印加することにより、同一の電圧を印加した場合より消費エネルギーを低減可能であることを示すことが第二の目的である。また、当該チップにはプロセッサのクリティカルパス遅延、静的エネルギーおよび温度を評価する回路が搭載されている。2018年3月28日現在、実測に基づくチップの動作検証に着手できていない。動作検証は今後の課題である。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 HSIIM **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** CMOS SOTB 65nm 3mm 角 **チップ種別:** マイクロプロセッサ

耐ソフトウェアフリップフロップとソフトウェアの遅延時間依存性測定回路

京都工芸繊維大学電子システム工学専攻 山田 晃大, 榎原 光則, 古田 潤, 小林 和淑

概要: 本設計では集積回路の一時的な誤動作であるソフトウェアの対策方法を評価するために 2 種類の回路を試作した。1 つは耐ソフトウェアフリップフロップ (FF) である。TCAD を用いて既存の耐ソフトウェア FF のソフトウェア率を精査し、その配線の一部変更することで大幅な耐性向上が可能であることを確認した。本設計では配線を変更した提案 FF の設計を行い、実測により提案 FF のソフトウェア耐性を評価するとともに、TCAD シミュレーション結果との比較を行う。2 つ目の回路はソフトウェアの組み合わせ回路の遅延時間依存性評価回路である。FF で発生する保持値の反転である SEU (Single Event Upset) は組み合わせ回路を伝播して次段の FF に取り込まれることで集積回路全体が誤動作となる。回路の遅延時間が大きい場合、クロックの値が 0 の時に生じた SEU は次段の FF まで到達せずに除去される。この除去効果を確認するために動作周波数を変更し、SEU の発生率を評価する回路を設計した。LSI テスタにて動作試験を行い正常動作を確認した。放射線耐性の評価は量子科学技術研究開発機構の重イオン照射試験を用いて 5 月に行う予定である。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** CMOS SOTB 65nm 3mm 角 **チップ種別:** TEG (特性評価回路など)

NAND または NOR を用いた経年劣化の影響が異なるリングオシレータ

京都工芸繊維大学電子システム工学専攻 岸田 亮, 中野 洋希, 駒脇 拓弥, 古田 潤, 小林 和淑

概要: 集積回路における信頼性課題の 1 つである Bias Temperature Instability (BTI) と呼ばれる経年劣化により、回路を使用するほど特性が劣化するため、BTI の対策および実測による評価が重要である。BTI には NMOS で発生する Positive BTI (PBTI) と、PMOS で発生する Negative BTI (NBTI) に分けられ、NBTI による劣化の方が PBTI よりも大きい。通常のリングオシレータはインバータによって構成されるため、PBTI と NBTI どちらも発生するが、NAND で構成することで PBTI のみが発生する回路になり、経年劣化を抑制できる。さらに、入力端子のつなぎ方を工夫することで、その PBTI も抑制できる。NOR で構成されたリングオシレータは NBTI のみ発生するため、これらのリングオシレータを同じチップに搭載し、経年劣化の影響が異なるかを評価する。チップが正常に動作することを確認したため、今後、経年劣化を測定する予定である。

参考文献: 中野 洋希, 中村 遥香, 岸田 亮, 小林 和淑, "低電力で高信頼な長期経年劣化評価用測定系の設計", 電子情報通信学会学生会研究発表講演会, p. 68, 2018 年 3 月。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** CMOS SOTB 65nm 3mmx2mm **チップ種別:** TEG (特性評価回路など)

宇宙環境集積回路用耐放射線 IO セルの試作

長野高専電子制御工学科 吉河 武文, 原 大樹, 小松 聖汰

京都工芸繊維大学電子システム工学専攻 小林 和淑

概要: 宇宙環た、受信側は、PMOS と NMOS の双方でデータを受信するルール・トゥ・レールの構成を採用境での使用を想定し、放射線が照射されている状態でラッチアップなどによる物理破壊を回避し正常動作が期待できる耐放射線用高速 I/O セルを設計開発することが目的である。今回の I/O セルは、LVDS (Low Voltage Differential Signaling) の物理層トポロジを採用し、65nm SOTB プロセスを使用して 200Mbit/sec 以上の帯域を目標に設計した。この LVDS マクロは、基本的に 3.3V で動作する。送信側は、そのドライバが NMOS のみで構成されており、ラッチアップに非常に強い構造になっているとともに、信号出力のコモン電位の調整に出力電位からのフィードバックを受けないフィードフォワード型の構成にした。また、受信側は、PMOS と NMOS の双方でデータを受信するルール・トゥ・レールの構成を採用しており、GND から電源電圧までの広いダイナミックレンジを有することができる。2017 年 8 月 18 日にテーブアウトした。そして、2018 年 1 月 23 日に試作 IC が出来上がり、その後、評価ボードに実装された状態で評価が開始されている。現在、ビット誤り率などを評価中である。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 Formality **トランジスタ数:** 1,000~10,000 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** 通信 (RF 回路, ATM など)

第4章 VDEC 概要

4.1 組織概要

東京大学大規模集積システム設計教育研究センター(略称 VDEC)は、日本の国公立大学と工業高等専門学校における VLSI 設計教育の充実と研究活動の推進のために平成 8 年 5 月に全国共同利用施設として発足した。

当時は専任教官 5 名と事務官 1 名という小さな組織であったが、平成 9 年度には専任教官 2 名と事務官 1 名が増員され、現在は専任教員 9 名、客員教授 1 名、そして 20 名以上の非常勤スタッフや学外協力研究員が在籍している。

また、平成 9 年 4 月から平成 19 年 3 月まで、全国 9 大学の VDEC サブセンターから連携を密にする目的で、

2 年を単位として 2 名の教官を派遣する「流動教官制度」を開始した。(平成 16 年度からは国立大学法人になったことに伴い「客員研究員制度」に名称変更)

平成 20 年 4 月からは「協力教員制度」を開始し、現在は 10 大学の各拠点校の協力教員が移籍することなくその運営を担っていただいている。(下記参照)

さらに産業界との連携のため、1 名の客員教授に協力をお願いしている。

センターの事務については、センターの非常勤スタッフと工学系・情報理工学系研究科等事務部が連携をとり行っている。

流動教官派遣大学

年 度	派 遣 大 学
平成 11・12 年度	金沢大学, 広島大学
平成 13 年度	千葉大学, 東京工業大学
平成 14 年度	千葉大学, 東京工業大学, 京都大学
平成 15 年度	京都大学, 九州大学
平成 16 年度	大阪大学, 九州大学
平成 17 年度	名古屋大学, 大阪大学
平成 18 年度	北海道大学, 名古屋大学
平成 19 年度	北海道大学
平成 20 年度以降	協力教員派遣実績のある大学 北海道大学, 東北大学, 東京工業大学, 金沢大学, 名古屋大学, 京都大学, 京都 工芸繊維大学, 立命館大学, 大阪大学, 広島大学, 九州大学, 福岡大学

4.2 人事報告

VDEC 人事

センター長・教授 藤田 昌宏
 客員教授 水野 正之
 准教授 高宮 真
 准教授 飯塚 哲也
 特任講師 肥後 昭男
 特任講師 徐 祖 樂
 助教 粟野 皓光
 助教 Mai Khanh
 助教 松本 高士
 客員研究員 LEBRASSEUR ERIC CHAR
 特任研究員 大西 廉伸
 特任研究員 藤原 誠
 特任研究員 島本 直伸
 特任研究員 ULLIAC GWENN
 係長 住谷 啓介
 係長 武内 東子

協力教員

高木 信一
 (東京大学工学系研究科電気系工学専攻教授)
 池田 誠
 (東京大学工学系研究科電気系工学専攻教授)
 三田 吉郎
 (東京大学工学系研究科電気系工学専攻准教授)
 竹中 充
 (東京大学工学系研究科電気系工学専攻准教授)



区 分	氏 名	所 属	任 期	メールアドレス
委員長	浅 田 邦 博	大規模集積システム設計教育研究センター長	H29.4.1～H30.3.31	asada@silicon.u-tokyo.ac.jp
1号委員	大久保 達 也	工学系研究科長 教授	H29.4.1～H31.3.31	dean@t.u-tokyo.ac.jp
1号委員	池 田 誠	大学院工学系研究科電気系専攻長 教授	H29.4.1～H31.3.31	iked@silicon.u-tokyo.ac.jp
1号委員	坂 井 修 一	大学院情報理工学系研究科 教授	H29.4.1～H31.3.31	sakai@mtl.t.u-tokyo.ac.jp
1号委員	中 野 義 昭	大学院工学系研究科 教授	H29.4.1～H31.3.31	nakano@ee.t.u-tokyo.ac.jp
1号委員	荒 川 泰 彦	生産技術研究所 教授	H29.4.1～H30.3.31	arakawa@iis.u-tokyo.ac.jp
1号委員	高 木 信 一	大学院工学系研究科 教授	H29.4.1～H31.3.31	takagi@ee.t.u-tokyo.ac.jp
1号委員	三 田 吉 郎	大学院工学系研究科 准教授	H29.4.1～H31.3.31	mita@ee.t.u-tokyo.ac.jp
2号委員	藤 田 昌 宏	大規模集積システム設計教育研究センター 教授	H29.4.1～H31.3.31	fujita@ee.t.u-tokyo.ac.jp
2号委員	高 宮 真	大規模集積システム設計教育研究センター 准教授	H29.4.1～H31.3.31	mtaka@iis.u-tokyo.ac.jp
2号委員	飯 塚 哲 也	大規模集積システム設計教育研究センター 准教授	H29.4.1～H31.3.31	iizuka@vdec.u-tokyo.ac.jp

平成 29 年度大規模集積システム設計教育研究センター全国運営協議会委員名簿

氏 名	所 属
浅 田 邦 博	東京大学大規模集積システム設計教育研究センター 教授(センター長) TEL 03(5841) 6671 FAX 03(5841) 8911 asada@silicon.t.u-tokyo.ac.jp
藤 田 昌 宏	東京大学大規模集積システム設計教育研究センター 教授 TEL 03(5841) 6673 FAX 03(5841) 6724 fujita@ee.t.u-tokyo.ac.jp
池 田 誠	東京大学大学院工学系研究科電気系工学専攻 教授 TEL 03(5841) 6661 ikedai@silicon.u-tokyo.ac.jp
高 木 信 一	東京大学大学院工学系研究科電気系工学専攻 教授 TEL 03(5841) 7467 takagi@ee.t.u-tokyo.ac.jp
本 村 真 人	北海道大学大学院情報科学研究科情報エレクトロニクス専攻 教授 TEL/FAX 011-706-7149 motomura@ist.hokudai.ac.jp
須 川 成 利	東北大学大学院工学研究科技術社会システム専攻 教授 TEL 022(795) 4835 ac.jp shigetoshi.sugawa.d4@tohoku.ac.jp
一 色 剛	東京工業大学学術国際情報センター 情報支援部門 教授 TEL/FAX 03(5734) 2574 isshiki@vlsi.ss.titech.ac.jp
益 一 哉	東京工業大学科学技術創成研究院・研究院長 教授 TEL 045(924) 5010 FAX 045(924) 5022 masu.k.aa@m.titech.ac.jp
柳 澤 政 生	早稲田大学理工学術院 教授 TEL 03-5286-3400 myanagi@waseda.jp
北 川 章 夫	金沢大学理工研究域電子情報学系 教授 TEL 076(234) 4863 FAX 076(234) 4863 kitagawa@is.t.kanazawa-u.ac.jp
河 口 信 夫	名古屋大学大学院工学研究科計算理工学専攻 教授 TEL 052(789) 4388 FAX 052(789) 4696 kawaguti@itc.nagoya-u.ac.jp
小野寺 秀 俊	京都大学大学院情報学研究科通信情報システム専攻 教授 TEL 075(753) 5314 FAX 075(753) 5343 onodera@i.kyoto-u.ac.jp
松 岡 俊 匡	大阪大学大学院工学研究科電気電子情報工学専攻 准教授 TEL 06(6879) 7792 FAX 06(6879) 7792 matsuoka@eei.eng.osaka-u.ac.jp
Mattausch Hans Juergen	広島大学ナノデバイス・バイオ融合科学研究所集積システム部門 教授 TEL 082(424) 6268 FAX 082(424) 6268 hjm@hiroshima-u.ac.jp
井 上 弘 士	九州大学 大学院システム情報科学研究院長 教授 TEL 092(802) 3793 FAX 092(802) 3786 inoue@ait.kyushu-u.ac.jp
藤 野 毅	立命館大学理工学部電子情報工学科 教授 TEL 077-561-5150(直通) 8391(内線) FAX 077-561-5150, 2663 fujino@se.ritsumeit.ac.jp
兵 庫 明	東京理科大学理工学部電気電子情報工学科 教授 TEL 04(7124) 1501 内 3756 FAX 04(7122) 5171 hyogo@ee.noda.tus.ac.jp
黒 田 忠 広	慶應義塾大学理工学部電子工学科 教授 TEL 045(566) 1534 FAX 045(566) 1534 kuroda@elec.keio.ac.jp
吉 本 雅 彦	神戸大学大学院システム情報学研究科 教授 TEL 078(803) 6630 FAX 078(803) 6630 yosimoto@cs.kobe-u.ac.jp

4.3 新任・退任のご挨拶

新任のご挨拶

徐 祖樂

2018年4月から特任講師として勤務しております。

12年前に中国の大学を卒業してハードウェアエンジニアとして入社いたしました。ICチップを用いたボードレベルのシステムを開発し、集積回路が電子製品の性能に大きく影響することが分かり、集積回路を勉強するために2008年に来日いたしました。アナログ・デジタル混載集積回路設計技術について、東北大、東工大にて大学院から研究を始め、自分にとって新しい世界を開きました。

大学院の教育を通して分かったのは、集積回路の技術者には、回路基礎、設計のノウハウ、開発・測定経験、言語力、論文術などがすべて重要ということです。一方、半導体技術は急速に発展しており、10年前に来日

した頃と比べ、更なる高性能化、低消費電力化、高集積化が実現されています。回路設計の課題を解決するために、多種多様な知識とノウハウを身につけ、組み合わせで生かすことも必要となっています。このような専門力を持っている人材を育成することが工学教育の使命だと認識しております。この認識に基づき、大学での研究教育という道を選び、2年間東京理科大学に助教として務め、今年にVDECに参りました。

学生時代からVDECのセミナー・講演会に参加したことがあり、CADツールもVDECを経由して使っております。VDECが日本の集積回路の研究・教育を支えていることに感謝しております。現在、自分もVDECの一員になることができ、今までの経験を踏まえ、集積回路技術の発展と人材育成に貢献できるように努力いたします。どうぞよろしくお願ひいたします。

肥後 昭男

2017年4月よりVDEC特任助教、同年10月よりアドバンテストD2T寄附研究部門の特任講師を拝命いたしました肥後と申します。

2007年3月に東京大学大学院工学系研究科電気工学専攻、東京大学生産技術研究所年吉洋先生のもとで博士課程を修了後、東京大学先端科学技術研究センター情報デバイス分野にて中野義昭先生、杉山正和先生、種村拓夫先生のもとで化合物半導体光デバイスとマイクロマシニング技術の融合研究に従事してまいりました。その

後、東北大学原子分子材料科学高等研究機構において、挑戦的テーマとしてドライナノプロセスによる数ナノ構造の形成およびその光デバイス応用の研究をおこないました。半導体微細加工技術と様々な材料との融合は、今後の半導体技術の中核になるものと考えております。VDECはデバイス設計から回路試作、そしてVLSIテストまでの研究・教育が一貫しておこなえる場所でありませす。私は、VDECの強みであるVLSI技術とその展開として様々な異種材料との融合に取り組みながら、VDEC D2Tの研究および教育に尽力するつもりでございます。どうぞ宜しくお願い申し上げます。

平成30年3月末をもって東京大学を退職しVDECセンター長を退任しました。思えば1980年4月に東京大学工学部に職を得て最初に参加した調査研究が、米国で始まって間もない「大学における集積回路教育研究」の実態調査でした。我が国でも当時の東京大学菅野卓雄先生のリーダーシップのもとで始まった電気学会、電子通信学会等の調査研究委員会に参加し、科学研究費補助金総合研究でも多くの諸先生方の研究会に参加する機会を得ました。中でも電子工業振興協会(現在、電子情報技術産業協会に併合)主催の研究会では、調査研究の一環として5週間にわたり単独で欧米先進各国をめぐり訪問調査をする機会を得、その後の研究人生やVDEC設立・運営の基礎を築くうえで大変貴重な経験となりました。

これらの成果は「全国大学共同利用集積回路教育・研究センター構想」としてまとめられ、関係者に提案されましたが、残念ながら当時の日米半導体摩擦等の影響等もあってか、このセンター構想は政府の採用するところとはなりません。しかし1990年代に入り、日米の半導体世界シェアの再逆転を背景に再びセンター設立の機運が高まり、通産省支援による大学におけるLSI試作の実証プロジェクトへ経て、全国の多くの先生方の賛同・支援のもとでわが国独自のセンター構想を再提案しました。その結果、1996年度概算要求で文部省に採択され、同年5月10日にVDECを発足できたことは私の大学生活において忘れることのできない出来事でした。約10年越しの構想が結実したという意味でも何か運命めいたものを感じたことを記憶しています。

その後の今日までの22年間は半導体集積回路技術の発展・成熟期と重なり、技術の進展や技術を取り巻く環境変化に対応するためのあつという間の歳月でした。東京大学の多くの同僚や全国の半導体・LSI分野の先生方の協力、NTT、STARCをはじめとする半導体産業界およびEDAベンダー各社の支援を得て、VDEC事業を何とか継続実施できたことに深く感謝しています。

VDEC運営の基本方針は「ユーザの求めるものを提供する」ことでした。私共自身もユーザの一人でしたが、ユーザの視点に立って必要なものを常に探求し、予算を最大限有効活用するため取捨選択する日々でした。昨年開催した「設立20周年記念シンポジウム」では産業界代表の方から、VDECはシェアードエコノミの先駆者であるとの趣旨のお言葉を頂戴しうれしく思った次第ですが、同時に初代センター長の鳳紘一郎先生が当時おっしゃった、「VDECは集積回路研究者の生活協同組合のようなものだ」という言葉も印象深く記憶に残っています。

平成30年4月以降は藤田昌弘VDECセンター長のもとにVDECは活動を継続しています。今後世界ではようやく情報化社会が本格化する兆しにありますが、集積回路はその共通する基礎技術としての役割を担っていくこととなります。VDEC生活協同組合では組合員全員が運命共同体であり、組合員の一致団結がある限りVDECは存在意義があるといえます。「もし今VDECを設立するとしたらどんな形態が最適か？」を常に念頭に置きつつ、この分野発展の牽引役を務められればと願っています。引き続き関係各位のご支援をこころよりお願いする次第です。ありがとうございました。

浅田 邦博

退任のご挨拶

名倉 徹

2007年4月より11年間VDECに務めて参りましたが、2018年3月末をもってVDECを卒業させていただくことになりました。11年の間、皆様には大変お世話になりました。大学の先生方、学生のみなさん、産業界の方など、集積回路に携わる多くの方々と接する機会を得たことがVDEC生活での最大の成果であり、財産であると考えております。

現在はソフトウェアの時代です。Google, Amazon, Facebook, Appleを始めとした、いわゆる「成功企業」が成功した理由はソフトウェア技術にあります。その一方で、それらソフトウェア技術による成功を演出したのは集積回路というハードウェアの高性能化であることは間違いありません。そして、今後の発展の方向はソフトウェアのハード化とハードウェアのソフト化であり、そういった中で最も重要なのは、ハードウェア・ソフトウェアの進化に適応した我々人間の「ブレインウェア(考え方・アイデア)」の進化です。一般的に、デバイスから回路、回路からシステム、システムからソフト、ソフ

トからビジネスという「下から上」への移行は容易ですが「上から下」への移行は難しく、ダイオード特性を持ちます。私を含めて、このVDEC年報をご覧になる方々の多くはデバイス・回路が専門であると想像しますが、ブレインウェアを発展させるにはデバイスからビジネスまでを「深く広く詳細に俯瞰」することが必要であり、それを実行するのは集積回路を深く知る我々の役目であると考えます。

今後とも集積回路を中心とした技術革新は進んでいきます。その中で、大学での集積回路教育研究におけるVDECの果たす役割は変わらず大きなものが有ります。今後も外から・内から、VDEC発展の一助となるよう尽力させていただきたいと思っております。

最後に、VDECを立ち上げた諸先輩の先生方、これまでVDECを支えてきた現役の先生方、今後のVDECを盛り上げていく将来の先生方にお礼を申し上げますとともに、ますますのご発展・ご活躍を祈念いたしまして退任の挨拶とさせていただきます。11年間、どうもありがとうございました。

池野 理門

2014年4月から2017年9月の3年半の間、アドバンテストD2T寄附研究部門の特任講師を務めさせて頂きました。2012年4月の奉職から数えると5年以上に渡ってVDECでお世話になっていたこととなります。VDEC在任中はたくさんの皆様のご支援を頂きながら、研究、教育、D2Tシンポジウムの開催、人材交流等様々な職務に携わらせて頂きました。個人としても様々な経験を積ませて頂いたことに感謝を申し上げますと同時に、VDECのユーザーの皆様や関係の方々に対して多少なりともお役に立てていたと感じて頂けたのであれば幸いです。

任官以前は民間企業で15年近く半導体技術に携わり、

世界的な勢力図の激変を伴う製造技術の汎用化と寡占化、基幹技術のセットメーカーやアプリケーション層へのシフトなど、半導体産業を取り巻く大きな環境変化を目の当たりにしてきました。その一方で半導体集積回路はそれらの基盤技術としての立ち位置と需要を確立しています。VDECには今後も学生教育と研究成果を通じて、あるいはさらに直接的な研究協力やサービスを通じて、半導体技術ひいてはあらゆる産業の発展をリードして行って頂きたいと思います。私も再び一民間企業の社員となりましたが、在野の立場からVDECの活動を応援し微力でもお役に立てればと考えています。最後になりますが、VDECとユーザーの皆様の益々のご活躍をお祈り申し上げます。

前回(2017年10月)発行のVDEC年報において森村先生、水野先生、栗野先生の「退任・新任のご挨拶」が欠落しておりました。大変、申し訳ございませんでした。

対応として、今回発行のVDEC年報に掲載させていただきます。

新任のご挨拶

水野 正之

2017年4月より客員教授を拝命いたしました。

1990年代、つまり、私が大学生になって、その後NECに入社してしばらくは、半導体は『技術』や『事業』の両面で、いわゆるムーアの法則に支えられて成長してきました。私もその恩恵の中、超低電力から超高速、通信やプロセッサなど、様々な領域で、技術開発やその事業化にチャレンジをすることができました。

しかしながら、半導体は約10年前に『事業』の困難に直面しました。NECの半導体事業もその困難を乗り越えられず、2010年4月にルネサスエレクトロニクス

(以下、REL)として再出発しました。私もRELで苦い『事業』改革を体験しました。

『事業』の困難から約10年遅れて、半導体はいま『技術』の困難に直面しつつあります。微細化の限界、エマージングナノデバイスの進化、AI技術の台頭など、困難やその打開を表現するキーワードは沢山あります。

私は、半導体の『技術』改革において、重要な役割を果たすべきがVDECだと考えています。昨年はVDEC設立20周年でしたが、VDECの次の20年間の更なる発展に少しでも寄与できるよう、微力ながら尽力するつもりでございます。宜しく願い申し上げます。

栗野 皓光

本年1月に池田先生の研究室に助教として着任いたしました。これまで、トランジスタの微細化に伴う特性ばらつきや劣化に関して、シリコン測定に基づくモデル構築から、歩留まり高速計算に向けた数学的手法の開発に取り組んで参りました。集積回路産業は、日本国内で見ると斜陽産業に見られがちですが、世界で見れば未だ大きく発展の余地を残していると考えております。特に、

近年は、膨大な計算資源を背景に機械学習技術が急速に発展しており、“人工知能チップ”への要求はますます高まっていると感じております。ポスト・ムーアに向けて非ノイマン型コンピューティングが模索される中で、小回りが利く大学ならではの研究を推し進めて行く所存です。VDECスタッフとしては、FIB装置の管理とレイアウトデータの取り纏めを担当させていただきます。より快適な試作環境を提供できるように努力いたしますので、何卒宜しくお願いいたします。

退任のご挨拶

森村 浩季

2015年4月より2年間、VDECで客員教授を務めさせていただき、この度退任致しました。その間、皆様には大変お世話になりました。半導体メーカーとは少し異なり、通信キャリアの目線でありましたが、無事任期を全う出来ましたのも、皆様のご支援ご指導の賜物と感謝申し上げます。

VDECは20周年の節目を迎え、今後の新たな時代の展開に向け、過去の延長ではなく様々な改革を推し進めた2年間だったと思います。VDECユーザのニーズに対応したサービス強化、グローバル展開や国際交流の強化、産学を繋ぐ新たなスキームの検討など、新たな課題に積極的に取り組まれる先生方の熱意と努力には心から敬服いたしました。

この20年を振り返るとVDECの置かれた外部環境はまさに激変したと思います。通信キャリアの視点で見

れば、固定電話、携帯電話、インターネット、スマートフォン、クラウドサービスと収益構造が変化し、産業構造や競合他社が他業種・異分野へと変化してきています。一方で、サービスの基盤となる半導体LSI技術は、今まで以上に重要になってくることは変わらないと思います。その中核としてVDECの役割は益々に重要になると考えます。

これからの10年、20年を考えた時、あらゆる産業の垣根を越えた革新が進むと考えられます。すなわち、VDECで学んだ学生はあらゆる業界で活躍する可能性を秘めているということです。冒頭申し上げた通り、新たな取り組みを進めているVDECですが、今後も先導的な役割と活動を継続されることを強く期待いたします。

最後にVDECの各先生および協力教員の先生方の今後の一層のご発展・ご活躍を祈念し、退任の挨拶といたします。ありがとうございました。

4.4 決算報告

1. 運営費交付金

(円)

事 項	収入（予算配分）額	支 出 額	過 不 足 額
共通経費	350,849,605	313,563,671	37,285,934
研究経費	12,689,932	11,338,414	1,351,518
計	363,539,537	324,902,085	38,637,452

2. 平成 29 年度受託研究

	教員名	委託者	研究 題 目	受託金額（円）
1	浅田 邦博	国立大学法人京都大学	微細加工プラットフォーム	72,760,000
2	浅田 邦博	株式会社東芝	「集積回路向け計算機援用設計・検証ツール群」使用体制の構築	23,400,000
3	浅田 邦博	株式会社 豊通エレクトロニクス	先端集積回路の評価・解析技術高度化の研究	4,990,000
4	浅田 邦博	(研) 新エネルギー・産業技術総合開発機構	超低消費電力データ収集システムの研究	4,781,000
5	藤田 昌宏	(研) 科学技術振興機構	IoTとモバイルビッグデータ処理のための高信頼高機能サイバーフィジカルシステムの構築	29,302,000
合 計				135,233,000

3. 平成 29 年度共同研究

	教員名	申 込 者	研究 課 題	受託金額（円）
1	高宮 真	株式会社村田製作所	細粒度プロセッサ内蔵電源（IVR）の研究	6,128,000
2	栗野 皓光	株式会社日立製作所研究開発グループテクノロジーイノベーション統括本部	非ノイマン型プロセッサ技術の研究	1,000,000
3	浅田 邦博	株式会社アドバンテスト	先端LSI開発環境・テスト技術（平成29年度）	10,000,000
4	浅田 邦博	株式会社アドバンテスト	ナノギャップ電極と流路の集積化によるセンサ素子の研究	5,000,000
5	池田 誠	M2 Factory Vietnam Government Information Security Commission	Design and Implementation of a prototype MCU 32 bit for VGISC	5,832,000
合 計				27,960,000

4. 平成 29 年度寄附金

受入件数：5件 受入額計 182,000,000円

(故 武田珠子様、株式会社アドバンテスト、公益財団法人コニカミノルタ科学技術振興財団、太陽誘電株式会社、株式会社富士通研究所フロントテクノロジー研究所)



第5章 研究報告

5.1 全体概況

	研究室構成 人数(名)	研究発表(件)			著書(冊)	特許(件)	受賞(件)
		研究論文	国際会議	その他			
VDEC 教員	60	14	26	19	0	6	10
協力教員	76	36	77	63	0	0	9

5.2 研究室構成員（平成 29 年度）

浅田・池田・名倉・飯塚研究室構成

浅田 邦博 教授
名倉 徹 准教授
飯塚 哲也 准教授
Nguyen Ngoc Mai Khanh VDEC 助教
楊 驍 博士3年
ビヤムバドルジ ゴルボー 博士1年
伊藤 貴亮 修士2年
杉山 泰基 修士2年
鈴木 悠大 修士2年
陳 明翰 修士2年
寺尾 直樹 修士2年
屠 繼豪 修士2年
大槻 宜孝 修士1年
中里 徳彦 修士1年
松川 慧 修士1年
王 璟 修士1年
榎本 隆一 学部4年
小島 尚輝 学部4年
高橋 奈悟 学部4年
福留 環 学部4年
山崎 大輔 学部4年
吉村 英将 学部4年

藤田研究室

藤田 昌宏 教授
松本 高士 助教
Amir Masoud Gharehbaghi 特任助教
Wang Qin hao 博士3年
Wang Peikun 博士1年
木村 悠介 博士1年
岩田 健太郎 修士2年
岡本 朋大 修士2年
丸岡 大浩 修士1年
Han Xiaoran 修士1年
Le Xingming 修士1年
Wang Junbo 修士1年
Gao Ruitao 修士1年
Gu Jian 修士1年
Liu Yuhang 修士1年
Lu Qi 修士1年
合田 瑛洋 学部4年
宮坂 幸雄 学部4年

高宮研究室

高宮 真 准教授
崔 通 特任助教
邱 浩 特任研究員
本田 雅宣 博士2年
山内 善高 博士2年
宇野 祐輝 修士2年
友野 良輔 修士1年

池田研究室構成

池田 誠 教授
栗野 皓光 助教
吉川 俊之 特任研究員
久米 英司 共同研究員
荒川 文男 特任研究員
金 雄鉉 博士3年
市橋 忠之 修士2年(現在コナミ)
斎藤 僚介 修士2年
(現在ルネサスエレクトロニクス)
Vinod Gadde Vishwa 修士2年
飯塚 知希 修士1年
古賀 啓太郎 修士1年
蔡 純 修士1年
杉山 昇太郎 学部4年(現在修士1年)
武田 直嗣 学部4年(現在修士1年)
Le Van Hai 研究員
Phan Nhu Minh Quan 研究員

三田研究室構成員（平成 29 年度）

三田 吉郎 准教授
肥後 昭男 特任講師(ADVANTEST D2T)
ルブラッスール エリック 客員研究員(本務: CNRS-IIS
UMI2820 LIMMS 研究所)
ユリアックグエン 特任研究員(ナノテクノロジー・プラ
ットフォーム 技術支援担当 仏フラン
シュコムテ大学より派遣)
藤原 誠 特任研究員(ナノテクノロジー・プラ
ットフォーム 技術支援担当)
水島 彩子 学術支援専門職員(ナノテクノロジー・
プラットフォーム 技術支援担当)
太田 悦子 学術支援専門職員(ナノテクノロジー・
プラットフォーム 技術支援担当)



島本直伸 特任研究員(ナノテクノロジー・プラットフォーム代表機関 東日本方面コーディネータ)

大西廉伸 特任研究員(ナノテクノロジー・プラットフォーム代表機関 東日本方面コーディネータ)

澤村智紀 技術職員(武田先端知クリーンルーム管理室)

河井哲子 事務補佐員

渡邊かをる 学術支援職員(ナノテクノロジー・プラットフォーム事務局)

広沢公彦 学術支援職員(ナノテクノロジー・プラットフォーム 武田クリーンルーム管理室担当)

佐藤昇 学術支援職員(ナノテクノロジー・プラットフォーム 新川崎担当)

鳴海弥生 技術補佐員(ナノテクノロジー・プラットフォーム 環境整備担当 平成29年9月～30年2月)

佐藤善亨 工学系共同研究員(ナノックスジャパン)

高田晃広 VDEC 共同研究員(アドバンテスト)

瀧澤昌弘 VDEC 共同研究員(アドバンテスト)

中山雄太 工学系共同研究員(コニカミノルタ)

宇佐美尚人 博士2年

Ranga Reddy 博士2年

岡本有貴 博士1年

竹城雄大 修士2年(現在 ヤマハ)

山田健太郎 修士1年

稲垣俊典 学部4年(修士1年)

栗山大成 学部4年(修士1年)

Xavier Hurtaud VDEC インターンシップ生(仏 INP-Grenoble)

高木・竹中研究室構成

高木 信一 教授

竹中 充 准教授

フレデリック プフ (外国人特別研究者)

加藤 公彦 (特任研究員)

黄 博勤 (外国人特別研究者)

山口 大志 (研究員)

何 鐘培 (研究員)

金 佑疆 博士3年(工学系)

後藤 高寛 博士3年(工学系)

柯 夢南 博士2年(工学系)

斐 泰彦 博士2年(工学系)

安 大煥 博士2年(工学系)

曹 光元 博士1年(工学系)

李 強 博士1年(工学系)

尹 尚希 博士1年(工学系)

斐 泰彦 博士1年(工学系)

林 澈敏 博士1年(工学系)

遠藤 清 修士2年(工学系)

関根 尚希 修士2年(工学系)

山口 夕貴 修士2年(工学系)

李 宗恩 修士2年(工学系)

程 鵬遠 修士1年(工学系)

趙 子強 修士1年(工学系)

高口 遼太郎 修士1年(工学系)

藤垣 匠 修士1年(工学系)

山下 真史 修士1年(工学系)

横山 千晶 修士1年(工学系)

王 子龍 修士1年(工学系)

呂 東晟 修士1年(工学系)

湯 涵智 修士1年(工学系)

三條 嵩明 学部4年(工学部)

隅田 圭 学部4年(工学部)

田口 富隆 学部4年(工学部)

福井 太一郎 学部4年(工学部)

5.3 研究概要

浅田・名倉・飯塚研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

極微細プロセス技術における集積回路のテストと信頼性の向上

浅田邦博, 名倉 徹, 飯塚哲也, 寺尾直樹

半導体集積回路のテストにおいて、テスト装置と実機の電源インピーダンスは一般に異なる。そのため、テスト環境における回路動作時の電源電圧変動の波形が実機のものとは異なり、オーバーキルやアンダーキルを引き起こす。そこで、テスト装置の電源に電流補償を行うことにより、任意の電源インピーダンスを模擬できるテスト手法を提案した。実証実験の結果、電流補償によりテスト装置の電源電圧変動波形を実機のものに一致させることに成功し、電源インピーダンスが模擬できたことが確認された。

フィードバックを用いた独自のデジタルフィルタ設計手法の考案により、任意のインピーダンスネットワークを模擬することができる他、行列演算を用いてマルチドメイン電源にも対応できるように拡張した。

さらに、仮想的なテスト装置を作成し、50個の実デバイスに対して実際に試験を行い、本手法を適用した際にオーバーキル・アンダーキルの個数が削減されたことを確認した。

時間領域制御を用いた PLL・LDO 回路

浅田邦博, 名倉 徹, 飯塚哲也, 屠 継豪, 王 璟, 小島尚輝, 吉村英将

時間領域制御を用いた Phase Locked Loop (PLL) 回路に関する研究に取り組んだ。本研究では Pulse-Width PLL (PWPLL) の製造ばらつき耐性を向上させるため、発振器のリング段数を制御する手法とリングの負荷容量を制御する手法を提案した。また、PWPLL の仕様として出力周波数範囲と分周率、PVT ばらつきの範囲を入力し、面積、消費電力、ジッタとチャンネル長との関係について分析することで、作成したテーブルの中から適切なパフォーマンスを持ち、所望の周波数範囲内でロックする PWPLL を合成し、そのレイアウトと特性を出力する手法を提案した。

さらに、デジタル PLL 内の Digital Controlled Oscillator (DCO) についてスタンダードセルのみを用いて仕様から GDS を自動生成する技術も開発した。ここでは、C 言語によるプログラムを用いて、SPICE による DCO 性能のシミュレーションを自動で行い、

入力された性能から自動で DCO 回路の適切なパラメータを探し出し、自動でレイアウトを作成した。

また、今日用いられる LDO (Low Dropout) レギュレータには、手間と時間のかかるアナログ設計が必要とされ、それが回路設計におけるボトルネックとなっている。本研究では、アナログ設計による負担を解消するため、デジタル設計に用いられる自動配置配線ツールを用いて LDO を構成する試みに取り組んだ。従来の LDO では、誤差検出用アンプやコンパレータなど、リファレンスと出力を比較する部分にアナログ設計が多く必要とされる。本研究の提案回路では、2つのインバータチェーンと位相検出器を用いて、電圧の差をインバータチェーンの遅延差として検出する。この比較部は全てスタンダードセルで用いて構成され、これにより回路全体が自動配置配線ツールにより構成可能となる。この提案回路を設計試作したのち測定を行い、負荷電流やリファレンスの変動に対する追従性を確認した。

時間領域制御を用いた CDR・TDC 回路

浅田邦博, 名倉 徹, 飯塚哲也, 陳 明翰, 榎本隆一
デジタル回路がプロセス微細化の恩恵を受ける一方、アナログ回路は電圧ヘッドルームの減少などといった負の影響を被っている。時間領域回路ではデジタル信号のエッジ遷移によってアナログ信号を表現するので、微細プロセスにおけるアナログ回路の問題の解決策となりうる。

時間領域回路の代表例として時間デジタル変換器がある。時間デジタル変換器は素子の持つ伝搬遅延時間を利用して2つの立ち上がり信号の持つ時間差をデジタル信号に変換する回路であり、本研究ではゲート遅延以下の高分解能を達成する方式の1つであるパルス縮小型時間デジタル変換器に注目した。一般に、時間デジタル変換器では分解能と入力範囲との間にトレードオフが存在し、特にパルス縮小型時間デジタル変換器においてはそれが顕著である。これに対し前年は階層化構造により高分解能かつ入力範囲を広げた時間デジタル変換器を試作したが、実際に測定したところプロセスばらつきによる非線形性が大きいことが分かった。そこで本年はモンテカルロシミュレーションにより、プロセスばらつきがパルス縮小型時間デジタル変換器に与える影響を検討し、対策を施したチップを試作した。

時間デジタル変換器には様々な応用があり、Cycle Lock Gated Oscillator (CLGO) を利用したク

ロックデータ再生回路（CDR回路）もその一つである。このCDR回路は、待機状態でダイナミック電力を消費せず、かつ4ビットのプリアンプルで高速に起動することが出来るため、通信状態の消費電力だけでなく、待機状態での消費電力や待機状態からの復帰速度も重要となってくる。センサーネットワークやモバイル機器といった、間欠的にシリアル通信を行うようなシステムの消費電力削減に効果的である。本研究では、データレートの向上や消費電力削減を目指し、遅延制御バッファとバーニア型TDCを用いたCDR回路を提案し、試作チップにて遅延制御バッファの遅延制御や線形性、デジタル制御器によるフィードバック制御などを確認できたが、バーニア型TDCに時間方向のずれの問題があり、その対策として基準点を外部から制御できるバーニア型TDCを考案した。

半導体フォトダイオードを用いた放射線検出器

浅田邦博, 名倉 徹, 飯塚哲也, 楊 驍

近年注目されているシンチレーション検出器は、放射線核種の特定期間や到来角の推定などもでき、様々な分野に応用されている。先行研究はシンチレータ、SPAD (Single Photon Avalanche Diode) アレイ、マルチコート材料、ピンホールで構成された検出器を提案し、シンチレータ内点光源位置を推定する手法を検証しました。我々はブレイクダウンするSPAD位置から光子の運動軌跡を計算することによって光源位置を推定する手法を提案し、この手法が先行研究より少ない時間で光源位置を検出できる。シミュレーションの結果より、1 mmサイズのシンチレータ内に10 μm -20 μm の空間分解能を達成でき、0.3秒以内に検出することができる。

SPAD イメージャについて、標準CMOSプロセスを用いて、SPADに適している構造を確認できた。また、提案した降伏画像の高速抽出アーキテクチャを用いて、イベント検出器31×31イメージャを試作した。短時間微弱な光を検出できることも実測で確認した。

誘電体導波路通信に向けた高周波回路設計

浅田邦博, 名倉 徹, 飯塚哲也,

Nguyen Ngoc Mai-Khanh, 大槻宜孝, 山崎大輔

近年ミリ波帯を用いて広い帯域を利用した高速通信の研究が盛んに行われ、通信速度を維持しながらも低コストかつ通信距離を拡大する方法としてポリマーなどの誘電体材料を導波路として用いて有線通信を行う方式が提案され研究の幅を広げている。

誘電体導波路通信は、通信に用いる周波数が低いと導波路の曲折した部分で信号が外部に漏洩してしまう

という特徴を持つ。したがって高周波発振器が必要となり、本研究では140 GHzで発振し、かつ低位相雑音となる発振器を検討し、さらに伝送線路や測定用パッドの設計も行った。

また、誘電体導波路は金属導波管よりも重量、価格の面で優れているが、損失が大きいため低損失なオンチップ結合器が必要となる。本研究では誘電体導波路に用いる低損失オンチップ結合器の設計を行った。オンチップ結合器による電気-電磁波変換損失の主な原因の一つは基板に生じる渦電流によって電力の一部が熱に変換されてしまうことである。そのため、チップ裏面の基板を除去することで渦電流を抑制し、変換時の損失を小さくする方法を提案した。この低損失実装手法をシミュレーションにより検証を行い、また検証用のチップの設計試作を行った。

高信頼 LSI のための設計・解析手法

浅田邦博, 名倉 徹, 飯塚哲也,

Nguyen Ngoc Mai-Khanh, 中里徳彦, 高橋奈悟, 福留 環

高い信頼性が要求される集積回路システムにおいては、回路全体に安定した電源電圧を供給するための高品質な電源網の設計が必須となっている。本研究では、集積回路の表面磁界から電源網に流れる電流を推定することで、電源網における電流分布を可視化し、電流集中や電源網の不良箇所等の診断を行う手法を提案する。本手法を用いることで、高い信頼性が求められる集積回路に対して電源網の信頼性の評価を低コストで行うことができる。現段階において、試作チップの測定により、実際のチップで電源網の電流分布推定が可能であることを確認した。

また、インターネットが浸透した現代社会において、情報セキュリティは非常に重要である。本研究では、劣化現象を用いて微細トランジスタの閾値電圧を操作することにより、PUF (Physical Unclonable Function) 及びTRNG (True Random Number Generator) の信頼性を向上する手法を提案する。両回路の信頼性を向上することで、セキュリティハードウェアの小型化や低消費電力化が期待される。現段階においては、作成したSRAMに適切な劣化現象を引き起こすことにより両回路の性能を向上させることが可能であることを実測により確認している。

半導体プロセスの微細化による回路の性能向上にともない、有線通信の速度は向上している。またテレビの高解像度化や自動車の電装化によりアプリケーションに必要なデータレートも向上している。技術・需要の両面から通信を高速化する必要があるが、それを妨げる要因の1つとなっているのが、クロストークであ

る。クロストークの対策として、先行研究では受信端でクロストークを軽減する回路が提案されていた。本研究ではその回路を元にPD制御回路や時間遅延素子を導入した回路を提案した。シミュレーションを用いて、その回路がより効果的なクロストーク軽減ができる可能性があることを示した。

高精度アナログ-デジタル変換回路

浅田邦博, 名倉 徹, 飯塚哲也, 伊藤貴亮, 杉山泰基
Analog-to-Digital Converter (ADC) はアナログ信号をデジタル信号に変換する回路である。

生体センシングやセンサーネットワーク, 音声処理などの分野では低消費電力, 高精度なADCが用いられている。本研究では高い電力効率を実現しやすい構成である逐次比較型ADCを用いて変換精度と電力効率の両立を目指す。一般的に精度と消費電力にはトレードオフの関係が存在するが, 比較器に実装したノイズ調整機能と高分解能実現に向けた冗長ビットを用いる技術を組み合わせることで消費電力の最適化を行っている。これまでの研究ではシミュレーションにて提案手法の有効性を確認しており, 現在は試作した回路を用いてその性能を検証している。

また, レベルクロス検出手法にもとづくADCでは電圧ではなく時間を量子化する。クロック周波数を2倍としたとき, 通常のADCではSNRが3 dB改善するのに対して, レベルクロス検出手法にもとづくADCでは6 dB改善することが知られており, 微細化により向上した時間分解能の恩恵をより享受できる。一方で, 分解能向上のために複数の比較器を並列駆動する統計的コンパレータが提案されている。統計的コンパレータでは, 小さなコンパレータを複数並べることで, プロセス微細化によりその影響が大きくなっているオフセットやノイズによる統計的性質を活用し精度向上を達成する。プロセス微細化による性能向上を期待でき, プロセスばらつきを前提としているためにデジタル設計と相性がよく, プロセス移行や再設計が容易であるという利点がある。我々は, 統計的コンパレータを用いたレベルクロス時刻推定手法の精度について定式化を行い, その解析を行った。コンパレータ全体が同じ面積を占める場合, 統計的コンパレータを用いたレベルクロス検出は, 単一のコンパレータを用いた場合に比べて検出精度が向上することを示した。また, 試作したチップにより解析結果の検証を行った。

藤田研究室

(<http://www.cad.t.u-tokyo.ac.jp/>)

ECO 時の自動論理修正手法

藤田昌宏, ガラバギアミルマスード, 木村悠介,
Peikun WANG, 宮坂幸夫, 岩田健太郎, Xingming LE,
Xiaoran HAN

ECOによって必要となる論理修正では, ゲートの接続だけでなくゲート自体の論理の変更も必要になる。本研究では, もとの仕様の一部分を変更するような難しいECOでも利用可能な効率的な修正手法を提案した。ITC99ベンチマーク回路を使った実験では, 上述の状況でも数十回のSAT問題を解くことによって正しい修正を行えることを示した。

また近似論理合成への応用手法も示した。更に手法を拡張して複数バグを扱えるようにし, ICCAD2017プログラミングコンテストでは我々のプログラム(“Resource-aware Patch Generation”, DEPAG)が38チーム中3位の成績を収めた。

従来と異なる故障モデルに対する効率的なテストパターン生成

藤田昌宏, ガラバギアミルマスード, Peikun WANG
従来のテストパターン合成(ATPG)手法である単一縮退故障モデルを用いる方法では, 現在のLSIチップにおける様々な故障を効率的に検出することは難しい。そこで, 多数縮退故障モデルやブリッジ故障モデルのような, 従来とは異なるモデルに対する効率的なATPG手法が必要とされている。本稿では, 2つの縮退故障のモデルの効率的なテストパターン合成手法ならびにブリッジ故障を検出するための新たなアプローチを提案した。また, ISCASのベンチマークを利用した実験を通して, 大きなベンチマークでも平均的に数回SAT問題を解くことで故障を検出できることを示した。

電氣的バグのポストシリコンデバッグ

藤田昌宏, ガラバギアミルマスード, 岩田健太郎

電氣的バグのデバッグはポストシリコンデバッグの中で重要な分野である。電氣的バグのデバッグは, 回路の複雑なレイアウトやネットリストに依存し, また作業負荷や外部環境の影響も受けるため, 難しい課題となっている。本研究では, トレースバッファを用いてこの課題に取り組んだ。トレースバッファは, その記録をたどることで, エラーが発生した時にエラーの場所と時間を特定することができる。このような電氣的バグのデバッグはSAT問題として定式化すること

WGC
ができ、我々はそれを基にしたデバッグ手法を提案する。また、論理的バグに対するトレース信号の選択では、SSR (Signal Restoration Ratio) を最大化するという方法が一般に用いられている。しかし本研究によって、電氣的バグに対しては、SSRを最大化する方法はランダムにトレース信号を選択する方法と同程度の性能しか持たず、一方で、電氣的バグによるビット反転の伝搬を考慮してトレース信号を選択する方法が効果的であるということが明らかになった。

テンプレートをを用いた部分高位合成手法

藤田昌宏, ガラバギアミルマスード, 木村悠介,
Qinhao WANG

この研究では、テンプレートをもとにC言語記述を生成する方法を提案した。

この手法は修正されたRTL記述からC言語記述を生成するために利用できる。具体的には、ECO適用前のC言語記述の一部を変化させることを繰り返すことで、ECO後の論理と等価になるようなC言語記述を得ることができる。

さらに本手法を応用し、HWアクセラレータに最適化されていないプログラムを、最適化されたプログラムに再合成することが可能であることも示した。

FPGA を用いたニューラルネットワークシミュレーション高速化

藤田昌宏, ガラバギアミルマスード, 岡本朋大

大規模ニューラルネットワークの実装は通常1つのFPGAチップ上で行うことができないため、複数のFPGAチップを接続し利用する必要がある。この研究では、リングトポロジーとして互いに接続された複数のFPGA上でスパイクニューラルネットワークの効率的な分割計算を行う手法を導入した。その結果、8個のFPGAチップを用いて6144 (8x768) ニューロンのシミュレーションが実行可能であることが示された。

近接通信を行う FPGA への設計自動化

藤田昌宏, ガラバギアミルマスード, 丸岡大浩

この研究では、隣接するブロックとのみ通信を行う特別なプログラマブルロジック (FPGA) への設計自動化技術を提案している。プログラマブルロジックへの配置配線問題を整数線形計画問題として立式し、解探索を高速化するために発見的手法を導入した。その結果、ベンチマーク回路であるISCASの中規模の回路に対して効率的な配置配線が実用的な時間内で可能であることが示された。

高宮研究室

(<http://icdesign.iis.u-tokyo.ac.jp/>)

IoT ノード向けのエネルギーハーベスティング、無線給電、DC-DC コンバータ

高宮 真, 桜井貴康

設置後は電池交換不要で永久に動作するIoTノードを実現するためには、エネルギーを環境から取り出すエネルギーハーベスティングや無線給電と、それに伴う電圧変換回路 (DC-DC コンバータ) が必要とされます。未来のIoTノードの方向性を探索する研究として、ヒューマン・コンピュータ・インタラクションと集積パワーマネジメントの異分野連携により、超音波集束ビームを用いて空中浮遊・移動する直径4ミリメートルの極小LED光源を開発しました。無線給電を使用した電池の不要化と、LED点灯に必要な無線給電受信回路の専用IC化の2点を工夫したことで小型・軽量化を実現し、超音波による微弱な力でも浮き上がらせることに成功しました。極小LED光源の空間中の移動と点灯・消灯はコンピュータから無線で制御でき、将来は手で触れる空中ディスプレイ向けの発光画素への応用が期待されます。

パワートランジスタ (IGBT) 駆動用波形制御プログラマブルゲートドライバ

高宮 真, 桜井貴康

パワーエレクトロニクスとLSIの異分野連携により、IGBTのゲート駆動電流をデジタルインタフェースで変えられるプログラマブルゲートドライバICを開発しました。IGBTのスイッチング過程におけるゲート電圧波形を最適に動的制御することにより、スイッチング時の損失低減とスイッチングノイズ低減を両立することができました。

マイクロプロセッサの高エネルギー効率動作に向けたオンチップ電源回路

高宮 真, 桜井貴康

メニーコアのマイクロプロセッサを高性能かつ低消費電力に動作させるためには、要求性能に応じてコア毎に最適な電源電圧を供給することがキー技術となります。マイクロプロセッサ上のコア数は増加する一方ですので、必要な電源電圧の種類も増加しますが、マイクロプロセッサ外部に多数個のDC-DCコンバータを設置して多種類の電源電圧を供給することはサイズの観点で困難です。そこで、マイクロプロセッサのチップ上に搭載できる超小型のオンチップ電源回路が必要

とされています。そこで本研究では、チップコンデンサ (MLCC) を LSI 上に直接実装した高効率で電力密度の高いスイッチトキャパシタ DC-DC コンバータを開発しました。

池田研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

高性能暗号エンジンの実現

池田 誠, 栗野皓光, 杉山昇太郎, 斎藤僚介, 荒川文男

楕円曲線暗号に基づく公開鍵暗号は、自動車から末端のセンサノードに至るまで幅広い応用が考えられており、暗号エンジンに求められる性能も多様化している。例えば、車車間通信では極低遅延での署名生成・検証が求められているため、楕円曲線暗号のハードウェア実装による高速化が重要視されている。そこで、楕円曲線暗号で多用されるスカラー倍算と呼ばれる演算を高速に実行可能なプロセッサを設計・試作した。モンゴメリ乗算器をパイプライン状に配置することで、従来実装と比較して面積あたりのスループットを 1.6 倍に高めた。試作チップは署名を 31.3us で生成でき、車車間通信に十分適応可能な性能を達成した。一方、センサノードへの公開鍵実装では、使えるハードウェア資源に限られることから可能な限り小面積な実装が求められている。そこで、基数の低い乗算器を用い、また、アルゴリズムを精査して一時変数を極力削減することで、小面積化を目指した。

高機能暗号エンジンの検討

池田 誠, 栗野皓光, 市橋忠之, 古賀啓太郎, 蔡 純
情報の暗号化に留まらず、暗号文の検索や統計処理といった機能性を有する高機能暗号と、耐量子暗号として注目されている格子暗号のハードウェア実装に取り組んでいる。高機能暗号の核を成すペアリング演算は非常に計算量が大きく、最先端のプロセッサを用いたソフトウェア実装でも 240us 程度の時間が掛かっていた。そこで、ペアリングの計算アルゴリズムを精査し、同時に、専用ハードウェアを設計することで、ペアリングの演算時間を 40us 程度に短縮出来ることを示した。また、加法準同型暗号の一種である Paillier 暗号が生体認証で広く用いられていることに着目し、その効率的なハードウェア実装に関する検討も進めている。一方、量子計算機の実現を見据え、耐量子暗号の一種

である格子暗号の高速化にも取り組んでおり、数論変換器の並列度・ハードウェア規模に関する基礎検討を行い、評価チップを試作した。今後は、乱数生成器を含めた暗号エンジン全体での最適化を進めていく。

深層学習を用いた Double-Arbitrator PUF の攻撃耐性評価

池田 誠, 栗野皓光, 飯塚知希

低コストかつ安全な機器認証を実現できる手法として近年注目されている PUF (Physically Unclonable Function) において、モデリング攻撃を受けた際の脆弱性について評価した。数ある PUF の中でもモデリング攻撃に耐性があるとされる Double-Arbitrator PUF に対し、最新の深層学習手法を用いたモデリング攻撃を行った結果、約 43 億通りあるチャレンジ・レスポンス対のうち、僅か 0.002 % を学習させるだけで、未知のチャレンジに対するレスポンスを 88.4 % の精度で予測できることを明らかにした。これは既存の攻撃手法を 21.1 % 上回る精度であり、PUF の認証スキームを設計する上で、機械学習技術の急速な発展を考慮する重要性を明らかにした。

テラヘルツ帯ビデオイメージングに向けた微弱信号の読み出し回路

池田 誠, 栗野皓光, 吉川俊之, 久米英司

テラヘルツ帯ビデオイメージングデバイスにおいて、InAs MOS-HEMT により検波された微小信号をデジタル信号へ変換しデバイスの外部へ読み出すための回路 (ROIC) を設計した。180 nm CMOS プロセスにおいて試作されたチップには、 8×7 の ROIC アレイが集積されており、三次元積層によって検波器と接続される。各 ROIC は、低雑音増幅器とロックインアンプ、 $\Delta \Sigma$ 変調器とデジタルフィルタからなる $\Delta \Sigma$ アナログデジタル変換器を有しており、検波器の感度を校正するためのデジタルアナログ変換器が各 ROIC に隣接して実装されている。各種制御パラメータや測定値の通信はオンチップ SPI コントローラを介して、シリアル伝送される。現在は、試作チップの回路ブロック単位での評価を進めており、今後は検波器を積層し、イメージング機能の検証を進めていく。

スマートイメージセンサを用いた高機能計測手法とセキュアセンシング

池田 誠, 栗野皓光, 金雄鉉, Vinod Gadde Vishwa, 武田直嗣

イメージセンサに情報処理機能を統合したスマートイメージセンサに基づく高機能計測とセキュアセンシ

ングの実現に取り組んでいる。高機能計測では、変調光投影に基づき背景光除去機能を有する3次元形状センサと、ワイヤグリッド偏光子を用いた鏡面反射検出機能を有するイメージセンサを提案し、回路実装・評価を進めている。セキュアセンシングでは、A/D変換器に暗号化機能を統合し、チップ外部への平文漏洩を抑えることで、より強固なセキュリティを実現できる回路方式を検討・試作評価している。

三田研究室

(<http://www.if.t.u-tokyo.ac.jp>)

Programmable Matter プロジェクト - エネルギー自立分散マイクロシステムによる形状可変体

三田吉郎, 宇佐美尚人, ユリアック グェン, エリック ルブラスール (CNRS LIMMS 研究所), ジュリアン ブルジョワ (仏 FEMTO-ST 研究所), ブノワ ピランダ (仏 FEMTO-ST 研究所), ステファン ドラランド (仏 PSA-Peugeot)

集積化MEMS (微小電気機械システム) のトップダウンアプリケーションとして、自立マイクロシステムの研究を行っている。「大きさ1cm以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。2016年度より、集積化マイクロメカトロニクス研究室 (東京大学生産技術研究所 LIMMS, CNRS-IIS, UMI 2820) Host Professor の立場でフランス共和国国立研究エージェンシー (ANR) の助成を得て、仏 FEMTO-ST 研究所と PSA-Peugeot との産学共同で「組み合わせにより集合の形状変化が可能な自律マイクロロボット Programmable Matter」の研究を開始している。特に、水中で自立泳動するマイクロシステムの実現と背景物理の理解に研究目標を定めている。

電子線リソグラフィと MEMS プロセスによる微細電極構造のトップダウン作製手法の研究

三田吉郎, 竹城雄大, 鷺津信栄 (アドバンテスト), 高田晃広 (アドバンテスト), 藤原 誠, 澤村智紀, 池野理門, 浅田邦博

電極構造の微細化によるセンサ素子の更なる高感度化、高機能化を目指し、電子線リソグラフィと MEMS 加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる。VDEC に平成25年に新規導入された高速大面積電子線描画

装置 F7000S-VD02 の持つ高ドース対応性、セル (キャラクタ) プロジェクション方式による鮮明なエッジを利用する。100 nm を切るサイズの微細ギャップを持った電極の作製を試みているほか、マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御にも取り組んでいる。

CMOS-VLSI の MEMS 後加工による高機能システムの産学連携研究

三田吉郎, 稲垣俊典, 栗山大成, 中山雄太 (コニカミノルタ), 佐藤善亨 (ナノックスジャパン)

VDEC を通じて試作した VLSI ウエーハを、武田先端知ビルスーパークリーンルームやその他のクリーンルームにおいて後加工することによって新規センサデバイスを製作、評価する研究を行っている。後加工に関する知見として、トランジスタが作製された直後 (配線前) のウエーハ引き渡しを受け、熱工程を伴う後加工プロセス (成膜, インプラ, ドライブイン) を施してもトランジスタ特性の劣化はそれほど進行しないこと、VLSI をあらかじめ Silicon-on-Insulator (SOI) 基板の上に配置した構造を MEMS 後加工できることなどが分かっている。共同研究開発する素子の種類は共同研究先との相談により様々だが、作製テクノロジーは共通のものを利用できるところが産業的に重要である。数多くの企業の興味を引き、各社との共同研究ベースで電子デバイスの試作が進んでいる。

集積化 MEMS による LSI ホットスポットアクティブ冷却システムの研究

三田吉郎, 岡本有貴, 藤本興治 (東工大), 良尊博之 (東工大), 大場隆之 (東工大)

特定の回路ブロックの発熱がパッシブな放熱機構の限界を超えることで局所的に生ずる高温部分「ホットスポット」が高集積 VLSI の高速動作を妨げる物理要因として注目されている。冷却用液体を対流させて熱を引き抜くアクティブ冷却システムを研究している。シリコンウエーハ上に抵抗発熱体と温度計素子、回路を集積したテスト構造を作製し、熱を面外方向に引き抜くことで冷却効率が向上することを実験的に示すとともに、数式を用いたモデリング、有限要素法シミュレーションの両方で裏付け検証を行った。

レーザー直接パターニングの寸法精度を評価するテスト構造

三田吉郎, 宇佐美尚人, 肥後昭男, 水島彩子,
岡本有貴

UVレーザー等を利用した直接パターニングは, リソグラフィを原理的に不要とするため究極の短い Turn Around Time (TAT) 作製技術となる可能性がある. 同技術をマイクロマシーニング (10ミクロンを切る構造体の試作) へ展開するためには, 寸法の偏差やランダム誤差を測定し系統的に議論する必要がある. 試作された構造の電気的特性から, 設計寸法と実寸法の偏差を導出するためのテスト構造を試作し, 実際に透明電極 (ITO) の加工に適用して, 1 μm 解像度で偏差が議論できることを示した.

ゼオライト・エレクトロニクス・ナノストラクチャ (ZEN) による集積化ケミカルセンサ

三田吉郎, 山田健太郎, 岡本有貴,
マチュー ドヌアル (仏 ENSI カーン校),
ティクシエ三田アニエス, エリック ルプラスール,
フセイン アワラ (仏 ENSI カーン校),
ジュリアン グラン (仏 ENSI カーン校),
スベルタナ ミントヴァ (仏 ENSI カーン校)

VLSIと集積化したコンパクトなマイクロデバイスによって人間の持つ感覚器官では検出不可能な領域の物理・化学量を測定することは, MEMSの持つ大いなるポテンシャルの応用分野の一つである. 本研究グループは長年この課題に取り組んでおり, 2015年度より日本学術振興会 (JSPS) ーフランス科学研究センター (CNRS) の二国間研究交流事業に採択され, VLSIにとっては異種材料であるゼオライトを集積化し, さらにMEMS後加工を施すことによって, 化学物質を検知するCMOS-MEMSデバイスの研究を行った. デバイスとして入力した熱エネルギーによる温度上昇速度の雰囲気化学物質濃度に応じた変調によって検出するタイプの2種類のMEMSデバイスを論文発表するとともに, ゼオライトの埋め込みの機械的強度を定量的に評価した.

LSI 一体集積を指向したコロイドドット材料集積化シリコン赤外線受光器

肥後昭男, Wang Haibin, 久保貴哉, 宇佐美尚人,
岡本有貴, 山田健太郎, 瀬川浩司, 杉山正和,
三田吉郎

コロイド量子ドットを用いた電子デバイスは発色デバイスや太陽電池などの分野で研究・実用化が進

んでいる. センサ分野での研究開発は遅れているが, 1.35 μm -1.4 μm 帯で感度を得られる赤外フォトダイオード集積LSIが実現できれば, 屋外使用を想定したLidarやセキュリティを始めとした新たな幅広い応用分野への展開が期待できる. 本研究では, 可視から赤外波長領域までの広帯域吸収スペクトルを分子デザインによってトップダウン設計可能なコロイド量子ドットに注目し, コロイド量子ドットをSi-LSIに集積化することで, Siの素の物性では吸収できない赤外領域に感度を持ち, かつ, 読み出し・情報処理回路が集積されたbeyond Si-LSIデバイスの実現を提案している. シリコン基板にスピコーティング法でコロイドドット素子を作製し, 吸収スペクトルの向上を示すことができた.

サイバーフィジカルシステム応用に向けた MEMS ショック共振スペクトル (SRS) センサ開発

三田吉郎, R Ranga Reddy, 宇佐美尚人

VDECの研究室が共同して, インドIITボンベイ校との共同研究プロジェクトを立ち上げている. 当研究室ではサイバーフィジカルシステムのセンサ応用例として, 2014年度まで先行研究を行っていたショック共振スペクトルセンサ (SRS) を取り上げ, 作製法の再習得を行った. 特筆する成果として, 電気的入力信号で組み込みアクチュエータを制御することによって, 静的・動的摩擦係数を取得できるテスト構造の開発に成功した.

LSI ハイブリッド集積のための LSI ポストプロセス手法の開発

三田吉郎, Xavier Hurtaud, 太田悦子,
百瀬 毅 (マテリアル工学専攻)

ナノテクノロジープラットフォームでの公開を目指した高度集積化技術を内部プロジェクトとして開発している. 超臨界状態の流体を用いた化学合成 (SCFD) により, 従来実現が困難とされていた, シリコン酸化膜で覆われた構造体中への金属薄膜の埋め込み技術について研究を行い, 成膜条件を見出すことに成功した.

III-V/Ge Metal-Oxide-Semiconductor (MOS) FET とその3次元集積化に関する研究

高木信一, 竹中 充, 金 佑彊, 柯 夢南, 曹 光元, 林 澈敏, 李 宗恩, 尹 尚希, 横山千晶, 王 子龍, 隅田 圭

高性能 III-V 族半導体 MOSFET および Ge/SiGe MOSFET を実現すると共に, これらの高移動度 MOSFET を3次元的に集積した CMOS を形成するための研究を行っている. InGaAs MOS 界面の信頼性に関し, 電気ストレスによる MOS 界面準位生成と nMOSFET の基板ホール電流との強い相関から, 界面準位生成に正孔が深く関わっていることを明らかにした. Ge MOSFET においては, 酸化濃縮を行う SiGe/SOI 基板の SiGe 膜厚を薄膜化することで, Ge-on-Insulator (GeOI) 構造中の Ge のひずみ量を大幅に増大させ, 高い正孔移動度をもつ SiGe-OI pMOSFET が実現できることを実証した.

トンネル FET に関する研究

高木信一, 竹中 充, 黄 博勤, 加藤公彦, 後藤高寛, 裴 泰彦, 安大煥, 高口遼太郎

省電力動作が可能なステープスロープトランジスタとしてトンネル FET の研究を進めている. 横型 InGaAs TFET や Ge TFET, GaAsSb/InGaAs ヘテロ接合, Ge/歪 Si ヘテロ構造, ZnO/Si, Ge ヘテロ構造を用いた TFET の研究を進めている. 特に, Ge 中に P を拡散させることで急峻な np 接合が実現でき, この接合をソース領域に用いた Ge p チャネル TFET の動作実証を行った. また, 縦型トンネリングを利用した新構造の酸化物半導体/IV 族半導体ヘテロ構造 TFET を提案し, ZnO/Si, ZnO/Ge n-TFET を作製してその動作を実証した.

強誘電体ゲート絶縁膜 MOSFET に関する研究

高木信一, 竹中 充, 加藤公彦, 遠藤 清, 福井太郎, 山口大志

強誘電体をゲート絶縁膜に用いた MOSFET の研究を行っている. ALD 法により Si 上に堆積した HfZrO₂

において強誘電性と MOSFET 動作を確認した. 一方, ALD La₂O₃ を用いた MOSFET における強誘電性ヒステリシスや S ファクターの低減を引き起こす物理的起源は, 主として La₂O₃ 中の何らかのイオンのドリフトによるものであることを見出した.

Si CMOS photonics に関する研究

竹中 充, 高木信一, フレデリック ブフ, 李 強, 趙 子強, 藤垣 匠, 呂 東晟, 田口富隆

貼り合わせを用いた MOS 型光変調器の研究を進めている. III-V 族半導体を Si 導波路に貼り合わせた Si ハイブリッド MOS 型光変調器の動作実証に成功するとともに, 変調損失も 10 分の 1 に低減可能であることを明らかにした. これにより 50 Gbps 以上の変調動作に適していることを明らかにした. また光スイッチの動作実証にも成功し, 万能光回路を用いた光深層学習応用に適していることを示した. ウェハーボンディングで作製した Ge-on-Insulator (GOI) 基板を用いた Ge 光集積回路の研究においては, 導波路下部クラッドを取り除いたサスペンド導波路構造を初めて実証することに成功した.

III-V CMOS photonics に関する研究

竹中 充, 高木信一, 関根尚希, 程 鵬遠, 三條嵩明

ウェハーボンディングで作製した III-V on Insulator 基板上に III-V MOSFET と III-V 細線導波路を一体集積する III-V CMOS フォトニクス・プラットフォームの研究を進めている. InGaAsP 空乏型光変調器の諸特性を数値計算により解析し, Si 光変調器よりも優れた変調効率が得られることを明らかにした. また熱伝導特性を改善するための III-V on SiC 構造を提唱した. 実際に作製した III-V on SiC 基板の放熱特性も改善することを実験により明らかにした.

二次元材料デバイスに関する研究

竹中充, 高木信一, 山口夕貴, 山下真史, 湯 涵智

グラフェンや二硫化モリブデンを用いた半導体デバイスの研究を進めている. グラフェンを用いた光位相変調器においては, 動作波長を中赤外光にすることで, バンド間吸収を抑制した低損失光変調が可能であることを明らかにした.

5.4 研究発表

浅田・名倉・飯塚研究室 研究論文

- [1] Kunihiro Asada, Toru Nakura, Tetsuya Iizuka, and Makoto Ikeda, "Time-Domain Approach for Analog Circuits in Deep Sub-Micron LSI," IEICE Electronics Express, vol.15, no.6, pp.1-21, Mar. 2018.
- [2] Md. Maruf Hossain, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "Optimal Design Method of Sub-Ranging ADC Based on Stochastic Comparator," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol.E101-A, no.2, pp.410-424, Feb. 2018.
- [3] Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A PLL Compiler from Specification to GDSII," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol.E100-A, no.12, pp.2741-2749, Dec. 2017.
- [4] Tomohiko Yano, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, "A Gate Delay Mismatch Tolerant Time-Mode Analog Accumulator Using a Delay Line Ring," IEICE Transactions on Electronics, vol.E100-C, no.9, pp.736-745, Sep. 2017.
- [5] Xiao Yang, Kai Xu, Tetsuya Iizuka, Toru Nakura, Hongbo Zhu, and Kunihiro Asada, "A SPAD Array Sensor based on Breakdown Pixel Extraction Architecture with Background Readout for Scintillation Detector," in Proceedings of IEEE Sensors 2017, pp.525-527, Oct. 2017.
- [6] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Shigeru Nakajima and Kunihiro Asada, "High-Sensitivity Micro-magnetic Probe for The Applications of Safety and Security," in Proceedings of IEEE International Conference on Integrated Circuits, Design, and Verification (ICDV), Oct. 2017.
- [7] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, "Impulse Signal Generator Based on Current-Mode Excitation and Transmission Line Resonator," in Proceedings of IEEE International New Circuits and Systems Conference (NEWCAS), pp.257-260, Jun. 2017.
- [8] Naoki Terao, Toru Nakura, Masahiro Ishida, Rimono Ikeno, Takashi Kusaka, Tetsuya Iizuka, and Kunihiro Asada, "Extension of Power Supply Impedance Emulation Method on ATE for Multiple Power Domain," in Proceedings of IEEE European Test Symposium (ETS), May. 2017.

国際会議論文

- [1] Masahiro Kano, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A Triangular Active Charge Injection Scheme using a Resistive Current for Resonant Power Supply Noise Suppression," in Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp.318-321, Dec. 2017.
- [2] Ryuichi Enomoto, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "An Ultra-Wide-Range Fine-Resolution Two-Step Time-to-Digital Converter with Built-In Foreground Coarse Gain Calibration," in Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp.231-234, Dec. 2017.
- [3] Takaaki Ito, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "A 40-kS/s 16-bit Non-Binary SAR ADC in 0.18 um CMOS with Noise-Tunable Comparator," in Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp.1-4, Dec. 2017.
- [4] Masamitsu Yoshizawa, Atsunori Hattori, Hiroataka Hatano, Younggun Han, Osamu Horiuchi, Yoshihisa

シンポジウム・研究会・大会等発表

- [1] 杉山泰基, 飯塚哲也, 山口隆弘, 名倉徹, 浅田邦博, "統計的コンパレータを用いたレベルクロス検出手法の性能解析," 電子情報通信学会技術研究報告, vol. 117, no.343, pp.15-20, 2017年12月.
- [2] 伊藤貴亮, 飯塚哲也, 名倉徹, 浅田邦博, "ノイズ可変比較器を用いたノンバイナリ逐次比較型アナログ-デジタル変換器の設計," 電子情報通信学会技術研究報告, vol. 117, no.343, pp.9-13, 2017年12月.
- [3] 陳明翰, 飯塚哲也, 名倉徹, 浅田邦博, "遅延制御バッファにより周波数追従範囲を拡大した高速起動完全デジタルCDR回路の設計," 電子情報通信学会技術研究報告, vol. 117, no.343, pp.3-8, 2017年12月.
- [4] 中里徳彦, 飯塚哲也, 名倉徹, 浅田邦博, "オールパスフィルタを用いた遠端クロストーク低減手法," 電子情報通信学会ソサイエティ大会論文集, C-12-10, 2017年9月.

- [5] 伊藤貴亮, 飯塚哲也, 名倉徹, 浅田邦博, “サンプルホールド回路における非線形歪みの測定手法,” 電子情報通信学会ソサイエティ大会論文集, C-12-3, 2017年9月.

藤田研究室 研究論文

- [1] Masahiro Fujita: Automatic correction of logic bugs in hardware design: Partial logic synthesis. *Procedia Computer Science* 125: 790-800 (2018)
- [2] Peikun Wang, Conrad Jinyong Moore, Amir Masoud Gharehbaghi, Masahiro Fujita: An ATPG Method for Double Stuck-At Faults by Analyzing Propagation Paths of Single Faults. *IEEE Transactions on Circuits and Systems I*. 65 (3): 1063-1074 (2018)
- [3] Toral Shah, Anzhela Matrosova, Masahiro Fujita, Virendra Singh: Multiple Stuck-at Fault Testability Analysis of ROBDD Based Combinational Circuit Design. *Journal of Electronic Testing* 34 (1): 53-65 (2018)
- [4] T. Komawaki, M. Yabuuchi, R. Kishida, J. Furuta, T. Matsumoto, K. Kobayashi: Replication of Random Telegraph Noise by Using a Physical-Based Verilog-AMS Model. *IEICE Trans. Fundamentals*, E100-A (12): 2758-2763 (2017)
- [5] Tatsuya Onuki, Wataru Uesugi, Atsuo Isobe, Yoshinori Ando, Satoru Okamoto, Kiyoshi Kato, Tri Rung Yew, JY Wu, Chi Chang Shuai, Shao Hui Wu, James Myers, Klaus Doppler, Masahiro Fujita, Shunpei Yamazaki: Embedded memory and ARM cortex-M0 core using 60-nm C-axis aligned crystalline indium-gallium-zinc oxide FET integrated with 65-nm Si CMOS. *IEEE Journal of Solid-State Circuits* 52 (4): 925-932 (2017)

国際会議

- [1] Binod Kumar, Ankit Jindal, Masahiro Fujita, Virendra Singh: Combining restorability and error detection ability for effective trace signal selection. *GLS-VLSI 2017*: 191-196
- [2] Amir Masoud Gharehbaghi ; Masahiro Fujita: A new approach for diagnosing bridging faults in logic designs. *IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2017:
- [3] Conrad J. Moore ; Peikun Wang ; Amir Masoud Gharehbaghi ; Masahiro Fujita: Test pattern generation for multiple stuck-at faults not covered by test patterns for single faults. *IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2017:
- [4] Heming Sun ; Zhengxue Cheng ; Amir Masoud

Gharehbaghi ; Shinji Kimura ; Masahiro Fujita: A low-cost approximate 32-point transform architecture. *IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2017:

- [5] Takahiko Ishizu, Shuhei Nagatsuka, Momoyo Yamaguchi, Atsuo Isobe, Yoshinori Ando, Daisuke Matsubayashi, Kiyoshi Kato, Hai Biao Yao, Chi Chang Shuai, Hung Chan Lin, J Y Wu, Masahiro Fujita, and Shunpei Yamazaki: A 140 MHz 1 Mbit 2T1C Gain-Cell Memory with 60-nm Indium-Gallium-Zinc Oxide Transistor Embedded into 65-nm CMOS Logic Process Technology. *IEEE Symposium on VLSI Circuits*, June 2017: 162-163
- [6] Binod Kumar, Kanad Basu, Ankit Jindal, Brajesh Pandey, Masahiro Fujita: A Formal Perspective on Effective Post-silicon Debug and Trace Signal Selection. *V DAT 2017*: 753-766
- [7] Nihar Hage ; Rohini Gulve ; Masahiro Fujita ; Virendra Singh: Instruction-based self-test for delay faults maximizing operating temperature. *IEEE International Symposium on On-Line Testing and Robust System Design (IOLTS)*, July 2017: 259-264
- [8] Binod Kumar ; Kanad Basu ; Masahiro Fujita ; Virendra Singh: RTL level trace signal selection and coverage estimation during post-silicon validation. *IEEE International High Level Design Validation and Test Workshop (HLDVT)*, Oct. 2017: 59-66
- [9] Masahiro Fujita: An approach to approximate computing: Logic transformations for one-minterm changes in specification. *IEEE International High Level Design Validation and Test Workshop (HLDVT)*, Oct. 2017: 91-94
- [10] Binod Kumar ; Kanad Basu ; Ankit Jindal ; Masahiro Fujita ; Improving post-silicon error detection with topological selection of trace signals. *IEEE International Conference on Very Large Scale Integration (VLSI-SoC)*, Oct. 2017:
- [11] Masahiro Fujita ; Yusuke Kimura ; Qin hao Wang: Template based synthesis for high performance computing. *IEEE International Conference on Very Large Scale Integration (VLSI-SoC)*, Oct. 2017:
- [12] Amir Masoud Gharehbaghi ; Masahiro Fujita: A new approach for constructing logic functions after ECO. *IEEE International Conference on Very Large Scale Integration (VLSI-SoC)*, Oct. 2017:
- [13] Kentaro Iwata ; Amir Masoud Gharehbaghi ; Mehdi B. Tahoori ; Masahiro Fujita: Post Silicon Debugging of Electrical Bugs Using Trace Buffers. *Asian Test Symposium (ATS)* Nov. 2017: 184-189
- [14] Shuhei Maeda, Satoru Ohshita, Kazuma Furutani, Yuto

Yakubo, Takahiko Ishizu, Tomoaki Atsumi, Yoshinori Ando, Daisuke Matsubayashi, Kiyoshi Kato, Takashi Okuda, Masahiro Fujita, Shunpei Yamazaki: A 20ns-write 45ns-read and 10 14-cycle endurance memory module composed of 60 nm crystalline oxide semiconductor transistors. ISSCC 2018: 484-486

国内学会，研究会等

- [1] 大貫達也・磯部敦生・安藤善範・岡本 悟・加藤 清・T R Yew・Chen Bin Lin・J Y Wu・Chi Chang Shuai・Shao Hui Wu・James Myers・Klaus Doppler・藤田昌宏・山崎舜平, 信学技報 vol. 117, no.9, ICD2017-17, pp.89-93, 2017年4月.
- [2] 王 勤浩・木村悠介・ガラバギアミルマスード・藤田昌宏, 「RTL設計時のECOのためのテンプレートを用いたC記述合成手法」, 信学技報, vol. 117, no.17, VLD2017-1, pp.1-6, 2017年5月
- [3] 岩田健太郎, ガラバギアミルマスード, 藤田昌宏, 「トレースバッファを使用した電氣的バグの発生箇所絞り込み手法」, システムとLSIの設計技術研究会(IPSJ-SLDM) 2017年5月
- [4] 丸岡大浩, 藤田昌宏, 「隣接するブロック間だけに配線をもつFPGAに対する配置配線手法」, システムとLSIの設計技術研究会(IPSJ-SLDM) 2017年5月
- [5] 藤田昌宏, ガラバギアミルマスード: ゲートの種類とゲート入力信号探索による論理最適化・デバッグ手法 (Logic Optimization and Debugging method Based on Input and Type Selection of a Gate). 電子情報通信学会技術研究報告信学技報 117 (274): 151-156 (2017)
- [6] 岡本朋大, 川尾太郎, 河野崇, 藤田昌宏: 複数FPGAを用いたスパイクニューラルネットワークシミュレーションの高速化 (Spiking Neural Network Simulation Accelerator Using Multiple FPGA Chips). 電子情報通信学会技術研究報告信学技報 117 (274): 157-162 (2017)

高宮研究室 研究論文

- [1] T. Someya, H. Fuketa, K. Matsunaga, H. Morimura, T. Sakurai, and M. Takamiya, "Design and Analysis of Ultra-Low Power Glitch-Free Programmable Voltage Detector Based on Multiple Voltage Copier," IEICE Transaction on Electronics, Vol.E100-C, No.4, pp.349-358, April 2017.
- [2] K. Miyazaki, S. Abe, M. Tsukuda, I. Omura, K. Wada, M. Takamiya, and T. Sakurai, "General-Purpose Clocked Gate Driver IC With Programmable 63-Level Drivability to Optimize Overshoot and Energy Loss in Switching by

a Simulated Annealing Algorithm," IEEE Transactions on Industry Applications, Vol.53, No.3, pp.2350-2357, May/June 2017.

- [3] バックジフン, 高宮真, 桜井貴康, "多段チャージトランスファを用いた電源電圧温度ばらつきにロバストな微小容量変化検出回路," 電子情報通信学会論文誌, Vol.J100-C, No.10, pp.502-509, 2017年10月. (招待論文)
- [4] S. Iguchi, T. Sakurai, and M. Takamiya, "A Low-Power CMOS Crystal Oscillator Using a Stacked-Amplifier Architecture," IEEE Journal of Solid-State Circuits, Vol.52, No.1, pp.3006-3017, Nov. 2017.
- [5] Y. Uno, H. Qiu, T. Sai, S. Iguchi, Y. Mizutani, T. Hoshi, Y. Kawahara, Y. Kakehi, and M. Takamiya, "Luciola: A Millimeter-Scale Light-Emitting Particle Moving in Mid-Air Based On Acoustic Levitation and Wireless Powering," Proceedings of the ACM on Interactive, Mobile, Wearable and Ubiquitous Technologies (IMWUT), Volume 1, Issue 4, Article No.166, 17 pages, Dec. 2017.

国際会議論文

- [1] C.-S. Wu, M. Takamiya, and T. Sakurai, "Buck Converter with Higher Than 87% Efficiency over 500nA to 20mA Load Current Range for IoT Sensor Nodes by Clocked Hysteresis Control," IEEE Custom Integrated Circuits Conference (CICC), Austin, USA, pp.1-4, April 2017.
- [2] Y. Yamauchi, T. Sai, T. Sakurai, and M. Takamiya, "Modeling of 3-Level Buck Converters in Discontinuous Conduction Mode for Stand-by Mode Power Supply," IEEE International Symposium for Circuits and Systems (ISCAS), Baltimore, USA, pp.1282-1285, May 2017.
- [3] M. Takamiya, K. Miyazaki, H. Obara, T. Sai, K. Wada, and T. Sakurai, "Power Electronics 2.0: IoT-Connected and AI-Controlled Power Electronics Operating Optimally for Each User," The Institute of Electrical Engineers of Japan, 29th International Symposium on Power Semiconductor Devices and ICs (ISPSD), Sapporo, pp.29-32, May 2017. (Invited)
- [4] T. Mannen, K. Wada, H. Obara, K. Miyazaki, M. Takamiya, and T. Sakurai, "Active Gate Control for Switching Waveform Shaping Irrespective of the Circuit Stray Inductance in a Practical Full-Bridge IGBT Inverter," IEEE Applied Power Electronics Conference and Exposition (APEC), San Antonio, USA, pp.3108-3113, March 2018.

- [1] 高宮真, “IoT・ウェアラブル機器の小型化・低電力化に向けた MHz 集積電源回路システム,” 日本能率協会 第 32 回電源システム技術シンポジウム「革新に挑む MHz 高周波スイッチング電源技術」, 幕張, 2017 年 4 月.
- [2] 呉 仲祥, 高宮 真, 桜井貴康, “Wide Load Range Buck Converter Using Clocked Hysteresis Control for IoT Sensor Nodes,” 電子情報通信学会, LSI とシステムのワークショップ, ポスターセッション学生部門, 59, 東京, 2017 年 5 月.
- [3] 高宮真, “パワエレの IoT × AI 化に向けた布石: デジタルゲートドライバと最適ゲート波形の自動探索,” 日経エレクトロニクス NE パワエレサミット 2017 NE パワエレアワード 2017 贈賞式, 東京, 2017 年 12 月.
- [4] 宇野祐輝, 邱浩, 崔通, 井口俊太, 水谷陽太, 星貴之, 川原圭博, 寛康明, 高宮真, “Luciola(源氏螢): 超音波で空中移動し無線給電で動作する超小型発光粒子,” 電子情報通信学会, 信学技報, ICD2017-63, pp.63-68, 石垣島, 2017 年 12 月.
- [5] 小野寺尚人, 染谷晃基, イスラムマーフズル, 松永賢一, 森村浩季, 高宮真, 桜井貴康, “可変キャパシタを用いた自動 LC 共振最適化機能を有する RF エネルギーハーベスティング回路の設計と評価,” 電子情報通信学会, 信学技報, ICD2017-85, pp.139-139, 石垣島, 2017 年 12 月.
- [6] 高宮真, “皮膚密着型のフレキシブルセンサを用いたウェアラブルデバイス,” 次世代センサ協議会第 77 回次世代センサセミナーシリーズ「プリント技術が拓くフレキシブルセンサ」, 東京, 2018 年 2 月.
- [7] 羅揚, 宮崎耕太郎, Mahfuzul Islam, 高宮真, 桜井貴康, “ゲート電圧波形の解析によるパワーデバイスの異常検知の検討,” 電子情報通信学会総合大会, A-3-2, 東京, 2018 年 3 月.
- [8] 加賀谷司, 宮崎耕太郎, 高宮真, 桜井貴康, “パワーエレクトロニクス向けアイソレータ回路の EMI 耐性向上,” 電子情報通信学会総合大会, B-4-37, 東京, 2018 年 3 月.

- [3] A. Mohanty, K. Sutaria, H. Awano, T. Sato, Y. Cao, “RTN in Scaled Transistors for On-Chip Random Seed Generation,” IEEE Transactions on Very Large Scale Integration Systems, Vol. 25, No. 8, pp. 2248-2257, Aug. 2017
- [4] I. Aihara, P. Bishop, M. Ohmer, H. Awano, T. Mizumoto, H. Okuno, P. Narins, J.-M. Hero, “Visualizing Phonotactic Behavior of Female Frogs in Darkness,” Scientific Reports, 7:10539, Sept. 2017
- [5] H. Awano, T. Sato, “Efficient Aging-Aware Failure Probability Estimation Using Augmented Reliability and Subset Simulation,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E100-A, No.12, pp.2807-2815, Dec. 2017.
- [6] K. Asada, T. Nakura, T. Iizuka, and M. Ikeda, “Time-domain approach for analog circuits in deep sub-micron LSI,” IEICE Electronics Express, V. 15, No. 6, pp. 1-21, March 2018.
- [7] M. Ikeda and K. Chang, “Introduction to the Special Issue on the 2017 Symposium on VLSI Circuits,” in IEEE Journal of Solid-State Circuits, vol. 53, no. 4, pp. 965-967, April 2018.

国際会議

- [1] S. Harada, M. Kozuma, H. Inoue, T. Aoki, Y. Okamoto, Y. Kurokawa, T. Ikeda, X.Y. Jia, T-C Kao, H.-C. Lin, S.H. Wu, M. Ikeda, and S. Yamazaki, “An Oxide - Semiconductor (OS) Technology - Based Display Controller Suitable for an OS Display Comprising a Non - Volatile Scan Register for Display - Parameter Setting,” SID 2017, V. 48, No. 1, pp. 1412-1415, May 2017.
- [2] Y. Kurokawa, H. Kunitake, S. Harada, F. Akasawa, Y. Okamoto, T. Nakagawa, T. Aoki, S. Yoneda, H. Inoue, M. Kozuma, T. Ikeda, H.B. Yao, C.C. Shuai, H.C. Lin, S.H. Wu, M. Ikeda, and S. Yamazaki, “Low - Power Oxide - Semiconductor Display System,” SID 2017, V. 48, No. 1, pp. 200, May 2017.
- [3] F. Arakawa, M. Ikeda, T. Matsumoto, “Cipher IP for IoT Devices,” The 17th International Forum on MPSoC for software-defined hardware (MPSoC 2017), Session 14, July 2017, Annecy, France.
- [4] T. Aoki, S. Harada, Y. Okamoto, T. Nakagawa, H. Inoue, T. Ikeda, Y. Kurokawa, Y. Shima, M. Jincho, M. Ikeda, S. Yamazaki, “Characteristics of Crystalline Oxide Semiconductor-based Single Transistor Multiplier for Analog Neural Network,” SSDM 2017, D-3-03, Sept. 2017.
- [5] [Invited] M. Ikeda, “Ultra low energy cryptograph-

池田研究室 論文

- [1] B. P. Ginsburg and M. Ikeda, “Introduction to the Special Issue on the 2016 Symposium on VLSI Circuits,” in IEEE Journal of Solid-State Circuits, vol. 52, no. 4, pp. 888-890, April 2017.
- [2] H. Awano, S. Morita, T. Sato, “Scalable Device Array for Statistical Characterization of BTI-Related Parameters,” IEEE Transactions on Very Large Scale Integration Systems, Vol. 25, No. 4, pp. 1455-1466, April 2017.

- ic engine designs and SOTB chip fabrication services in Japan,” 2017 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), Burlingame, CA, Oct. 2017.
- [6] M. Ikeda, “Smart Image Sensors and applications to 3D range-finding,” ASICON 2017, Oct. 2017.
- [7] Unghyun Kim, Makoto Ikeda, “A 64×64 image sensor with the capability of selective light detection and background suppression,” IEEE Sensors, pp. 1-3, Oct. 2017, Glasgow.
- [8] K. Koga, H. Awano and M. Ikeda, “Yield Enhancement by Repair Circuits for Ultra-Fine Pitch Stacked-Chip Connections”, 2017 IEEE 26th Asian Test Symposium (ATS), pp. 201-205, Nov. 2017, Taipei, Taiwan
- [9] H. Wakabayashi, M. Ikeda and M. Ikeda, “Session 5 overview: Image sensors: IMMD subcommittee,” 2018 IEEE International Solid - State Circuits Conference - (ISSCC), San Francisco, CA, 2018, pp. 78-79.
- [10] M. Kraft, M. Miyamoto and M. Ikeda, “Session 10 overview: Sensor systems: IMMD subcommittee,” 2018 IEEE International Solid - State Circuits Conference - (ISSCC), San Francisco, CA, 2018, pp. 176-177.
- [11] P. Mohseni, N. Van Helleputte and M. Ikeda, “Session 29 overview: Advanced biomedical systems: IMMD subcommittee,” 2018 IEEE International Solid - State Circuits Conference - (ISSCC), San Francisco, CA, 2018, pp. 458-459.
- [12] H. Awano, T. Sato, “Ising-PUF: A Machine Learning Attack Resistant PUF Featuring Lattice Like Arrangement of Arbiter-PUFs,” Design, Automation, and Test in Europe (DATE), pp. 1447-1452, March 2018
- [13] K. Koiwa, D. Fujimoto, Y. Hayashi, M. Nagata, M. Ikeda, T. Matsumoto, and N. Homma, “EM Security Analysis of Compact ECDSA Hardware”, Joint IEEE EMC & APEMC Reviewed Abstract, pp. 12, May 2018

国内研究会

- [1] 古賀啓太郎, 池田誠, “高性能3次元LSI向け狭ピッチVIAの接合不良とその電氣的補償の検討”, LSIとシステムのワークショップ2017, 2017年5月
- [2] 市橋忠之, 池田誠, “254ビット標数のBN曲線における拡大体演算器の最適スケジューリング”, 電子情報通信学会ハードウェアセキュリティ研究会, 2017年6月
- [3] Vinod Gadde Vishwa, Makoto Ikeda, “A secure Analog-to-Digital conversion scheme based on delta-sigma ADC architecture,” 電子情報通信学会ハードウェアセキュリティ研究会, 2017年9月
- [4] 吉川俊之, 池田誠, “テラヘルツ帯ビデオイメージング

- に向けた微弱信号の読み出しシステムの設計,” デザインガイア 2017, ICD2017-42, 2017年11月
- [5] 市橋忠之, 栗野皓光, 池田誠, “BN曲線上におけるOptimal Ateベアリング向け演算ハードウェアの最適化,” デザインガイア 2017, VLD2017-30, 2017年11月
- [6] 古賀啓太郎, 栗野皓光, 池田誠, “格子暗号の高速化に向けた数論変換に基づく多項式乗算器の設計”, 電子情報通信学会ハードウェアセキュリティフォーラム 2017, 2017年12月
- [7] 杉山昇太郎, 栗野皓光, 池田誠, “ツイストしたエドワーズ曲線上のスカラー倍算のハードウェア実装,” 暗号と情報セキュリティシンポジウム (SCIS2018), 2D4-2, 2018年1月
- [8] 栗野皓光, 市橋忠之, 池田誠, “2次拡大体上の汎用演算器を用いた254bit素数ベアリング向けASICコプロセッサ,” 暗号と情報セキュリティシンポジウム (SCIS2018), 2D4-3, 2018年1月
- [9] 古賀啓太郎, 栗野皓光, 池田誠, “数論変換に基づく多項式乗算器の並列ハードウェア実装”, 電子情報通信学会ハードウェアセキュリティ研究会, 2018年3月
- [10] 飯塚知希, 栗野皓光, 池田誠, “深層ニューラルネットワークを用いたDouble-Arbiter PUFに対するモデリング攻撃,” 電子情報通信学会VLSI設計技術研究会, VLD2017-127, 2018年3月
- [11] 古賀啓太郎, 栗野皓光, 池田誠, “数論変換に基づく多項式乗算器の並列ハードウェア実装,” 電子情報通信学会ハードウェアセキュリティ研究会, 2018年3月
- [12] 市橋忠之, 栗野皓光, 池田誠, “65nmプロセスを用いたOptimal Ateベアリング向け12次拡大体演算器の評価,” 電子情報通信学会ハードウェアセキュリティ研究会, 2018年3月
- [13] 斎藤僚介, 栗野皓光, 池田誠, “256bit素体上の楕円曲線デジタル署名アルゴリズムに向けた小面積コプロセッサの実装,” 電子情報通信学会ハードウェアセキュリティ研究会, 2018年3月
- [14] 杉山昇太郎, 栗野皓光, 池田誠, “楕円曲線デジタル署名アルゴリズムの高速ハードウェア設計,” 電子情報通信学会ハードウェアセキュリティ研究会, 2018年3月
- [15] Vinod Gadde Vishwa, Makoto Ikeda, Hiromitsu Awano, “Scrambling and Signing during Analog-to-Digital Conversion for Sensing Security,” 電子情報通信学会ハードウェアセキュリティ研究会, 2018年3月

国内大会

- [1] 古賀啓太郎, 池田誠, “3次元LSIの極小TSVの補償回路の導入とその効果の検討,” 電子情報通信学会ソサイエティ大会, A-6-11, 2017年9月
- [2] 小岩航介, 藤本大介, 林 優一, 永田 真, 池田 誠,

松本 勉, 本間尚文, “楕円曲線署名の小規模実装に対する耐タンパー性評価,” 電子情報通信学会総合, AS-2-1, 2018年3月.

- [3] 池田 誠, “超スマート社会を実現する高性能ハードウェアセキュリティエンジン,” 電子情報通信学会総合, DK-2-4, 2018年3月

三田研究室 学会誌

- [1] Yuki Okamoto, Eric Lebrasseur, Isao Mori, Frédéric Marty and Yoshio Mita, “An End-Point Visualization Test Structure for All-Plasma Dry Release of Deep-RIE MEMS devices and Application to Release Process Modal Analysis”, *IEEE Transactions on Semiconductor Manufacturing*, 30, Issue 3, pp.201-208 (2017.04.17).
- [2] Yuki Okamoto and Yoshio Mita, “An integrated 0-30V switching driver circuit made by mesa-isolation post-process of standard 5V CMOS LSI for MEMS actuator applications”, *Microsystem Technologies*, pp.1-8 (2017.04.24) DOI: 10.1007/s00542-017-3416-7
- [3] Yoshio Mita, Eric Lebrasseur, Yuki Okamoto, Frédéric Marty, Ryota Setoguchi, Kentaro Yamada, Isao Mori, Satoshi Morishita, Yoshiaki Imai, Kota Hosaka, Atsushi Hirakawa, Shu Inoue, Masanori Kubota, and Matthieu Denoual, “Opportunities of CMOS-MEMS Integration through LSI Foundry and Open Facility”, *Japanese Journal of Applied Physics*, 56, 06GA03 (2017.5.19)
- [4] Yoshio Mita and Yoshihiro Kawahara, “A Fifteen-Year Educational Experience on Autonomous Electronic Information Devices by Flipped Classroom and Try-by-Yourself Methods”, *IET Circuits, Devices & Systems*, 11, Issue 4, pp.321-329 (2017.06.04)
- [5] Matthieu Denoual, D. Robbes, S. Inoue, Yoshio Mita, J. Grand, H. Awala, S. Mintova, “Thermal resonant zeolite-based gas sensor”, *Sensors and Actuators B: Chemical*, Vol.245, June 2017, pp.179-182 (2017.06) DOI 10.1016/j.snb.2017.01.131, 2017.
- [6] Masaya Takasaki, Ryutaro Chida, Shota Chino, Satoshi Morishita, Yuji Ishino, Kota Hosaka, Yoshio Mita, and Takeshi Mizuno, “Structure for Ultrasonic Suspension Gap Pressure Sensor”, *Sensors and Materials*, Vol.29, No.6, pp.805-816, 2017 (2017.06.21)
- [7] T. Mai Khanh, S. Nakamura, T. Iizuka, Y. Mita, and K. Asada, “Noninvasive Localization of IGBT Faults by High-Sensitivity Magnetic Probe with RF Stimulation”, *IEEE Transactions on Instrumentation & Measurement*, 67, Issue 4, pp.745-753 (2018.01.24)
- [8] Yuki Okamoto*, Yukiya Tohyama*, Shunsuke Inagaki*,

Mikio Takiguchi, Tomoki Ono, Eric Lebrasseur, and Yoshio Mita, “High-uniformity through-the-wafer etching method for centimeter-large-opening MEMS devices”, *Japanese Journal of Applied Physics*, 57, 04FC03 (2018.03.07) (*: Equal contribution)

- [9] Daigo Terutsuki, Hidefumi Mitsuno, Takeshi Sakurai, Yuki Okamoto, Agnes Tixier-Mita, Hiroshi Toshiyoshi, Yoshio Mita and Ryohei Kanzaki, “Increasing cell-device adherence using cultured insect cells for receptor-based biosensors”, *Royal Society Open Science*, 5: 172366 (2018).
- [10] Yoshio Mita, Atsushi Hirakawa, Bruno Stefanelli, Isao Mori, Yuki Okamoto, Satoshi Morishita, Masanori Kubota, Eric Lebrasseur, Andreas Kaiser, “Progress and opportunities in high-voltage microactuator powering technology towards one-chip MEMS”, *Japanese Journal of Applied Physics*, 57, 04FA05 (2018) <https://doi.org/10.7567/JJAP.57.04FA05> (2018.03.15)

国際学会プロシーディング

- [1] Rimon Ikeno, Yoshio Mita, and Kunihiko Asada, “Line-edge quality optimization of electron beam resist for high-throughput character projection exposure utilizing atomic force microscope analysis”, *Design-Process-Technology Co-optimization for Manufacturability XI*, California, USA (2017.04)
- [2] Matthieu Denoual, Mathieu Pouliquen, Corentin Jorel, Constantin Radu, Didier Robbes, M Harnois, O de Sagazan, J Grand, H Awala, S Mintova, S Inoue, Eric Lebrasseur, Kenshiro Yamada, Yuki Okamoto, Agnès Mita-Tixier, and Yoshio Mita, “Zeolite-based thermal mass gas sensor with self-identification algorithm”, *2017 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP)*, Bordeaux, France, (2017.7)
- [3] Akio Higo, Hai-bin Wang, Takaya Kubo, Naoto Usami, Yuki Okamoto, Kentaro Yamada, Hiroshi Segawa, Masakazu Sugiyama, and Yoshio Mita, “Fabrication of PbS Quantum dots and Silicon Device for Near-Infrared Detection”, *International Conference on Optical MEMS and Nanophotonics (OMN)*, New Mexico, USA (2017.08)
- [4] Yuki Okamoto, Yoshio Mita, “Wireless operation of EWOD by the on-chip CMOS silicon photovoltaic cell array”, *International Conference on Solid State Devices and Materials (SSDM)*, pp.267-268, Sendai, Japan (2017.09)
- [5] Yoshio Mita *et al.*, (Invited Talk), *The 2017 International Conference on Solid State Devices and Materials (SSDM 2017)*, September 19-22, Sendai, Japan, (2017.09)

- [6] Yuki Okamoto, Yukiya Tohyama, Naoto Usami Yoshio Mita, "The large-area backside etching method by changing backside layout using loading effect and ARDE for foundry-based fabrication", *International Conference on Solid State Devices and Materials (SSDM)*, pp.347-348, Sendai, Japan (2017.09)
- [7] Yoshio Mita *et al.*, "“Yes We Can”-A Short-Cut Research and Development of Miniaturized Smart Devices and Sensors through Open Facility on MEMS Integrated VLSI (Keynote Speech)", *International Symposium on Electronics and Smart Devices (ISESD 2017)*, 17-19, October, Yogyakarta, Indonesia. (2017.10)
- [8] Yoshio Mita *et al.*, (Invited Talk), *Journee Nationale de la Technologie Emergente (JNTE 2017)*, 20-22, November, Orleans, France. (2017.11)
- [9] Y. Takeshiro, Y. Okamoto and Y. Mita, "Mask-programmable on-chip photovoltaic cell array", *The 17th International Conference on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (Power MEMS 2017)*, Nov.14-17, Kanazawa, Japan
- [10] R Ranga Reddy, Yuki Okamoto, Yoshio Mita, "An On-chip Test Structure for Studying the Frictional Behavior of Deep-RIE MEMS Sidewall Surfaces", *IEEE 31st International Conference on Microelectronic Test Structures (ICMTS 2018)*, 19-22, Mar., 2018, Austin, TX, USA (2018)
- [11] Naoto Usami, Akio Higo, Ayako Mizushima, Yuki Okamoto, and Yoshio Mita, "Test Structure for Electrical Assessment of UV Laser Direct Fine Patterned Material", *IEEE 31st International Conference on Microelectronic Test Structures (ICMTS 2018)*, 19-22, Mar., 2018, Austin, TX, USA (2018)
- [12] 太田悦子, Xavier Hurtaud, 百瀬健, 肥後昭男, 三田吉郎, 「超臨界流体薄膜形成技術による Si トレンチ基板への Cu 製膜の検討」, 第 34 回「センサ・マイクロマシンの応用システム」シンポジウム, 30 Oct.-1 Nov. 2017, 広島国際会議場, 広島, 01am2-PS-123 (2017.11.1)
- [13] 山田健太郎, Julien Grand, 岡本有貴, Reddy Ranga, Matthieu Denoual, Sveltana Mintova, Agnes Tixier-Mita, 三田吉郎, 「粒子径の大きなゼオライトを用いたガスセンシングに向けた衝撃試験」, 第 34 回「センサ・マイクロマシンの応用システム」シンポジウム, 30 Oct.-1 Nov. 2017, 01pm4-PS-168, 広島国際会議場, 広島, (2017.11.1)
- [14] 三田吉郎「集積化 MEMS の未来を拓くナノテクノロジープラットフォーム～新機能・高信頼センサシステムの実現とその課題～ (招待講演)」日本画像学会 2017 年度関東シンポジウム 2017 年 12 月 12 日 発明会館, 東京
- [15] 三田吉郎「IoT-MEMS に適した非接触エネルギー伝送手法の研究」エイトラムダフォーラム 2017 第 4 回会合, 2017 年 12 月 14 日 フォレスト本郷

その他の講演・シンポジウム

- [1] 岡本有貴, 三田吉郎「On-Chip MEMS アクチュエータ駆動のための MEMS 後加工 5V 標準 CMOS 素子を利用した 30V スイッチング回路(口頭発表)」, 第 34 回「センサ・マイクロマシンの応用システム」シンポジウム, 30 Oct.-1 Nov. 2017, 広島国際会議場, 広島, 01am1-A-1 (2017.11.1)
- [2] 竹城雄大, 宇佐美尚人, 高田武晃, 池野理門, 鷺津信榮, 浅田邦博, 三田吉郎, 「高性能コルター計測のための局所電極付きナノボア構造の作製」, 第 34 回「センサ・マイクロマシンの応用システム」シンポジウム, 30 Oct.-1 Nov. 2017, 広島国際会議場, 広島, 01am2-PS-125 (2017.11.1)
- [3] 肥後昭男, Wang Haibin, 久保貴哉, 宇佐美尚人, 岡本有貴, 山田健太郎, 瀬川浩司, 杉山正和, 三田吉郎,

高木・竹中研究室 研究論文

- [1] J.-K. Park, S. Takagi, and M. Takenaka, "InGaAsP Mach-Zehnder interferometer optical modulator monolithically integrated with InGaAs driver MOSFET on a III-V CMOS photonics platform," *Optics Express*, vol.26, no.4, pp.4842-4852, 2018. DOI: 10.1364/OE.26.004842
- [2] S. Takagi, D.-H. Ahn, M. Noguchi, S.-H. Yoon, T. Gotow, K. Nishi, M. Kim, T.-E. Bae, T. Kato, R. Matsumura, R. Takaguchi, and M. Takenaka, "Low power Tunneling FET technologies using Ge/III-V materials," *ECS Trans.*, vol.80, no.4, pp.115-124, 2017 (*invited*). DOI: 10.1149/08004.0115ecst
- [3] S. Takagi, M. Ke, C.-Y. Chang, C. Yokoyama, T. Gotow, K. Nishi, S.-H. Yoon, and M. Takenaka, "MOS interface defect control in Ge/III-V gate stacks," *ECS Trans.*, vol.80, no.1, pp.109-118, 2017 (*invited*). DOI: 10.1149/08001.0109ecst
- [4] J. Fujikata, M. Noguchi, Y. Kim, J. Han, S. Takahashi, T. Nakamura, and M. Takenaka, "High-speed and highly efficient Si optical modulator with strained SiGe layer," *Appl. Phys. Express*, Vol.11, 032201, 2018. DOI: 10.7567/

- [5] M. Takenaka and S. Takagi, "InP-based photonic integrated circuit platform on SiC wafer," *Optics Express*, vol.25, no.24, pp.29993–30000, 2017. DOI: 10.1364/OE.25.029993
- [6] T. Gotow, M. Mitsuhashi, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "Effects of impurity and composition profiles on electrical characteristics of GaAsSb/InGaAs hetero-junction vertical tunnel field effect transistors," *J. Appl. Phys.*, vol.122, 174503, 2017. DOI: 10.1063/1.4993823
- [7] D.-H. Ahn, S.-M. Ji, M. Takenaka, and S. Takagi, "Design and properties of planar-type tunnel FETs using $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ quantum well," *J. Appl. Phys.*, vol.122, 135704, 2017. DOI: 10.1063/1.4992005
- [8] C.-Y. Chang, K. Endo, K. Kato, M. Takenaka, and S. Takagi, "Modulation of sub-threshold properties of InGaAs MOSFETs by La_2O_3 gate dielectrics," *AIP Advances*, vol.7, 095215, 2017. DOI: 10.1063/1.4999958
- [9] J.-H. Han, F. Boeuf, J. Fujikata, S. Takahashi, S. Takagi, and M. Takenaka, "Efficient low-loss InGaAsP/Si hybrid MOS optical modulator," *Nat. Photonics*, vol.11, no.8, pp.486–490, Jul. 2017. DOI: 10.1038/nphoton.2017.122
- [10] F. Boeuf, J.-H. Han, S. Takagi, and M. Takenaka, "Benchmarking Si, SiGe and III-V/Si hybrid SIS Optical Modulators for Datacenter Applications," *J. Light. Technol.*, vol.35, no.18, pp.4047–4055, 2017. DOI: 10.1109/JLT.2017.2728365
- [11] T. H. Xiao, Z. Zhao, W. Zhou, M. Takenaka, H. K. Tsang, Z. Cheng, and K. Goda, "Mid-infrared germanium photonic crystal cavity," *Optics Letters*, vol.42, no.15, pp.2882–2885, 2017. DOI: 10.1364/OL.42.002882
- [12] D. -H. Ahn, S.-H. Yoon, M. Takenaka and S. Takagi, "Effects of $\text{HfO}_2/\text{Al}_2\text{O}_3$ gate stacks on electrical performance of planar-type $\text{In}_x\text{Ga}_{1-x}\text{As}$ tunneling Field-Effect Transistors," *Appl. Phys. Express*, Vol.10, 084201, 2017. DOI: 10.7567/APEX.10.084201
- [13] J. Kang, Z. Cheng, W. Zhou, T.-H. Xiao, K.-L. Gopalakrishna, M. Takenaka, H. K. Tsang, and K. Goda, "Focusing subwavelength grating coupler for mid-infrared suspended membrane germanium waveguides," *Optics Letters*, vol.42, no.11, pp.2094–2097, 2017. DOI: 10.1364/OL.42.002094
- [14] S. -H. Yoon, C.-Y. Chang, D. -H. Ahn, M. Takenaka, and S. Takagi, "Interface state generation of $\text{Al}_2\text{O}_3/\text{InGaAs}$ MOS structures by electrical stress," *Microelectronic Engineering*, vol.178, pp.313–317, 2017. DOI: 10.1016/j.mee.2017.05.015

- [15] M. Ke, M. Takenaka, S. Takagi, "Reduction of slow trap density of $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{n-Ge}$ MOS interfaces by inserting ultrathin Y_2O_3 interfacial layers," *Microelectronic Engineering*, vol.178, pp.132-136, 2017. DOI: 10.1016/j.mee.2017.04.021
- [16] C.-Y. Chang, C. Yokoyama, M. Takenaka, and S. Takagi, "Impact of $\text{La}_2\text{O}_3/\text{InGaAs}$ MOS Interfaces on the Performance of InGaAs MOSFETs," *IEEE Trans. Electron Devices*, vol.64, no.6, pp.2519–2525, 2017. DOI: 10.1109/TED.2017.2696741
- [17] N. Sekine, J.-H. Jan, S. Takagi, and M. Takenaka, "Numerical analysis of carrier-depletion InGaAsP optical modulator with lateral PN junction formed on III-V-on-insulator wafer," *Jpn. J. Appl. Phys.*, vol.56, 04CH09, 2017. DOI: 10.7567/JJAP.56.04CH09
- [18] X. Yu, J. Kang, M. Takenaka, and Shinichi Takagi, "Evaluation of mobility degradation factors and performance improvement of ultrathin-body germanium-on-insulator MOSFETs by GOI thinning using plasma oxidation," *IEEE Trans. Electron Devices*, vol.64, no.4, pp.1418–1425, 2017. DOI: 10.1109/TED.2017.2662217
- [19] M. Takenaka, Y. Kim, J. Han, J. Kang, Y. Ikku, Y. Cheng, J. Park, M. Yoshida, S. Takashima, and S. Takagi, "Heterogeneous CMOS photonics based on SiGe/Ge and III-V semiconductors integrated on Si Platform," *IEEE J. Sel. Top. Quantum Electron.*, vol.23, No.3, 8200713, 2017 (Invited). DOI: 10.1109/JSTQE.2017.2660884

国際会議論文

- [1] M. Takenaka, J.-H. Han, J.-K. Park, F. Boeuf, J. Fujikata, S. Takahashi, and S. Takagi, "High-efficiency, low-loss optical phase modulator based on III-V/Si hybrid MOS capacitor," *Optical Fiber Communication Conference (OFC2018)*, Tu3K.3, San Diego, 13 March 2018 (invited). DOI: 10.1364/OFC.2018.Tu3K.3
- [2] Q. Li, J.-H. Han, C. Ho, S. Takagi, and M. Takenaka, "Low-crosstalk, low-power Mach-Zehnder interferometer optical switch based on III-V/Si hybrid MOS phase shifter," *Optical Fiber Communication Conference (OFC2018)*, Th3C.5, San Diego, 15 March 2018. DOI:10.1364/OFC.2018.Th3C.5
- [3] S. Takagi, W.-K. Kim, K. Jo, X. Yu and M. Takenaka, "Extremely-Thin Body GOI structures and MOSFETs," *11th International Workshop on New Group IV Semiconductor Nanoelectronics*, Sendai, 23-24 February 2018 (invited).
- [4] C.-P. Ho, Z. Zhao, S. Takagi, and M. Takenaka,

- "Investigation of a bandpass filter on Germanium-on-Insulator photonic platform," *7th International Symposium on Photonics and Electronics Convergence (ISPEC2017)*, P-5, Tokyo, 11 December 2017.
- [5] P. Cheng, S. Takagi, and M. Takenaka, "Numerical investigation of ultralow-capacitance InGaAs photodetector on III-V/a-Si hybrid platform," *7th International Symposium on Photonics and Electronics Convergence (ISPEC2017)*, P-4, Tokyo, 11 December 2017.
- [6] T. Fujigaki, S. Takagi, and M. Takenaka, "Wavelength dependence of Ge thermo-optic switch operating at mid-infrared wavelength range," *7th International Symposium on Photonics and Electronics Convergence (ISPEC2017)*, P-36, Tokyo, 11 December 2017.
- [7] J. Fujikata, S. Takahashi, K. Kinoshita, J. Han, T. Horikawa, K. Yashiki, M. Kurihara, Y. Hagihara, M. Takenaka, K. Kurata, T. Mogami, and T. Nakamura, "High speed and highly efficient Si optical modulator with strained SiGe layer, and its 25 Gbps operation with CMOS driver," *7th International Symposium on Photonics and Electronics Convergence (ISPEC2017)*, P-18, Tokyo, 11 December 2017.
- [8] Q. Li, S. Takagi, and M. Takenaka, "III-V/Si hybrid MOS optical phase shifter toward low-crosstalk switching," *7th International Symposium on Photonics and Electronics Convergence (ISPEC2017)*, P-32, Tokyo, 11 December 2017.
- [9] D.-H. Ahn, S.-H. Yoon, M. Takenaka, and S. Takagi, "Effects of W/ZrO₂/Al₂O₃ gate stacks on performance of InGaAs TFETs", *48th IEEE Semiconductor Interface Specialists Conference (SISC)*, 5.16, San Diego, 6-9 December 2017.
- [10] C. Yokoyama, C.-Y. Chang, M. Takenaka, and S. Takagi, "Pre-cleaning Effects for Al₂O₃/p-InxGal-xAs MOS Interfaces", *48th IEEE Semiconductor Interface Specialists Conference (SISC)*, 5.9, San Diego, 6-9 December 2017.
- [11] M. Ke, M. Takenaka, and S. Takagi, "Discrimination of pre-existing and generated slow traps under electrical stress in Al₂O₃/GeOx/n-Ge gate stacks with plasma oxidation process", *48th IEEE Semiconductor Interface Specialists Conference (SISC)*, 7.2, San Diego, 6-9 December 2017.
- [12] S.-H. Yoon, D.-H. Ahn, M. Takenaka, and S. Takagi, "Relationship between interface state generation and substrate hole current in InGaAs n-channel MOSFETs", *48th IEEE Semiconductor Interface Specialists Conference (SISC)*, 12.4, San Diego, 6-9 December 2017.
- [13] K. Kato, H. Matsui, H. Tabata, M. Takenaka and S. Takagi, "Proposal and demonstration of oxide-semiconductor/(Si, SiGe, Ge) bilayer tunneling field effect transistor with type-II energy band alignment," *International Electron Devices Meeting (IEDM'17)*, 15.6, San Francisco, 2-6 December 2017.
- [14] M. Takenaka and S. Takagi, "High-efficiency phase modulation based on Si hybrid MOS structure," *Progress In Electromagnetics Research Symposium (PIERS2017)*, Nanyang Technological University, Singapore, 19-22 November 2017 (*invited*).
- [15] S. Takagi and M. Takenaka, "Ultra-low power MOSFET and tunneling FET technologies using III-V and Ge," *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, E.1, Miami Marriott Biscayne Bay, USA, 22-25 October 2017 (*invited*).
- [16] S. Takagi, D.-H. Ahn, T. Gotow, K. Nishi, T.-E. Bae, T. Katoh, R. Matsumura, R. Takaguchi, K. Kato, and M. Takenaka, "III-V/Ge-based Tunneling MOSFET," *5th Berkeley Symposium on Energy Efficient Electronic Systems & Steep Transistors Workshop*, Berkeley, USA, 19-20 October 2017 (*invited*).
- [17] T.-E. Bae, R. Suzuki, R. Nakane, M. Takenaka, and S. Takagi, "Effects of Ge-source impurity concentration on electrical characteristics of Ge/Si hetero-junction tunneling FETs," *5th Berkeley Symposium on Energy Efficient Electronic Systems & Steep Transistors Workshop*, Berkeley, USA, 19-20 October 2017.
- [18] M. Takenaka, J. Kang, T. Fujigaki, and S. Takagi, "Near-infrared and mid-infrared integrated photonics based on Ge-on-insulator platform," *IEEE Photonics Conference (IPC 2017)*, MB.3.1, Orlando, Florida, USA, 1-5 October 2017 (*invited*).
- [19] S. Takagi, M. Ke, C. Y. Chang, C. Yokoyama, M. Yokoyama, T. Gotow, K. Nishi, S. Yoon, and M. Takenaka, "MOS interface defect control in Ge/III-V gate stacks," *232nd ECS Meeting*, Symposium D01, 830, National Harbor, USA, 1-5 October 2017 (*invited*).
- [20] S. Takagi, D. H. Ahn, M. Noguchi, S. Yoon, T. Gotow, K. Nishi, M. Kim, T. E. Bae, T. Katoh, R. Matsumura, R. Takaguchi, and M. Takenaka, "Low power tunneling FET technologies using Ge/III-V materials," *232nd ECS Meeting*, Symposium G03, 1142, National Harbor, USA, 1-5 October 2017 (*invited*).
- [21] S. Takagi, "Advanced MOS device technology for ultra-low power IoT applications", *12th VDEC D2T Symposium*, Tokyo, 28 September 2017 (*invited*).
- [22] K.-W. Jo, W.-K. Kim, M. Takenaka and S. Takagi, "Effect of SiGe Layer Thickness in Starting Substrate on Electrical Properties of Ultrathin Body Ge-on-insulator

pMOSFET fabricated by Ge Condensation”, 2017 International Conference on Solid State Devices and Materials (SSDM), E-2-02, Sendai, 19-22 Sept. 2017.

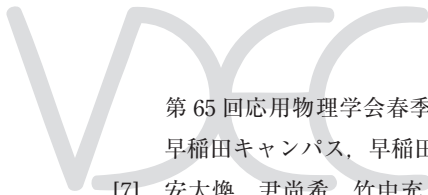
- [23] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, “High performance top-gate zinc oxide thin film transistor (ZnO TFT) by combination of post oxidation and annealing,” *International Conference on Solid State Devices and Materials (SSDM2017)*, E-2-05, Sendai, 19-22 September 2017.
- [24] T.-E. Bae, Y. Wakabayashi, R. Nakane, M. Takenaka, and S. Takagi, “Performance improvement of Ge-source/Si-channel hetero-junction tunneling FETs: effects of annealing gas and drain doping concentration,” *International Conference on Solid State Devices and Materials (SSDM2017)*, E-3-03, Sendai, 19-22 September 2017.
- [25] R. Takaguchi, R. Matsumura, T. Katoh, M. Takenaka, and S. Takagi, “Ge p-channel tunneling FETs with steep phosphorus profile source junctions,” *International Conference on Solid State Devices and Materials (SSDM2017)*, E-3-04, Sendai, 19-22 September 2017.
- [26] R. Matsumura, T. Katoh, R. Takaguchi, M. Takenaka, and S. Takagi, “Ge-on-insulator tunneling FET with abrupt source junction by snowplow effect of NiGe,” *International Conference on Solid State Devices and Materials (SSDM2017)*, PS-3-01, Sendai, 19-22 September 2017.
- [27] T. Katoh, R. Matsumura, R. Takaguchi, M. Takenaka, and S. Takagi, “Performance enhancement of GOI tunneling FETs with source junctions formed by low energy BF₂ ion implantation,” *International Conference on Solid State Devices and Materials (SSDM2017)*, PS-3-02, Sendai, 19-22 September 2017.
- [28] K. Kukita, T. Uechi, J. Shimokawa, M. Goto, Y. Yokota, H. Tanimoto, S. Kawanaka, T. Tanamoto, M. Koyama and S. Takagi, “TCAD simulation of planar single-gate tunnel FET with average subthreshold swing less than 60 mV/dec for 0.3 V operation”, *International Conference on Solid State Devices and Materials (SSDM)*, PS-3-14, Sendai, 19-22 Sept. 2017.
- [29] Q. Li, S. Takagi, and M. Takenaka, “Low-crosstalk optical switch with InGaAsP/Si hybrid MOS optical phase shifter,” *International Conference on Solid State Devices and Materials (SSDM2017)*, PS-7-02, Sendai, 19-22 September 2017.
- [30] Y. Yamaguchi, S. Takagi, and M. Takenaka, “Low-optical-loss graphene-based phase modulator operating at mid-infrared wavelength,” *International Conference on Solid State Devices and Materials (SSDM2017)*, PS-7-03, Sendai, 19-22 September 2017.
- [31] F. Boeuf, N. Sekine, S. Takagi, and M. Takenaka, “Performance benchmarking of InGaAsP, Si_{0.8}Ge_{0.2} and Si-based photonics homojunction and heterojunction PN modulators,” *International Conference on Solid State Devices and Materials (SSDM2017)*, H-8-02, Sendai, 19-22 September 2017.
- [32] S. Takagi, “Advanced MOS device technology”, *International Conference on Solid State Devices and Materials (SSDM)*, short course-Si-related Technology, Sendai, 19 September 2017 (*invited*).
- [33] M. Takenaka, “Electronic-photonic integrated circuits based on heterogeneous integration of Ge/III-V on Si,” *Silicon Photonic Workshop, European Conference on Optical Communication (ECOC 2017)*, Gothenburg, 17 September 2017 (*invited*).
- [34] M. Ke, M. Takenaka, and S. Takagi, “Understanding of slow traps generation in plasma oxidation GeO_x/Ge MOS interfaces with ALD high-k layers,” *47th European Solid-State Device Conference (ESSDERC 2017)*, C4L-G2, Leuven, Belgium, 11-14 September 2017.
- [35] S. Takagi, “Advanced Devices and Materials for Future CMOS-based IC Technologies”, *International Electron Devices and Materials Symposium (IEDMS)*, Short course, Hsinchu, Taiwan, 6 September 2017 (*invited*).
- [36] J. Fujikata, K. Kinoshita, J. Han, T. Horikawa, S. Takahashi, K. Yashiki, M. Kurihara, Y. Hagihara, M. Takenaka, T. Nakamura, K. Kurata, and T. Mogami, “High-Performance Si optical modulator with strained p-SiGe layer and its application to 25 Gbps optical transceiver,” *International Conference on Group IV Photonics (GFP2017)*, WD.3, Grand Hyatt Berlin, Berlin, Germany, 23-25 August 2017. DOI: 10.1109/GROUP4.2017.8082178
- [37] Y. Yamaguchi, S. Takagi, and M. Takenaka, “Pure phase modulation based on graphene operating at wavelength of 3000 nm,” *24th Congress of the international Commission for Optics (ICO-24)*, Th3J-06, Keio Plaza Hotel, Tokyo, Japan, 21-25 August 2017.
- [38] N. Sekine, J.-H. Han, S. Takagi, and M. Takenaka, “Investigation on Mg ion implantation for carrier-depletion InGaAsP optical modulator with vertical PN junction,” *24th Congress of the international Commission for Optics (ICO-24)*, Th1J-04, Keio Plaza Hotel, Tokyo, Japan, 21-25 August 2017.
- [39] Q. Li, J.-H. Han, F. Boeuf, S. Takagi, and M. Takenaka, “Structure optimization of InGaAsP/Si hybrid MOS optical modulator for high-efficiency phase modulation,” *24th Congress of the international Commission for Optics (ICO-24)*, Tu2J-03, Keio Plaza Hotel, Tokyo, Japan, 21-25

August 2017.

- [40] T. Fujigaki, J. Kang, S. Takagi, and M. Takenaka, "Numerical analysis of Ge thermo-optic switch with air insulator structure," *24th Congress of the international Commission for Optics (ICO-24)*, Tu2J-05, Keio Plaza Hotel, Tokyo, Japan, 21-25 August 2017.
- [41] S. H. Yoon, C.-Y. Chang, D. H. Ahn, M. Takenaka and S. Takagi, "Interface state generation of $\text{Al}_2\text{O}_3/\text{InGaAs}$ MOS structures by electrical stress," *20th Conference on Insulating Films on Semiconductors (INFOS 2017)*, ThuB1.2, Potsdam, Germany, 27-30 June 2017.
- [42] M. Ke, M. Takenaka and S. Takagi, "Reduction of slow trap density of $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{n-Ge}$ MOS interfaces by inserting ultrathin Y_2O_3 interfacial layers," *20th Conference on Insulating Films on Semiconductors (INFOS 2017)*, ThuA2.2, Potsdam, Germany, 27-30 June 2017.
- [43] M. Takenaka and S. Takagi, "Evaluation of interfacial properties of MoS_2 ," *9th International Conference on Materials for Advanced Technologies (ICMAT 2017)*, Symposium H-08, 170654, Singapore, 18-23 June 2017 (invited).
- [44] S. Takagi and M. Takenaka, "Low power III-V MOSFETs and TFETs on Si platform," *9th International Conference on Materials for Advanced Technologies (ICMAT 2017)*, Symposium A, 171167, Singapore, 18-23 June 2017 (invited).
- [45] S. Saito, A. Z. Al-attili, D. Burt, K. Oda, M. Takenaka, N. Higashitarumizu, Y. Ishikawa, "Germanium light sources for silicon photonics," *9th International Conference on Materials for Advanced Technologies (ICMAT 2017)*, Symposium B, 170062, Singapore, 18-23 June 2017 (invited).
- [46] M. Takenaka, "Heterogeneous Integration of Ge, III-V, and 2D on Si—from More Moore to Beyond CMOS—" *VLSI Symposium*, Short course, Kyoto, Japan, 5-8 June 2017. DOI:
- [47] W.-K. Kim, M. Takenaka, and S. Takagi, "High performance 4.5-nm-thick compressively-strained Ge-on-insulator pMOSFETs fabricated by Ge condensation with optimized temperature control," *VLSI Symposium*, 9-3, Kyoto, Japan, 5-8 June 2017. DOI:
- [48] S. Takagi, D. H. Ahn, T. Gotow, M. Noguchi, K. Nishi, S.-H. Kim, M. Yokoyama, C.-Y. Chang, S.-H. Yoon, C. Yokoyama and M. Takenaka, "III-V-based low power CMOS devices on Si platform," *IEEE International Conference on Integrated Circuit Design and Technology (ICICDT)*, A1, Austin, USA, 23-25 May 2017 (invited).
- [49] S. Takagi and M. Takenaka, "III-V/Ge MOSFETs and TFETs for ultra-low power logic LSIs," *International Symposium on VLSI technology, System and Applications (VLSI-TSA2017)*, T3-2, Hsinchu, Taiwan, 24-27 April 2017 (invited). DOI: 10.1109/VLSI-TSA.2017.7942467
- [50] M. Takenaka and S. Takagi, "Exploring interfacial properties of pristine MoS_2 MOS interface," *MRS Spring Meeting*, Symposium ED7, 7.05, Phoenix, USA, 17-21 April 2017 (invited).
- [51] J. Fujikata, J. Han, M. Noguchi, S. Takahashi, M. Takenaka, and T. Nakamura, "High Speed and highly efficient Si optical modulator with in-situ B doped strained SiGe layer," *International Conference on Nanophotonics and Nanooptoelectronics (ICNN2017)*, Pacifico-Yokohama, 18-21 April 2017 (invited).
- [52] M. Takenaka, "Si photonics based on heterogeneous integration," *Tsinghua University-the University of Tokyo Joint Symposium*, Tsinghua University, Beijing, China, 14 April 2017.
- [53] M. Takenaka and S. Takagi, "Photonic integrated circuit platform using III-V on SiC wafer," *European Conference on Integrated Optics (ECIO'17)*, WP1.1, Eindhoven, 3-5 April 2017.

シンポジウム・研究会・大会等発表

- [1] Z. Cheng, T.-H. Xiao, Z. Zhao, W. Zhou, M. Takenaka, H. K. Tsang, K. Goda, "Mid-infrared germanium-suspended-membrane photonic integrated circuits for low-cost and portable molecular fingerprinting," 日本化学会第98春季年会, 2I4-09, 20-23 March 2018.
- [2] 竹中充, 高木信一, "ゲルマニウムを用いた中赤外集積フォトニクスへの展開," 第65回応用物理学会春季学術講演会, 18p-C304-6, 西早稲田キャンパス, 早稲田大学, 2018年3月17-20日(招待講演).
- [3] 隅田圭, 竹中充, 高木信一, "Smart Cut法を用いたInAs on Insulator構造の作製," 第65回応用物理学会春季学術講演会, 18a-G203-4, 西早稲田キャンパス, 早稲田大学, 2018年3月17-20日.
- [4] 加藤公彦, 竹中充, 高木信一, "Type-II エネルギーバンド構造を有する酸化物半導体/(Si, SiGe, Ge)積層型トンネル電界効果トランジスタの提案," 第65回応用物理学会春季学術講演会, 18a-G203-9, 西早稲田キャンパス, 早稲田大学, 2018年3月17-20日.
- [5] 山口大志, 後藤高寛, 竹中充, 高木信一, "反強誘電体薄膜をゲート絶縁膜に用いたMOSFETの電気特性," 第65回応用物理学会春季学術講演会, 18a-G203-4, 西早稲田キャンパス, 早稲田大学, 2018年3月17-20日.
- [6] 田口富隆, 高木信一, 竹中充, "中赤外フォトニクスのためのGe/SiハイブリッドMOS型光変調器の提案,"



- 第 65 回応用物理学会春季学術講演会, 19a-B201-4, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [7] 安大煥, 尹尚希, 竹中充, 高木信一, “Zn 拡散ソース InGaAs TFET における W/ZrO₂/Al₂O₃ ゲートスタックの効果,” 第 65 回応用物理学会春季学術講演会, 17p-P8-7, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [8] 遠藤清, 加藤公彦, 竹中充, 高木信一, “強誘電体型ヒステリシスを有する La₂O₃/Si MOSFET の電気特性,” 第 65 回応用物理学会春季学術講演会, 18p-G203-5, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [9] 加藤公彦, 松井裕章, 田畑仁, 竹中充, 高木信一, “n-ZnO/p-(Si, Ge) 積層型トンネル電界効果トランジスタの動作実証,” 第 65 回応用物理学会春季学術講演会, 18p-G203-10, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [10] 高口遼太郎, 加藤公彦, 柯夢南, 竹中充, 高木信一, “p 型 GOI 基板上に作製した p チャネル GOI トンネル FET の電気特性,” 第 65 回応用物理学会春季学術講演会, 18p-G203-8, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [11] 三條高明, 関根尚希, 高木信一, 竹中充, “フォトニクス応用に向けた III-V on SiC プラットフォームの検討,” 第 65 回応用物理学会春季学術講演会, 18p-B201-7, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [12] 韓在勲, Boeuf Frederic, 藤方潤一, 高橋重樹, 高木信一, 竹中充, “Efficient low-loss InGaAsP/Si hybrid MOS optical modulator,” 第 65 回応用物理学会春季学術講演会, 19a-G203-7, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日(第 9 回シリコンテクノロジー分科会論文賞受賞記念講演).
- [13] 横山千晶, 張志宇, 加藤公彦, 竹中充, 高木信一, “Al₂O₃/p-In_xGa_{1-x}As MOS 界面に与える前処理の効果,” 第 65 回応用物理学会春季学術講演会, 17a-F206-12, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [14] Q. Li, S. Takagi, M. Takenaka, “Demonstration of Mach-Zehnder interferometer optical switch with InGaAsP/Si hybrid MOS optical phase shifter,” 第 65 回応用物理学会春季学術講演会, 18p-B201-5, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [15] Z. Zhao, C. Ho, S. Takagi, M. Takenaka, “Investigation of Low-loss Mid-infrared Waveguide Using n-type Ge,” 第 65 回応用物理学会春季学術講演会, 20a-P4-3, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [16] P. Cheng, S. Takagi, M. Takenaka, “Design Optimization of Ultralow Capacitance InGaAs Waveguide Photodetector on III-V CMOS photonics platform,” 第 65 回応用物理学会春季学術講演会, 18p-B201-4, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [17] M. Ke, K. Kato, M. Takenaka, S. Takagi, “Physical origins of slow traps for ALD high-k dielectrics on GeOx/Ge interfaces,” 第 65 回応用物理学会春季学術講演会, 17p-F206-1, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日 (Young Scientist Presentation Award Speech).
- [18] T.-E. Bae, K. Kato, R. Suzuki, R. Nakane, M. Takenaka, S. Takagi, “Effects of the impurity concentration in the Ge sources on the electrical properties of Ge/Si TFETs,” 第 65 回応用物理学会春季学術講演会, 17p-P8-3, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日.
- [19] S. Takagi, K.-W. Jo, W.-K. Kim, M. Ke, K. Kato, M. Takenaka, “Prospects and Challenges for Ge MOSFETs,” 第 65 回応用物理学会春季学術講演会, 19p-G203-4, 西早稲田キャンパス, 早稲田大学, 2018 年 3 月 17-20 日(招待講演).
- [20] 竹中充, 「AI・IoT 時代の基盤としての光技術戦略」, 光産業技術シンポジウム, リーガロイヤルホテル, 2018 年 2 月 7 日(招待講演).
- [21] 加藤公彦, 松井裕章, 田畑仁, 竹中充, 高木信一, 「Proposal and demonstration of oxide-semiconductor/(Si, SiGe, Ge) bilayer tunneling field effect transistor with type-II energy band alignment」, 電子情報通信学会 SDM 研究会・応用物理学会シリコンテクノロジー分科会共催研究集会, 機会振興会館, 2018 年 1 月 30 日(招待講演).
- [22] 加藤公彦, 松井裕章, 田畑仁, 竹中充, 高木信一, 「極薄 ZnO チャネルトランジスタに向けた TiN/Al₂O₃/ZnO ゲートスタック構造の後プラズマ/熱処理の効果」, 電子デバイス界面テクノロジー研究会(EDIT), 東レ総合研修センター, 静岡県三島市, 2018 年 1 月 19 日-1 月 20 日.
- [23] 柯夢南, 竹中充, 高木信一, “ECR プラズマ酸化による ALD high-k/GeOx/Ge 界面の遅い準位起源”, 電子デバイス界面テクノロジー研究会(EDIT), 東レ総合研修センター, 静岡県三島市, 2018 年 1 月 19 日-1 月 20 日.
- [24] 竹中充, 「III-V/Si ハイブリッド MOS 構造を用いた高効率光位相変調およびユニバーサル光集積回路への展開」, 第 27 回シリコンフォトニクス研究会, まりんぴあみやこ, 沖縄県宮古島市, 2017 年 12 月 7 日-12 月 8 日(招待講演).
- [25] 竹中充, 高木 信一, 「異種半導体集積 Si フォトニクスを用いた高効率光変調器への展開」, 電子情報通信学会ソサイエティ大会, CI-1-7, 東京都世田谷キャンパス, 2017 年 9 月 13 日(招待講演).
- [26] 金佑強, 竹中充, 高木信一, 「冷却レートを低減した酸化濃縮プロセスにより作製した高圧縮ひずみ GOI pMOSFET」, 第 78 回応用物理学会秋季学術講演会, 8a-C18-7, 福岡国際会議場, 福岡, 2017 年 9 月 5 日-9

- 月8日(講演奨励賞受賞記念講演).
- [27] 山下真史, 高木信一, 竹中充, 「二硫化モリブデン MOS 界面におけるスロートラップ評価」, 第78回応用物理学会秋季学術講演会, 7p-C23-9, 福岡国際会議場, 福岡, 2017年9月5日-9月8日.
- [28] 関根尚希, 高木信一, 竹中充, 「III-V CMOS フォトニクス・プラットフォーム上L字接合をもつキャリア空乏型 InGaAsP 光変調器の検討」, 第78回応用物理学会秋季学術講演会, 7a-A504-3, 福岡国際会議場, 福岡, 2017年9月5日-9月8日.
- [29] 金佑彊, 竹中充, 高木信一, 「プラズマ酸化による酸化濃縮 GOI 層の薄膜化により作製した極薄ひずみ GOI pMOSFETs」, 第78回応用物理学会秋季学術講演会, 7a-PB3-1, 福岡国際会議場, 福岡, 2017年9月5日-9月8日.
- [30] 山口夕貴, 高木信一, 竹中充, 「低損失グラフェン中赤外光変調器の検討」, 第78回応用物理学会秋季学術講演会, 6p-C13-7, 福岡国際会議場, 福岡, 2017年9月5日-9月8日.
- [31] 藤方潤一, 竹中充, 最上徹, 蔵田和彦, 中村隆宏, 「高性能シリコン光変調器・ゲルマニウム受光器の開発と光集積回路への適用」, 第78回応用物理学会秋季学術講演会, 6p-C13-1, 福岡国際会議場, 福岡, 2017年9月5日-9月8日(招待講演).
- [32] 加藤公彦, 松井裕章, 田畑仁, 竹中充, 高木信一, 「後プラズマ及び熱処理による高性能 Top-Gate ZnO TFT の作製」, 第78回応用物理学会秋季学術講演会, 6a-A203-10, 福岡国際会議場, 福岡, 2017年9月5日-9月8日.
- [33] 尹尚希, 張志宇, 安大煥, 竹中充, 高木信一, 「電気ストレスによる $\text{Al}_2\text{O}_3/\text{InGaAs}$ MOS 界面における界面準位発生」, 第78回応用物理学会秋季学術講演会, 6a-PA9-7, 福岡国際会議場, 福岡, 2017年9月5日-9月8日.
- [34] M. Ke, M. Takenaka, S. Takagi, 「Study on physical origins of slow traps for electrons and holes in ALD $\text{Al}_2\text{O}_3/\text{GeOx}/\text{Ge}$ interfaces」, 第78回応用物理学会秋季学術講演会, 5a-C11-7, 福岡国際会議場, 福岡, 2017年9月5日-9月8日.
- [35] K.-W. Jo, W.-K. Kim, M. Takenaka, S. Takagi, 「Effect of SiGe layer thickness in starting substrate on electrical properties of ultrathin body Ge-on-insulator pMOSFET fabricated by Ge condensation」, 第78回応用物理学会秋季学術講演会, 7a-PB3-2, 福岡国際会議場, 福岡, 2017年9月5日-9月8日.
- [36] T.-E. Bae, R. Suzuki, R. Nakane, M. Takenaka, S. Takagi, 「Effects of gate electrode metal and drain doping concentration on electrical characteristics of Ge/Si heterojunction tunneling FETs」, 第78回応用物理学会秋季学術講演会, 7a-PB3-3, 福岡国際会議場, 福岡, 2017年9月5日-9月8日.
- [37] Q. Li, S. Takagi, and M. Takenaka, 「Optimization of modulation efficiency of InGaAsP/Si hybrid MOS optical modulator」, 第78回応用物理学会秋季学術講演会, 8a-PB2-6, 福岡国際会議場, 福岡, 2017年9月5日-9月8日.
- [38] 竹中充, 「異種材料集積を用いた Si フォトニクス」, 第9回フォトニクス・イノベーションセミナー(シリコンフォトニクスの進展と展望), 東京大学駒場リサーチキャンパス, 2017年6月16日(招待講演).

浅田・名倉・飯塚研究室 特許

- [1] Toru Nakura, Masahiro Ishida, Takashi Kusaka, Rimon Ikeno, Naoki Terao, Kunihiro Asada, "Power Supply Apparatus", US2017/0220060, Aug. 3, 2017. (USA)
- [2] Toru Nakura, Norihito Tohge, Tetsuya Iizuka, Satoshi Miura, Yoshimichi Murakami, Kunihiro Asada, "Clock Generating Apparatus and Clock Data Recovering Apparatus", US2017/0214513A1, Jul. 27, 2017. (USA)
- [3] Toru Nakura, Satoshi Komatsu, Masahiro Ishida, Kunihiro Asada, "Test Apparatus", US9702902, July 11, 2017 (USA, Korea)

受賞

- [1] 平成 29 年度電子情報通信学会学術奨励賞
寺尾直樹, 名倉徹, 石田雅裕, 池野理門, 日下崇, 飯塚哲也, 浅田邦博, "LSI テストに向けた電源インピーダンス模擬," 電子情報通信学会総合大会論文集, A-1-3, 2017 年 3 月.
- [2] 平成 29 年度電子情報通信学会エレクトロニクスソサイエティ優秀学生修了表彰
寺尾直樹, "集積回路試験装置における実機環境模擬のための電源インピーダンス制御"
- [3] 優秀修士論文賞
寺尾直樹, "集積回路試験装置における実機環境模擬のための電源インピーダンス制御"
- [4] 丸文研究交流財団第 21 回丸文研究奨励賞
飯塚哲也, "時間モードによる高精度信号処理集積回路の研究"
- [5] Ned Kornfield Best Paper Award
- [6] Toru Nakura, Naoki Terao, Masahiro Ishida, Rimon Ikeno, Takashi Kusaka, Tetsuya Iizuka, and Kunihiro Asada, "Power Supply Impedance Emulation to Eliminate Overkills and Underkills due to the Impedance Difference between ATE and Customer Board," in Proceedings of IEEE International Test Conference (ITC), Nov. 2016.
- [7] RESMIQ Best Student Paper Award Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, "Impulse Signal Generator Based on Current-Mode Excitation and Transmission Line Resonator," in Proceedings of IEEE International New Circuits and Systems Conference (NEWCAS), pp.257-260, Jun. 2017.

- [8] (社)情報処理学会システム LSI 設計技術研究会優秀発表学生賞

織田勇牙, 飯塚哲也, 名倉徹, 浅田邦博, "表面磁界観測による電流推定を用いた集積回路の電源網解析," 情報処理学会 DA シンポジウム 2016 論文集, 2016 年 9 月.

藤田研究室 受賞

- [1] Conrad JinYong Moore, 2017.11.9 受賞 "The IEEE CEDA AJJC Academic Research Award 2017"
- [2] [2] Yusuke Kimura, Peikun Wang, Yukio Miyasaka, Kentaro Iwata, Xingming Le, Xiaoran Han, -The University of Tokyo, Advisor: Prof. Amir Masoud Gharehbaghi, Prof. Masahiro Fujita 2017.11.12 受賞, CAD Contest, Third Place of Problem A, IEEE/ACM International Conference on Computer-Aided Design (ICCAD)

高宮研究室 特許

- [1] 松永賢一, 森村浩季, 小野寺尚人, 高宮 真, 櫻井貴康, "エネルギーハーベスティング回路," 特願 2017-141779, 2017 年 7 月 21 日出願.
- [2] 宇野祐輝, 邱 浩, 高宮 真, "浮遊システム, 給電システム及び電子装置," 特願 2017-220410, 2017 年 11 月 15 日出願.
- [3] 崔 通, 櫻井貴康, 高宮 真, 神藤 始, 舟木達弥, "電力変換装置," 特願 2018-025366, 2018 年 2 月 15 日出願.

池田研究室 受賞

- [1] 杉山昇太郎, 平成 29 年度優秀卒業論文賞, 東京大学工学部電子情報工学科・電気電子工学科, 2018 年 3 月
- [2] 杉山昇太郎, 工学部長承「学業」, 2018 年 3 月

三田研究室 受賞

- [1] 岡本有貴, 三田吉郎「On-Chip MEMS アクチュエータ駆動のための MEMS 後加工 5V 標準 CMOS 素子を利用した 30V スイッチング回路」第 34 回「センサ・マイクロマシンと応用システム」シンポジウム (若手)奨励賞
- [2] 肥後昭男, Wang Haibin, 久保貴哉, 宇佐美尚人, 岡本

有貴, 山田健太郎, 瀬川浩司, 杉山正和, 三田吉郎, 「LSI 一体集積のためのシリコン上 PbS 量子ドット赤外フォトダイオードの試作」第 34 回「センサ・マイクロマシンと応用システム」シンポジウム 優秀ポスター賞

高木・竹中研究室 受賞

- [1] 竹中 充, 高木信一, 「光変調器」, 特許第 6156910 号 (2017 年 6 月 16 日登録).

受賞等

- [1] 紫綬褒章, 高木 信一
- [2] 第 9 回シリコンテクノロジー分科会論文賞, 韓在勲, Frederic Boeuf, 高木信一, 竹中充
- [3] 第 15 回 APEX/JJAP 編集貢献賞, 竹中 充
- [4] 第 16 回 IEEE EDS Japan Chapter Student Award, 金佑彊
- [5] 第 43 回 (2017 年秋季) 応用物理学会講演奨励賞, 柯夢南

Appendix

A. Publication list

■研究論文

- [1] Ryotaro Kobayashi, Anri Suzuki, Hajime Shimada, "Forwarding Path Limitation and Instruction Allocation for In-Order Processor with ALU Cascading", *Journal of Low Power Electronics and Applications*, Vol.7, No.4, pp.1-15, Dec. 2017.
- [2] T. A. Vu, M. Fujishima, "A 300 GHz CMOS Transmitter Front-End for Ultrahigh-Speed Wireless Communications," *International Journal of Electrical and Computer Engineering (IJECE)*, vol.7, no.4, pp.2278-2286, 2017/8/1
- [3] T. Someya, H. Fuketa, K. Matsunaga, H. Morimura, T. Sakurai, and M. Takamiya, "Design and Analysis of Ultra-Low Power Glitch-Free Programmable Voltage Detector Based on Multiple Voltage Copier," *IEICE Transaction on Electronics*, Vol.E100-C, No.4, pp.349-358, April 2017.
- [4] パックジフン, 高宮真, 桜井貴康, "多段チャージトランスファを用いた電源電圧温度ばらつきにロバストな微小容量変化検出回路," *電子情報通信学会論文誌*, Vol.J100-C, No.10, pp.502-509, 2017年10月.
- [5] S. Iguchi, T. Sakurai, and M. Takamiya, "A Low-Power CMOS Crystal Oscillator Using a Stacked-Amplifier Architecture," *IEEE Journal of Solid-State Circuits*, Vol.52, No.1, pp.3006-3017, Nov. 2017.
- [6] 岸田, 古田, 小林, "Evaluation of plasma-induced damage and bias temperature instability depending on type of antenna layer using current-starved ring oscillators", vol.57, no.4s, pp.04FD12-1-5, *Japanese Journal of Applied Physics* (2018)
- [7] 駒脇, 籾内, 岸田, 古田, 松本, 小林, "Replication of Random Telegraph Noise by Using a Physical-Based Verilog-AMS Model", vol.E-100A, no.12, pp.2758-2763, *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences* (2017)
- [8] Y. Mitani, K. Miyaji, S. Kaneko, T. Uekura, H. Momose and Koh Johguchi, "A compact perspiration meter system with capacitive humidity sensor for wearable health-care applications," *Japanese Journal of Applied Physics*, Vol.57, 04FF10, pp.1-8, Mar. 2018.
- [9] Kunihiro Asada, Toru Nakura, Tetsuya Iizuka, and Makoto Ikeda, "Time-Domain Approach for Analog Circuits in Deep Sub-Micron LSI," *IEICE Electronics Express*, Mar. 2018.
- [10] Md. Maruf Hossain, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "Optimal Design Method of Sub-ranging ADC Based on Stochastic Comparator," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol.E101-A, no.2, pp.410-424, Feb. 2018.
- [11] Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A PLL Compiler from Specification to GDSII," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol.E100-A, no.12, pp.2741-2749, Dec. 2017.
- [12] Tomohiko Yano, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, "A Gate Delay Mismatch Tolerant Time-Mode Analog Accumulator Using a Delay Line Ring," *IEICE Transactions on Electronics*, vol.E100-C, no.9, pp.736-745, Sep. 2017.
- [13] Nguyen Ngoc Mai-Khanh and Kunihiro Asada, "A CMOS Broadband Transceiver with On-Chip Antenna Array and Built-in Pulse-Delay Calibration for Millimeter-Wave Imaging Applications," *IEICE Transactions on Electronics*, Vol.E100-C, No.12, pp.1078-1086, Dec. 2017.
- [14] Minori Yoshida, Kousuke Miyaji, "A 190 mV start-up and 59.2% efficiency CMOS gate boosting voltage doubler charge pump in 0.18 um standard CMOS process for energy harvesting," *Japanese Journal of Applied Physics*, vol.57, no.4S, 04FF02, Feb. 2018.
- [15] Takaharu Uekura, Kousuke Oyanagi, Makoto Sonehara, Toshiro Sato, Kousuke Miyaji, "Pseudo-differential CMOS analog front-end circuit for wide-bandwidth optical probe current sensor," *Japanese Journal of Applied Physics*, vol.57, no.4S, 04FF06, Feb. 2018.

- [16] Yusuke Mitani, Kousuke Miyaji, Satoshi Kaneko, Takaharu Uekura, Hideya Momose, Koh Johguchi, "A compact perspiration meter system with capacitive humidity sensor for wearable health-care applications," *Japanese Journal of Applied Physics*, vol.57. no.4S, 04FF10, Feb. 2018.
- [17] K. Hiura, Y. Ikeda, Y. Hino, and S.Matsumoto, "Impact of the 3D Stacking Power Supply on Chip for High Frequency DC-DC Converter", *Japanese Journal of Applied Physics*, vol.54.No. 4 04CR13, 2017.
- [18] D. Takenaka and S.Matsumoto, "AC Hot Carrier Effect of the Thin-film SOI Power nMOSFET", *Japanese Journal of Applied Physics*, vol.56, No.4, 04CR17, 2017.
- [19] Shimpei Sato, Ryohei Kobayashi, and Kenji Kise, "ArchHDL: A Novel Hardware RTL Modeling and High-speed Simulation Environment," *IEICE Transactions on Information and Systems*, Vol.E101-E, No.2, pp.344-353, February 2018.
- [20] Ruibing Dong, H. Kanaya, Ramesh K. Pokharel, "A CMOS Ultrawideband Pulse Generator for 3-5 GHz Applications", *IEEE Microwave and Wireless Components Letters*, Vol.27, Issue 6, pp.584-586, 2017年6月.
- [21] Fumiya Iwai, Kuniaki Yoshitomi, and Haruichi Kanaya, "Miniaturized high-band UWB array antenna", *Microwave and Optical Technology Letters*, Volume 59, Issue 7, pp.1651-1655, 2017年7月.
- [22] Yuharu Shinki, Kyohei Shibata, Mohamed Mansour and Haruichi Kanaya, "Impedance Matching Antenna-Integrated High-Efficiency Energy Harvesting Circuit", *Sensors*, 17 (8), 1763, 14pages, 2017年8月.
- [23] Chai Eu Guan, A.I.A. Galal, Nagamitsu Mizoguchi, Akira Ishikawa, Shugo Fukagawa, Ryuji Kitaya, and Haruichi Kanaya, "Analysis and Design of a Full 360 degrees, Harmonic-Suppressed Hybrid Coupler Phase Shifter", *IEICE Transactions on Electronics*, Vol.E100-C, No.10, pp.875-883, 2017年10月.
- [24] Katsuyuki Yamaoka, Jun Eguchi, and Shigeyasu Uno, "Potentiometric Glucose Detection by Paper-based Electrochemical Sensor on CMOS Chip", *TELKOMNIKA (Telecommunication Computing Electronics and Control)*, vol.15, no.2, pp.836-841 (2017).
- [25] Jun Eguchi, Katsuyuki Yamaoka, and Shigeyasu Uno, "Simultaneous Electrochemical Measurement using Paper Fluidic Channel on CMOS Chip", *TELKOMNIKA (Telecommunication Computing Electronics and Control)*, vol.15, no.2, pp.847-852 (2017).
- [26] 宇野重康, 河原翔梧, 藤本拓也, 釜堀政男, "モバイルヘルスケアのための CMOS 集積回路とペーパーバイオセンサーの統合", *電子情報通信学会和文論文誌*, vol. J101-C, no.3, pp.156-165 (2018).
- [27] Jing Wang, Li Ding, Qiang Li, Hirofumi Shinohara and Yasuaki Inoue, "Accurate Nanopower Supply-Insensitive CMOS Unit Vth Extractor and ΔV_{th} Extractor with Continuous Variety," *IEICE Trans. Fundamentals*, vol E100-A, no.5, pp.1145-1155, May 2017..
- [28] Tanibata A., Schmid A., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T., "Proto-computing architecture over a digital medium aiming at real-time video processing," *Complexity*, vol.2018, pp.3618621-1-11 (2018).
- [29] Ando K., Ueyoshi K., Orimo K., Yonekawa H., Sato S., Nakahara H., Takamaeda-Yamazaki S., Ikebe M., Asai T., Kuroda T., and Motomura M., "BRein memory: a single-chip binary/ternary reconfigurable in-memory deep neural network accelerator achieving 1.4TOPS at 0.6W," *IEEE Journal of Solid-State Circuits*, vol.12, (2017), in press.
- [30] Tsuji T., Ikebe M., Takamaeda-Yamazaki S., Motomura M., and Asai T., "6-DoF camera position and posture estimation based on local patches of image sequence," *Journal of Signal Processing*, vol.21, no.4, pp.191-194 (2017).
- [31] Ando K., Takamaeda-Yamazaki S., Ikebe M., Asai T., and Motomura M., "A multithreaded CGRA for convolutional neural network processing," *Circuits and Systems*, vol.8, no.6, pp.149-170 (2017).
- [32] Hida I., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T., "An energy-efficient dynamic branch predictor with a two-clock-cycle naive Bayes classifier for pipelined RISC microprocessors," *Nonlinear Theory and Its Applications*, vol.E8-N, no.3, pp.235-245 (2017).
- [33] Hida I., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T., "A high perfor-

mance and energy efficient microprocessor with a novel restricted dynamically reconfigurable accelerator,” *Circuits and Systems*, vol.8, no.5, pp.134-147 (2017).

- [34] Marukame T., Ueyoshi K., Asai T., Motomura M., Schmid A., Suzuki M., Higashi Y., and Mitani Y., “Error tolerance analysis of deep learning hardware using restricted Boltzmann machine towards low-power memory implementation,” *IEEE Transactions on Circuits and Systems II*, vol.64, no.4, pp.462-466 (2017).
- [35] H. Myoren, R. Kobayashi, K. Kumagai, M. Naruse, T. Taino, “Noise Properties of Digital SQUID Using Double Relaxation Oscillation SQUID Comparator with Relaxation Oscillation Resonant Circuit”, *IEEE Transactions on Applied Superconductivity*. 27 (2017), doi:10.1109/TASC.2017.2677422.
- [36] T. Sato, S. Chivapreecha, P. Moungnoul and K. Higuchi, “RCA on FPGAs Designed by the RTL Design Methodology and Wave-Pipelined Operation,” *ECTI Transactions CIT*, vol.11, no.1, pp.11-20, 2017.
- [37] A. Luo, F. An, Y. Fujita, X. Zhang, L. Chen, and H.J. Mattausch, “Low-Power Coprocessor for Haar-Like Feature Extraction with Pixel-Based Pipelined Architecture”, *Jpn. J. Appl. Phys.*, Vol.56, No.4 SI, 04CF06 1-9 (2017.4), DOI: 10.7567/JJAP.56.04CF06
- [38] X. Zhang, F. An, I. Nakashima, A. Luo, L. Chen, I. Ishii, and H.J. Mattausch, “A hardware-oriented HOG algorithm and its VLSI implementation”, *Jpn. J. Appl. Phys.*, Vol.56, No.4 SI, 04CF01 1-7 (2017.4), DOI:10.7567/JJAP.56.04CF01
- [39] A. Luo, F. An, X. Zhang, L. Chen, and H.J. Mattausch, “Resource-Efficient Object Recognition Coprocessor with Parallel Processing of Multiple Scan Windows in 65 nm CMOS”, *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, Vol.26, No.3, 431-444 (2018.3), DOI:10.1109/TVLSI.2017.2774813
- [40] F. An, X. Zhang, A. Luo, L. Chen, and H.J. Mattausch, “A Hardware Architecture for Cell-based Feature-Extraction and Classification Using Dual-Feature Space”, *IEEE Trans. on Circuits and Systems for Video Technology*, Early Access, 1-13 (2017.7), DOI:10.1109/TCSVT.2017.2726564
- [41] Y. Tadokoro, Y. Ohno, and H. Tanaka, “Carbons for wearable devices-Commentary and introduction to the virtual special issue”, *IEEE Trans. Nanotechnol.* 17, 84-92 (2018). Doi:10.1109/Tnano.2017.2765310
- [42] P. Laiho, K. Mustonen, Y. Ohno, S. Maruyama, and E. I. Kauppinen, “Dry and Direct Deposition of Aerosol-Synthesized Single-Walled Carbon Nanotubes by Thermophoresis”, *ACS App. Mater. Interfaces* 9, 20738-20747 (2017). Doi:10.1021/acsami.7b03151
- [43] Tadashi Kishimoto, Tohru Ishihara, Hidetoshi Onodera, “A temperature monitor circuit with small voltage sensitivity using a topology-reconfigurable ring oscillator”, *Japanese Journal of Applied Physics*, vol.57, no.4S, pp.04FF09-1-04FF09-6, DOI:10.7567/JJAP.57.04FF09, 2018/03.
- [44] Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “A Necessary and Sufficient Condition of Supply and Threshold Voltages in CMOS Circuits for Minimum Energy Point Operation”, *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol.E100-A, no.12, pp.2764-2775, 2017/12.
- [45] A.K.M. Mahfuzul Islam, Tatsuya Nakai, Hidetoshi Onodera, “Statistical Analysis and Modeling of Random Telegraph Noise Based on Gate Delay Measurement”, *IEEE Transactions on Semiconductor Manufacturing*, vol.30, no.3, pp.216-226, DOI:10.1109/TSM.2017.2715168, 2017/08.
- [46] Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “Area-Efficient Fully Digital Memory Using Minimum Height Standard Cells for Near-Threshold Voltage Computing”, *Integration, the VLSI Journal*, Elsevier, DOI:10.1016/j.vlsi.2017.07.001, 2017/07.
- [47] J.-K. Park, S. Takagi, and M. Takenaka, “InGaAsP Mach-Zehnder interferometer optical modulator monolithically integrated with InGaAs driver MOSFET on a III-V CMOS photonics platform,” *Optics Express*, vol.26, no.4, pp.4842-4852, 2018.
- [48] S. Takagi, D.-H. Ahn, M. Noguchi, S.-H. Yoon, T. Gotow, K. Nishi, M. Kim, T.-E. Bae, T. Kato, R. Matsumura, R. Takaguchi, and M. Takenaka, “Low power Tunneling FET technologies using Ge/III-V materials,” *ECS Trans.*, vol.80, no.4, pp.115-124, 2017 (invited).

- [49] S. Takagi, M. Ke, C.-Y. Chang, C. Yokoyama, T. Gotow, K. Nishi, S.-H. Yoon, and M. Takenaka, "MOS interface defect control in Ge/III-V gate stacks," *ECS Trans.*, vol.80, no.1, pp.109-118, 2017 (invited).
- [50] T. Gotow, M. Mitsuhashi, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "Effects of impurity and composition profiles on electrical characteristics of GaAsSb/InGaAs hetero-junction vertical tunnel field effect transistors," *J. Appl. Phys.*, vol.122, 174503, 2017.
- [51] D.-H. Ahn, S.-M. Ji, M. Takenaka, and S. Takagi, "Design and properties of planar-type tunnel FETs using In_{0.53}Ga_{0.47}As/In_xGa_{1-x}As/In_{0.53}Ga_{0.47}As quantum well," *J. Appl. Phys.*, vol.122, 135704, 2017.
- [52] C.-Y. Chang, K. Endo, K. Kato, M. Takenaka, and S. Takagi, "Modulation of sub-threshold properties of InGaAs MOSFETs by La₂O₃ gate dielectrics," *AIP Advances*, vol.7, 095215, 2017.
- [53] J.-H. Han, F. Boeuf, J. Fujikata, S. Takahashi, S. Takagi, and M. Takenaka, "Efficient low-loss InGaAsP/Si hybrid MOS optical modulator," *Nat. Photonics*, vol.11, no.8, pp.486-490, Jul. 2017.
- [54] T. H. Xiao, Z. Zhao, W. Zhou, M. Takenaka, H. K. Tsang, Z. Cheng, and K. Goda, "Mid-infrared germanium photonic crystal cavity," *Optics Letters*, vol.42, no.15, pp.2882-2885, 2017.
- [55] D. -H. Ahn, S.-H. Yoon, M. Takenaka and S. Takagi, "Effects of HfO₂/Al₂O₃ gate stacks on electrical performance of planar-type In_xGa_{1-x}As tunneling Field-Effect Transistors," *Appl. Phys. Express*, Vol.10, 084201, 2017.
- [56] J. Kang, Z. Cheng, W. Zhou, T.-H. Xiao, K.-L. Gopalakrishna, M. Takenaka, H. K. Tsang, and K. Goda, "Focusing subwavelength grating coupler for mid-infrared suspended membrane germanium waveguides," *Optics Letters*, vol.42, no.11, pp.2094-2097, 2017.
- [57] C.-Y. Chang, C. Yokoyama, M. Takenaka, and S. Takagi, "Impact of La₂O₃/InGaAs MOS Interfaces on the Performance of InGaAs MOSFETs," *IEEE Trans. Electron Devices*, vol.64, no.6, pp.2519-2525, 2017.
- [58] Hiromitsu Awano, Shumpei Morita, and Takashi Sato, "Scalable Device Array for Statistical Characterization of BTI-Related Parameters," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol.25, No.4, pp.1455-1466, Apr. 2017.
- [59] Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato, "Utilization of Path-Clustering in Efficient Stress-Control Gate Replacement for NBTI Mitigation," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E100-A, No.7, pp.1464-1472, July 2017.
- [60] Song Bian, Shumpei Morita, Michihiro Shintani, Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "Identification and Application of Invariant Critical Paths Under NBTI Degradation," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E100-A, No.12, pp.2797-2806, Dec. 2017.
- [61] Hidenori Gyoten, Masayuki Hiromoto, and Takashi Sato, "Area Efficient Annealing Processor for Ising Model Without Random Number Generator," *IEICE Transactions on Information and Systems*, Vol.E101-D, No.2, pp.314-323, Feb. 2018.
- [62] Michihiro Shintani, Zhaoxing Qin, Kazunori Kuribara, Yasuhiro Ogasahara, Masayuki Hiromoto, and Takashi Sato, "Mechanically and Electrically Robust Metal-Mask Design for Organic CMOS Circuits," *Japanese Journal of Applied Physics*, Vol.57, No.4S, Feb. 2018.
- [63] Xuan-Thuan Nguyen, Hong-Thu Nguyen, and Cong-Kha Pham, "A Scalable High-Performance Priority Encoder Using 1D-array to 2D-array Conversion," *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol.64, No.9, pp.1102-1106, Feb. 2017.
- [64] Hong-Thu Nguyen, Xuan-Thuan Nguyen, and Cong-Kha Pham, "A Low-latency Parallel Pipeline CORDIC", *IEICE Trans. Special Section Solid-State Circuit and Design Architecture, Circuit, Device, and Design Methodology*, Vol.E100-C, No.4, 2017.
- [65] Hong-Thu Nguyen, Xuan-Thuan Nguyen, and Cong-Kha Pham, "A Low Power Hybrid Adaptive CORDIC", *IEEE Transactions on Circuits and Systems II Express Briefs*, Vol. PP, Issue 99, pp.1-5, Jul. 2017.
- [66] V. P. Hoang, V. L. Dao and C. K. Pham, "Design of ultra-low power AES encryption cores with silicon demonstration in SOTB CMOS process,"

in Electronics Letters, ISSN 0013-5194, vol.53, no.23, pp.1512-1514, Nov. 2017.

- [67] Hong-Thu Nguyen, Xuan-Thuan Nguyen, and Cong-Kha Pham, "A High-throughput Low-Energy Arithmetic Processor", IEICE Trans. Electron. Vol.E101-C, No.4, Apr. 2018.
- [68] Y. Mizugaki, T. Watanabe, and H. Shimada, "Single-Flux-Quantum Bipolar Digital-to-Analog Converter Comprising Polarity-Switchable Double-Flux-Quantum Amplifier," IEEE Transactions on Applied Superconductivity, vol.27, no.4, 1400104 (4 pages), June, 2017
- [69] Y. Mizugaki, Y. Urai, and H. Shimada, "Thermally-Fluctuated Single-Flux-Quantum Pulse Intervals Reflected in Input-Output Characteristics of a Double-Flux-Quantum Amplifier," Journal of Physics: Conference Series, vol.871, 012066 (6 pages), 2017.
- [70] B. Li, M. Hashimoto, and U. Schlichtmann, "From Process Variations to Reliability: a Survey of Timing of Digital Circuits in the Nanometer Era (Invited)," IPSJ Transactions on System LSI Design Methodology, vol.11, pp.2-15, February 2018.
- [71] Y. Masuda, T. Onoye, and M. Hashimoto, "Performance Evaluation of Software-Based Error Detection Mechanisms for Supply Noise Induced Timing Errors," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol.E100-A, no.7, pp.1452-1463, July 2017.
- [72] T. Sugiura, M. Imai, J. Yu, Y.i Takeuchi," A Low-Energy Application Specific Instruction-Set Processor towards a Low-Computational Lossless Compression Method for Stimuli Position Data of Artificial Vision Systems, No.25, pp.210-219, 2017.
- [73] Z. Abidin, K. Tanno, S. Mago, H. Tamura, "A New Instrumentation Amplifier Architecture Based on Differential Difference Amplifier for Biological Signal Processing", International Journal of Electrical and Computer Engineering (IJECE), Vol.7, No.2, pp.759-766, April 2017.
- [74] N. Kito, K. Takagi, and N. Takagi, "A Fast Wire-Routing Method and an Automatic Layout Tool for RSFQ Digital Circuits Considering Wire-Length Matching," IEEE Trans. Appl. Supercond., vol.28, no.4, Article# 1300105, 2018, accepted.
- [75] 日野翔太, 金阪遼, 和田康太郎, 升井義博, "逐次比較型 AD 変換器の低消費電力化手法," 電子情報通信学会論文誌 C, vol.J101-C, no.1, pp.36-42, 2018 年 1 月.
- [76] Hiroshi Iwata, Nanami Katayama and Ken'ichi Yamaguchi, "Formal Verification-Based Redundancy Identification of Transition Faults with Broadside Scan Tests," IEICE Transactions on Information and Systems Vol. E100.D, No.6, pp.1182-1189, Jun. (2017)
- [77] 石坂守, 山口賢一, 岩田大志, "非同期スキャン設計で用いるテスト時間を削減する新たなスキャンC素子の考案", 2017 年総合大会講演論文集, D-10-2, 2017 年 3 月
- [78] T. Kato, S. Wang, Y. Sato, S. Kajihara and X. Wen, "A Flexible Scan-in Power Control Method in Logic BIST and Its Evaluation with TEG Chips," IEEE Trans. Emerging Topics in Computing, vol.PP, no.99, pp.1-1, (11 pages), (in press).
- [79] Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, "Tunnel field-effect transistor charge-trapping memory with steep subthreshold slope and large memory window," Japanese Journal of Applied Physics 57 (2018) 04FE07.
- [80] Zhengyang Qian, Yoshiki Takezawa, Kenji Shimokawa, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, and Tetsu Tanaka, "Development of integrated photoplethysmographic recording circuit for trans-nail pulse-wave monitoring system," Japanese Journal of Applied Physics 57 (2018) 04FM11.
- [81] Hideto Hashiguchi, Takafumi Fukushima, Hiroyuki Hashimoto, Ji-Cheol Bea, Mariappan Murugesan, Hisashi Kino, Tetsu Tanaka, and Mitsumasa Koyanagi, "Self-Assembly and Electrostatic Carrier Technology for Via-Last TSV Formation Using Transfer Stacking-Based Chip-to-Wafer 3-D Integration," IEEE TRANSACTIONS ON ELECTRON DEVICES, vol.64, pp.5065-5072, November 2017.
- [82] Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, "Study of Al-doped ZnO Transparent Stimulus Electrode for Fully Implantable Retinal Prosthesis with Three-dimensionally Stacked Retinal Prosthesis Chip," Sensors and Materials, vol.30, pp.225-234, January 2018.
- [83] 菅原 陽平, 木野久志, 福島誉史, 田中徹, "マルチウエル構造 TSV を用いた TSV 側壁界面評

- 価方法の開発”, 電子情報通信学会論文誌, Vol. J101-C, No.2, pp.58-65, February 2018.
- [84] T. Matsuda, H. Demachi, H. Iwata, T. Hatakeyama, and T. Ohzone, “Analysis of Metal Wire Effect on Temperature Distribution in Stacked IC With Thinned Chip,” IEEE Transactions on Semiconductor Manufacturing, vol.30, no.3, pp.227-235, 2017.
- [85] Mamoru Ugajin, Takuya Shindo, Tsuneo Tsukahara, Takefumi Hiraguri, “An $(N+N^2)$ -Mixer Architecture for a High-Image-Rejection Wireless Receiver with an N-Phase Active Complex Filter,” IIEICE Trans. on Fundamentals, pp.1008-1014, 2017年4月
- [86] Kosuke Furuichi, Hiromu Uemura, Natsuyuki Koda, Hiromi Inaba, and Keiji Kishine : Design of High-linearity Delay Detection Circuit for 10-Gb/s Communication System in 65-nm CMOS IEIE JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE (IEIE JSTS) Volume 17 Number 6 December, 2017, pp.742
- [87] Natsuyuki Koda, Kosuke Furuichi, Hiromu Uemura, Hiromi Inaba, and Keiji Kishine : Simple and Low Power Highly Sensitive Frequency Demodulator Circuit for 10-Gb/s Transmission System for Labeling Signal IEIE JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE (IEIE JSTS) Volume 17 Number 6 December, 2017, pp.733
- [88] 平松, 池辺, 佐野, “(招待論文) 2.4 GHz ウェイクアップ受信機の試作と評価,” 電子情報通信学会和文論文誌, vol. J101-C, no.3, pp.147-155, Mar. 2018.
- [89] R. Sato, Y. Hatanaka, Y. Ando, M. Tanaka, A. Fujimaki, K. Takagi, and N. Takagi, “High-speed operation of random-access-memory-embedded microprocessor with minimal instruction set architecture based on rapid single-flux-quantum logic,” IEEE Trans. Appl. Supercond., vol.27, no.4, pp.1300505, 2017.
- [90] M. Tanaka, M. Suzuki, G. Konno, Y. Ito, A. Fujimaki, and N. Yoshikawa, “Josephson-CMOS Hybrid Memory with Nanocryotrons,” IEEE Trans. Appl. Supercond., vol.27, no.4, pp.1800904, 2017.
- [91] S. Taniguchi, H. Ito, K. Ishikawa, S. Kurokawa, M. Tanaka, H. Akaike, and A. Fujimaki, “Investigation into the individual configuration of superconducting phase shift elements made of ferromagnetic patterns for reconfigurable circuits,” IEEE Trans. Appl. Supercond., vol.27, no.4, pp.1501204, 2017.
- [92] 田中雅光, 藤巻朗, 井上弘士, “単一磁束量子回路に基づくマイクロプロセッサの動向と展望,” 低温工学, vol. 52, no.5, pp.323-331, 2017.
- [93] 稲垣, 松谷, “可変遅延回路を用いたサイクリック型 TDC”, 電気学会論文誌 C, Vol.138, No.1, pp.10-17, 2018年1月.
- [94] Takuji Miki, Noriyuki Miura, Kento Mizuta, Shiro Dosho, Makoto Nagata, “A 500 MHz-BW -52.5 dB-THD Voltage-to-Time Converter Utilizing Two-Step Transition Inverter Delay Lines in 28 nm CMOS,” IEICE Transactions on Electronics, Vol.E100-C, No.6, pp.560-567, June 2017.
- [95] Heming Sun, Dajiang Zhou, Landan Hu, Shinji Kimura and Satoshi Goto, “Fast Algorithm and VLSI Architecture of Rate Distortion Optimization in H.265/HEVC”, IEEE Transactions on Multimedia, 16 pages, May 2017.
- [96] Li Guo, Dajiang Zhou, Shinji Kimura, Satoshi Goto, “Distortion Control and Optimization for Lossy Embedded Compression in Video Codec System”, IEICE Trans. Fundamentals, Vol. E100-A, No.11, pp.2416-2424, Nov. 2017.
- [97] Matsuzuka, Hirose, Shizuku, Shinonaga, Kuroki, and Numa, “An 80mV-to-1.8V Conversion-Range Low-Energy Level Shifter for Extremely Low-Voltage VLSIs,” IEEE Trans. Circuits Syst. I, Reg. Papers, vol.64, issue 8, pp.2026-2035, 2017.
- [98] Asano, Hirose, Miyoshi, Tsubaki, Ozaki, Kuroki, and Numa, “A Sub-1- μ s Start-up Time, Fully-integrated 32-MHz Relaxation Oscillator for Low-power Intermittent Systems,” IEICE Trans. Electron., vol.101-C, no.3, pp.161-169, 2018.
- [99] Asano, Hirose, Kojima, Kuroki, and Numa, “A fully integrated, wide load range, high power conversion efficiency switched capacitor DC-DC converter with adaptive bias comparator for ultra-low-power power management integrated circuit,” Jpn. J. Appl. Phys. 57, 04FF03, 2018.
- [100] Takuto Takahashi, Toshiki Sugimoto, Hiroshi Tanimoto, Shingo Yoshizawa, “A Proposal for Downconverting A-to-D Converter Based on Even-Harmonic Mixer and $\Delta\Sigma$ -TDC,” IEEE Transactions on Electronics, Information and Systems, Vol. 138, No.1, pp.50-56, Jan. 2018.

- [101] Yasushi Fukuda, Zule Xu, Takayuki Kawahara, "Robustness Evaluation of Restricted Boltzmann Machine against Memory and Logic Error," *IEICE TRANSACTIONS ON ELECTRONICS*, 2017年12月.
- [102] 福原, 平谷, 杉山, 恩地, 藏野, "対称型 NOR アーキテクチャを用いたハミング距離検索機能付き CAROM の提案", *東海大学紀要情報通信学部*, Vol.10, No.1, pp.1-8, 2017年09月.
- [103] I.S.A. Halim, F. Kobayashi, M. Watanabe, K. Mashiko, O.C. Yee, "Small Area Implementation for Optically Reconfigurable Gate Array VLSI: FFT Case," *Journal of Scientific & Industrial Research*, Vol.76, pp. 697-700, Nov., 2017.
- [104] T. Fujimori, M. Watanabe, "Parallel light configuration that increases the radiation tolerance of integrated circuits," *Optics Express*, Vol.25, Issue 23, pp.28136-28145, Oct., 2017.
- [105] A. Ogiwara, M. Watanabe, Y. Ito, "Effects of gamma-ray irradiation on holographic polymer-dispersed liquid crystal memory," *Applied Optics*, Vol.56, Issue 16, pp.4854-4860, May, 2017.
- [106] Haruka Matsuo, Yoshiki Motoyamal, Satoshi Saikatsu and Akira Yasuda, "Driving a High-Precision Multi-coils-motor by Reducing an Influence of Manufacturing Variations," DOI:10.17265/1934-8975/2017.01.007, *Journal of Energy and Power Engineering 11* (2017) 48-55.
- [107] Jun Ohta, Toshihiko Noda, Kenzo Shodo, Yasuo Terasawa, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, "Stimulator design of retinal prosthesis," *IEICE Trans. Electron.*, vol.E100-C, no.6, pp.523-528, 2017.
- [108] Hiroaki Takehara, Kazutaka Osawa, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "On-chip cell analysis platform: implementation of contact fluorescence microscopy in microfluidic chips," *AIP Advances*, vol.7, 95213, 2017.
- [109] Toshihiko Noda, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "Functional validation of intelligent retinal stimulator using microchip-embedded smart electrode," *Sens. Mater.* vol.30, 2. pp.167-177, 2018. Doi:10.18494/SAM.2018.1649
- [110] Toshihiko Noda, Yoshiko Noda, Po-Chun Chen, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, Chung-Yu Wu, and Jun Ohta, "Electrochemical Evaluation of Geometrical Effect and Three-Dimensionalized Effect of Iridium Oxide Electrodes Used for Retinal Stimulation," *Sens. Mater.* vol.30, 2. pp.213-224, 2018.
- [111] Wuthibenjaphonchai Nattakarn, Takaaki Ishizu, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Mohamad Sawan, Jun Ohta, "CMOS-based Optical Energy Harvesting Circuit for Biomedical and IoT Devices," *Jpn. J. Appl. Phys.*, vol.55, no.4S, 04EM03, 2018
- [112] Y. Takahashi, T. Sekine, and M. Yokoyama, "Memristor-based pseudo-random pattern generator using relaxation oscillator," *IEEJ Trans. Electrical and Electronic Engineering*, vol.12, no.6, pp.963-964, Nov. 2017.
- [113] Orita, T., Koyama, A., Yoshino, M., Kamada, K., Yoshikawa, A., Shimazoe, K., & Sugawara, H. (2017). The current mode Time-over-Threshold ASIC for a MPPC module in a TOF-PET system. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*.
- [114] Motohiro Takayasu, Shiro Dosho, Hiroyuki Ito, Daisuke Yamane, Toshifumi Konishi, Katsuyuki Machida, Noboru Ishihara, Kazuya Masu, "A 0.18- μm CMOS time-domain capacitive-sensor interface for sub-1mG MEMS accelerometers," *IEICE Electronics Express*, Vol.15, No.2, Jan.2018, p.20171227
- [115] 五十嵐, 南, 中野, "A Design of Boost Power Supply for On-Chip Solar Cell using Standard CMOS Process", *IEEJ Transactions on Electronics, Information and Systems* Vol.138 No.1 pp.1-9, 2017年10月9日.
- [116] M. Hashizume, Y. Shiraishi, H. Yotsuyanagi, H. Yokoyama, T. Tada and Shyue-Kung Lu, "Electrical Test of Resistive and Capacitive Open Defects at Data Bus in 3D Memory IC", *Journal of Telecommunication, Electronic and Computer Engineering*, Vol.9, No.3-2, pp.39-42, 2017.
- [117] F. A. Ashikin, A. Odoriba, M. Hashizume, H. Yotsuyanagi and Shyue-Kung Lu, "Electrical Tests for Capacitive Open Defects in Assembled PCBs", *Journal of Telecommunication, Electronic and Computer Engineering*, Vol.9, No.3-2, pp.49-52, 2017.

- [118] Daisuke Nishikata, Mohammad Alimudin Bin Mohd Ali, Kento Hosoda, Hiroshi Matsumoto and Kazuyuki Nakamura, "Design and measurement of fully digital ternary content addressable memory using ratioless static random access memory cells and hierarchical-AND matching comparator", *Japanese Journal of Applied Physics*, Vol.57, No.4S, 04FE11, March 2018.
- [119] T. Yamashita, D. Nakano, M. Mori and K. Maezawa, "A wide-range variable-frequency resonant tunneling diode oscillator using a variable resonator suitable for simple MEMS process", *Jpn. J. Appl. Phys.* Vol.57 (2018) 04FG10.
- [120] H.Ishida, K. Kagawa, T.Komuro, B.Zhang, M.-W.Seo, T.Takasawa, K.Yasutomi, S.Kawahito, "Multi-Aperture-Based Probabilistic Noise Reduction of Random Telegraph Signal Noise and Photon Shot Noise in Semi-Photon-Counting Complementary-Metal-Oxide-Semiconductor Image Sensor", *Sensors*, 2018.18, pp.977, 2018.3.26.
- [121] H. Kamehama, S. Kawahito, S. Shrestha, S. Nakanishi, K. Yasutomi, A. Takeda, T. G. Tsuru, Y. Arai, "A Low-Noise X-ray Astronomical SOI Pixel Detector Using a Pinned Depleted Diode Structure", *Sensors*, 2018.18, pp.27, 2017.12.23.
- [122] K. Mars, D-X. Lioe, S. Kawahito, K. Yasutomi, K. Kagawa, T. Yamada, M. Hashimoto, "Label-Free Biomedical Imaging Using High-Speed Lock-In Pixel Sensor", *Sensors*, 2017.17, pp.2581, 2017.11.
- [123] M-W. Seo, S. Kawahito, "A 7ke- SD-FWC 1.2e-rms Temporal Random Noise 128×256 Time-Resolved CMOS Image Sensor with Two In-Pixel SDs for Biomedical Applications", *IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS*, Volume11, Issue 6, pp.1335-1343, 2017.9.21.
- [124] D-X. Lioe, Z. Liu, M-W. Seo, M. Niwayama, M. Hakamata, K. Yasutomi, K. Kagawa, Y. Fukushi, S. Yamamoto, S. Kawahito, "Highly Time-Resolved Near Infrared Spectroscopy Image Sensors Using a High-Speed CMOS Lock-in Pixel", *Proceedings, the 19th Takayanagi Kenjiro Memorial Symposium*, Poster- 38, pp.210-213, 2017.11.21
- [125] Z. Liu, D-X. Lioe, M-W. Seo, M. Niwayama, M. Hakamata, K. Kagawa, K. Yasutomi, Y. Fukushi, S. Yamamoto, S. Kawahito, "A Time-Resolved NIRS Experiment Using a CMOS Lock-In Pixel Image Sensor with Highly Time-Resolving Capability", *Proceedings, The 39th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC'17)*, 2017.7.14
- [126] Hiroaki Takehara, Kazutaka Osawa, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "On-chip cell analysis platform: Implementation of contact fluorescence microscopy in microfluidic chips", *AIP Advances*, 7, 095213 (2017).
- [127] K. Terada, M. Yanagisawa, N. Togawa, "A Bitwidth-Aware High-Level Synthesis Algorithm Using Operation Chainings for Tiled-DR Architectures," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, E100-A, no.12, pp.2911-2924.
- [128] Rui Wu, Ryo Minami, Yuuki Tsukui, Seitaro Kawai, Yuuki Seo, Shinji Sato, Kento Kimura, Satoshi Kondo, Tomohiro Ueno, Nurul Fajri, Shotarou Maki, Noriaki Nagashima, Yasuaki Takeuchi, Tatsuya Yamaguchi, Ahmed Musa, Korkut Kaan Tokgoz, Teerachot Siriburanon, Bangan Liu, Yun Wang, Jian Pang, Ning Li, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "64-QAM 60-GHz CMOS Transceivers for IEEE 802.11ad/ay", *IEEE Journal of Solid-State Circuits*, Vol.52, No.11, pp.2871-2891, Nov. 2017.
- [129] S. Sato, Y. Omura, "Novel Addressable Test Structure for Detecting Soft Failure of Resistive Elements when Developing Manufacturing Procedures", *IEEE Transactions on Semiconductor Manufacturing*, Vol.31, Issue. 1, pp.124-129, 2018.
- [130] Y. Mori, S. Sato, Y. Omura, A. Chattopadhyay, and A. Mallik, "On the definition of Threshold Voltage for Tunnel FETs", *Superlattices and Microstructures*, vol.107, pp.17-27, 2017.
- [131] Y. Omura, Y. Mori, S. Sato, and A. Mallik, "Revisiting the Role of Trap-Assisted-Tunneling Process on Current-Voltage Characteristics in Tunnel Field-Effect Transistors," *J. Appl. Phys.* Vol.123, pp.161549-1-161549-6, 2017.
- [132] Shimizu, "Development of NDA Free VLSI Design Flow for 0.6 um Commercial

Fabrication”, ICIC Express Letters, Vol.12, No.3, pp.213-220, 2018

- [133] 和田雄友, 呉研, 高橋芳浩, 「微細 SOI デバイスの重イオン照射誘起寄生バイポーラ効果抑制」, 日本信頼性学会誌, Vol.39, No.3, pp.145-153.
- [134] Shunta Mizuno, Fumiya Naito and Makoto Nakamura, “Bandwidth enhancement technique for TIA using flipped voltage follower”, IEICE Electronics Express, Vol.14, No.10, pp.20170310, May 25, 2017.
- [135] 小島拓也, 國枝衛, 久米沢弥, 中村誠, “高速レベル検出回路による光パケット伝送用リセット信号の高速生成”, 電子情報通信学会和文論文誌, 基礎・境界, Vol. J101-A, No.01, pp.7-10, Jan. 2018.
- [136] 肥田顕, 水野俊太, 内藤文哉, 中村誠, 中野慎介, 野坂秀之, “カレントミラー回路を用いた広帯域 CMOS TIA”, 電子情報通信学会和文論文誌, 基礎・境界, Vol. J101-A, No.03, pp.27-30, Mar. 2018.
- [137] Shimpei Sato, Ryohei Kobayashi, and Kenji Kise, ArchHDL: A Novel Hardware RTL Modeling and High-Speed Simulation Environment, IEICE Transactions on Information and Systems, Vol. E101-D, No.2, pp.344-353, February 2018.
- [138] T. Someya, H. Fuketa, K. Matsunaga, H. Morimura, T. Sakurai, and M. Takamiya, “Design and Analysis of Ultra-Low Power Glitch-Free Programmable Voltage Detector Based on Multiple Voltage Copier,” IEICE Transaction on Electronics, Vol.E100-C, No.4, pp.349-358, April 2017.
- [139] パックジフン, 高宮真, 桜井貴康, “多段チャージトランスファを用いた電源電圧温度ばらつきにロバストな微小容量変化検出回路,” 電子情報通信学会論文誌, Vol.J100-C, No.10, pp.502-509, 2017年10月.
- [140] S. Iguchi, T. Sakurai, and M. Takamiya, “A Low-Power CMOS Crystal Oscillator Using a Stacked-Amplifier Architecture,” IEEE Journal of Solid-State Circuits, Vol.52, No.1, pp.3006-3017, Nov. 2017.
- [141] M.Amagasaki, Y.Nishitani, Kazuki Inoue, Masato Iida, Morihiro Kuga and Toshinori Sueyoshi, “Physical Fault Detection and Recovery Methods for System-LSI Loaded FPGA-IP Core,” IEICE Transactions on Information and Systems, Vol.E100-D, No.4, pp. 633-644, Apr. 2017
- [142] M.Amagasaki, F.Murase, M.Kuga, M.Iida, and T.Sueyoshi, “FPGA based ASIC Emulator with High Speed Optical Serial Link,” HEART2017 Proc. of the 8th International Workshop on Highly-Efficient Accelerators and Reconfigurable Technologies, Article No.18, Bochum, Germany, June 2017. Doi:10.1145/3120895.3120913
- [143] M.Amagasaki, F.Murase, M.Kuga, M.Iida, and T.Sueyoshi, “FPGA based ASIC Emulator with High Speed Optical Serial Link,” Proc. of International Workshop on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART2017), June 2017
- [144] Satoshi Maruyama, Takeshi Hizawa, Takahashi Kazuhiro and Kazuaki Sawada, “Optical-Interferometry-Based CMOS-MEMS Sensor Transduced by Stress-Induced Nanomechanical Deflection”, Sensors 2018, 18 (1), 138.
- [145] Takayuki Okazawa, Ippei Akita, “A dynamic latched comparator using area-efficient stochastic offset voltage detection technique,” IEICE Trans. Electron., vol.E101-C, pp.-, 2018. (accepted)
- [146] Takayuki Okazawa, Ippei Akita, “A time-domain analog spatial compressed sensing encoder for multi-channel neural recording,” Sensors, vol.18, no.1, 184 (21 pages), Jan. 2018.
- [147] Yusuke Matsushita, Hayate Okuhara, Koichiro Masuyama, Yu Fujita, Ryuta Kawano, Hideharu Amano, “Body Bias Domain Partitioning Size Exploration for a Coarse Grained Reconfigurable Accelerator”, IEICE Transactions on Information and Systems, Vol. E100-D, No.12, pp.2828-2836, Dec 2017.
- [148] NOMURA, Akio et al. Escalator Network for a 3D Chip Stack with Inductive Coupling ThruChip Interface. International Journal of Networking and Computing, [S.l.], v. 8, n. 1, p. 124-139, jan. 2018. ISSN 2185-2847.
- [149] T.Okubo, M.Sit, H.Amano, R.Takata, R.Sakamoto, M.Kondo, “A Software Development Environment for a Multi-chip Convolutional Network Accelerator,” International Journal of Computer Application, Vol.24, No.2, June 2017.
- [150] K. Azegami, H. Okuhara and H. Amano, “Body Bias Control for Renewable Energy Source with a High Inner Resistance”, IEEE Transactions on

Multi-Scale Computing Systems (in press)

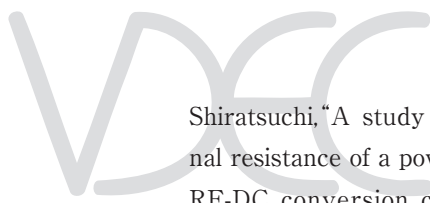
- [151] H. Okuhara, A. Ben Ahmed and H. Amano, "Digitally Assisted On-Chip Body Bias Tuning Scheme for Ultra Low-Power VLSI Systems," in *IEEE Transactions on Circuits and Systems I: Regular Papers*. (in press)
- [152] H. Okuhara, A. Ben Ahmed, J. M. Kühn and H. Amano, "Asymmetric Body Bias Control With Low-Power FD-SOI Technologies: Modeling and Power Optimization," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. (in press)
- [153] Y. Yoshida, K. Usami, "Energy-Efficient Standard Cell Memory with Optimized Body-Bias Separation in Silicon-on-Thin-BOX (SOTB)," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol.E100-A, no.12, pp.2785-2796, December 1, 2017.
- [154] C. Pan and Hao San, "A 2nd-order Δ AD Modulator using Dynamic Analog Components with Simplified Operation Phase," *IEICE Trans on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E101-A, No.2, pp.425-433, February, 2018.
- [155] Y. Itano, T. Kitano, Y. Sakamoto, K. Komoku, T. Morishita, N. Itoh, "Modeling and Layout Optimization of MOM Capacitor for High-Frequency Applications," *IEICE Transaction on Fundamentals*, Vol.E101-A, No.2, pp.441-446, Feb. 2018.
- [156] Koji Kotani, "Quasi-three-dimensional integration scheme using time-domain interconnection," *Japanese Journal of Applied Physics*, Vol.56, No.7S2, 07KE01, July 2017.
- [3] Kyoya Takano, Kosuke Katayama, Shuhei Amakawa, Takeshi Yoshida, Minoru Fujishima, "56-Gbit/s 16-QAM Wireless Link With 300-GHz-Band CMOS Transmitter," 2017 IEEE International Microwave Symposium (IMS2017), pp.1-4 (7 June 2017)
- [4] Shinsuke Hara, Kosuke Katayama, Kyoya Takano, Ruibing Dong, Issei Watanabe, Norihiko Sekine, Akifumi Kasamatsu, Takeshi Yoshida, Shuhei Amakawa, Minoru Fujishima, "A 32 Gbit/s 16QAM CMOS Receiver in 300 GHz Band," 2017 IEEE International Microwave Symposium (IMS2017), pp.1-4 (8 June 2017)
- [5] K. Takano, S. Amakawa, T. Yoshida, and M. Fujishima, "A figure of merit for terahertz transceiver modules," *Vietnam Japan Microwave 2017 Conference (VJMW 2017)*, 14 Jun 2017
- [6] S. Kohara, S. Amakawa, T. Yoshida, M. Fujishima, "Noise-figure optimization of a multi-stage millimeter-wave amplifier with negative capacitance feedback," 2017 Thailand-Japan Microwave (TJMW2017), 15 Jun 2017
- [7] K. Katayama, K. Takano, S. Amakawa, T. Yoshida, M. Fujishima, "2.37-dBm-output 288-310 GHz frequency multiplier in 40 nm CMOS," 2017 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp.28-30, 31 Aug 2017
- [8] S. Hara, K. Katayama, K. Takano, R. Dong, I. Watanabe, N. Sekine, A. Kasamatsu, T. Yoshida, S. Amakawa, M. Fujishima, "A 416-mW 32-Gbit/s 300-GHz CMOS receiver" 2017 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp.65-67, 31 Aug 2017
- [9] T. A. Vu, K. Takano, M. Fujishima, "A 300 GHz single varactor doubler in 40 nm CMOS," 2017 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp.165-167, Sep 2017
- [10] K. Takano, K. Katayama, S. Hara, R. Dong, K. Mizuno, K. Takahashi, A. Kasamatsu, T. Yoshida, S. Amakawa, M. Fujishima, "300-GHz CMOS transmitter module with built-in waveguide transition on a multilayered glass epoxy PCB," *The 2018 IEEE Radio and Wireless*

■国際会議

- [1] A. Takeshige, Y. Ito, K. Takano, K. Katayama, T. Yoshida, M. Fujishima, S. Amakawa, "Causal transmission line model incorporating frequency-dependent linear resistors," 2017 IEEE 21st Workshop on Signal and Power Integrity (SPI), pp.1-4, 2017/5/7
- [2] K. Katayama, S. Amakawa, K. Takano, T. Yoshida, M. Fujishima, K. Hisamitsu, H. Takatsuka, "An 80-106 GHz CMOS amplifier with 0.5 V supply voltage," 2017 Radio Frequency Integrated Circuits Symposium

- Symposium (RWS2018), pp.154-156, 16 Jan. 2018.
- [11] C.-S. Wu, M. Takamiya, and T. Sakurai, "Buck Converter with Higher Than 87% Efficiency over 500nA to 20mA Load Current Range for IoT Sensor Nodes by Clocked Hysteresis Control," IEEE Custom Integrated Circuits Conference (CICC), Austin, USA, pp.1-4, April 2017.
- [12] Y. Yamauchi, T. Sai, T. Sakurai, and M. Takamiya, "Modeling of 3-Level Buck Converters in Discontinuous Conduction Mode for Stand-by Mode Power Supply," IEEE International Symposium for Circuits and Systems (ISCAS), Baltimore, USA, pp.1282-1285, May 2017.
- [13] Y. Uno, H. Qiu, T. Sai, S. Iguchi, Y. Mizutani, T. Hoshi, Y. Kawahara, Y. Kakehi, and M. Takamiya, "Luciola: A Millimeter-Scale Light-Emitting Particle Moving in Mid-Air Based On Acoustic Levitation and Wireless Powering," Proceedings of the ACM on Interactive, Mobile, Wearable and Ubiquitous Technologies (IMWUT), Volume 1, Issue 4, Article No.166, 17 pages, Dec. 2017.
- [14] Yoshihiko Horio and Takayoshi Fujino, "IC prototyping of a switched-current A/D converter circuit based on the golden ratio encoder," in Proceedings of International Symposium on Nonlinear Theory and Its Applications, pp.120-123, Dec. 4-7, 2017.
- [15] 山田, 丸岡, 古田, 小林, "Sensitivity to Soft Errors of NMOS and PMOS Transistors Evaluated by Latches with Stacking Structures in a 65 nm FDSOI Process", pp.P-SE.3-1-5, IEEE International Reliability Physics Symposium (2018)
- [16] 山下, Stoffels, Posthuma, Decoutere, 小林, "Design of gate driver monolithically integrated with power p-GaN HEMT based on E-mode GaN-on-Si technology", Texas Power and Energy Conference (2018)
- [17] 小林, "Highly-reliable Integrated Circuits for Ground and Space Applications", pp.722-725, International Conference on ASIC (2017)
- [18] 山田, 丸岡, 古田, 小林, "Radiation-Hardened Flip-Flops with Low Delay Overheads Using PMOS Pass-Transistors to Suppress a SET Pulse in a 65 nm FDSOI Process", The conference on Radiation and its Effects on Components and Systems (2017)
- [19] 岸田, 古田, 小林, "Plasma Induced Damage Depending on Antenna Layers in Ring Oscillators", pp.209-210, International Conference on Solid State Devices and Materials (2017)
- [20] 稲森, 古田, 小林, "MHz-Switching-Speed Current-Source Gate Driver for SiC Power MOSFETs", pp.DS1a.2.1-2.7, European Conference on Power Electronics and Applications (2017)
- [21] 古田, 梅原, 小林, "Analysis of Neutron-induced Soft Error Rates on 28 nm FD-SOI and 22 nm FinFET Latches by the PHITS-TCAD Simulation System", pp.185-188, International Conference on Simulation of Semiconductor Processes and Devices (2017)
- [22] 山下, 古田, 稲森, 小林, "Design of RCD Snubber Considering Wiring Inductance for MHz-Switching of SiC-MOSFET", no.O10-2, IEEE Workshop on Control and Modeling for Power Electronics (2017)
- [23] 駒脇, 藪内, 岸田, 古田, 松本, 小林, "Circuit-level Simulation Methodology for Random Telegraph Noise by Using Verilog-AMS", no.I2, pp.I2.01-04, International Conference on IC Design and Technology (2017)
- [24] 山田, 丸岡, 古田, 小林, "A Flip-Flop with High Soft-error Tolerance and Small Power and Delay Overheads", no.poster-1, Symposium on Low-Power and High-Speed Chips (COOL Chips)(2017)
- [25] 一二三, 丸岡, 梅原, 山田, 古田, 小林, "Influence of Layout Structures to Soft Errors Caused by Higher-energy Particles on 28/65 nm FDSOI Flip-Flops", pp.SE5.1-SE5.4, IEEE International Reliability Physics Symposium (2017)
- [26] 小林, 古田, 丸岡, 一二三, 熊代, 加藤, 郡, "A 16 nm FinFET Radiation-hardened Flip-Flop, Bistable Cross-coupled Dual-Modular-Redundancy FF for Terrestrial and Outer-Space Highly-reliable Systems", pp.SE2.1-SE2.3, IEEE International Reliability Physics Symposium (2017)
- [27] 濱野他, "Wide Dynamic Range Rectifier Circuit with Sequential Power Delivery Technique," 47th EuMC, pp.1155-1158, Oct. 2017
- [28] 濱野他, "Design of concurrent dual-band rectifier with harmonic signal control," 2017 IMS,

- pp.1042-1045, June 2017
- [29] Y. Mitani, K. Miyaji, S. Kaneko, T. Uekura, H. Momose and K. Johguchi, "A compact sweat monitoring system with CMOS capacitive humidity sensor for wearable health-care application," *Extended Abstracts of Solid State Devices and Materials*, pp.261-262, Sep. 2017.
- [30] Masahiro Kano, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A Triangular Active Charge Injection Scheme using a Resistive Current for Resonant Power Supply Noise Suppression," in *Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp.318-321, Dec. 2017.
- [31] Ryuichi Enomoto, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "An Ultra-Wide-Range Fine-Resolution Two-Step Time-to-Digital Converter with Built-In Foreground Coarse Gain Calibration," in *Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp.231-234, Dec. 2017.
- [32] Takaaki Ito, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "A 40-kS/s 16-bit Non-Binary SAR ADC in 0.18 μ m CMOS with Noise-Tunable Comparator," in *Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp.1-4, Dec. 2017.
- [33] Xiao Yang, Kai Xu, Tetsuya Iizuka, Toru Nakura, Hongbo Zhu, and Kunihiro Asada, "A SPAD Array Sensor based on Breakdown Pixel Extraction Architecture with Background Readout for Scintillation Detector," in *Proceedings of IEEE Sensors 2017*, pp.525-527, Oct. 2017.
- [34] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Shigeru Nakajima and Kunihiro Asada, "High-Sensitivity Micro-magnetic Probe for The Applications of Safety and Security," in *Proceedings of IEEE International Conference on Integrated Circuits, Design, and Verification (ICDV)*, Oct. 2017.
- [35] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, "Impulse Signal Generator Based on Current-Mode Excitation and Transmission Line Resonator," in *Proceedings of IEEE International New Circuits and Systems Conference (NEWCAS)*, pp.257-260, Jun. 2017.
- [36] Naoki Terao, Toru Nakura, Masahiro Ishida, Rimon Ikeno, Takashi Kusaka, Tetsuya Iizuka, and Kunihiro Asada, "Extension of Power Supply Impedance Emulation Method on ATE for Multiple Power Domain," in *Proceedings of IEEE European Test Symposium (ETS)*, May. 2017.
- [37] Kousuke Miyaji, Hideki Shinohara, "A ZVS active diode rectifier for wireless power transmission using voltage-time-conversion DLL," *IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, TH_1A_1, Aug. 2017. (Invited)
- [38] Yusuke Mitani, Kousuke Miyaji, Satoshi Kaneko, Takaharu Uekura, Hideya Momose, Koh Johguchi, "A Compact Sweat Monitoring System with CMOS Capacitive Humidity Sensor for Wearable Health-Care Application," *International Conference on Solid State Devices and Materials (SSDM)*, pp.261-262, Sep. 2017.
- [39] Takaharu Uekura, Kousuke Oyanagi, Makoto Sonehara, Toshiro Sato, Kousuke Miyaji, "A 120dBohm 16MHz Pseudo Differential CMOS Analog Front End Circuit for Optical Probe Current Sensor," *International Conference on Solid State Devices and Materials (SSDM)*, pp.351-352, Sep. 2017.
- [40] Minori Yoshida, Kousuke Miyaji, "A 190mV Start-up Voltage Doubler Charge Pump with CMOS Gate Boosting Technique in 0.18 μ m Standard CMOS Process for Energy Harvesting," *International Conference on Solid State Devices and Materials (SSDM)*, pp.509-510, Sep. 2017.
- [41] Yuki Karasawa, Yusuke Gotou, Shintaro Hara, Takanobu Fukuoka, Kousuke Miyaji, "Comparisons of Wire Bonding and Flip-Chip Bonding Assembly in High Frequency Hysteretic DC-DC Buck Converters," *International Conference on Solid State Devices and Materials (SSDM)*, pp.513-514, Sep. 2017.
- [42] Tsunayuki Yamamoto, "Effect of a forward-resistance of a diode on an optimum load of a RF rectifier," *Proc. 2017 International Applied Computational Electromagnetics Society Symposium in China, THP-18*, p.1, Aug. 2017.
- [43] Tsunayuki Yamamoto, Hiroshi Kubo, Kana



Shiratsuchi, "A study on influences of an internal resistance of a power supply on a self-biased RF-DC conversion circuit," Proc. 2017 Asian Wireless Power Transfer Workshop, D1-S3-03, pp.1-4, Dec. 2018.

- [44] S. Miyano, T. Akagi, S. Abe, and S. Matsumoto, "Potential of the 0.35 μm CMOS gate driver technology for the GaN power devices Extended Abstract of the 2016 International Conference on Solid State Devices and Materials, N-6-03, 2017.
- [45] M. Nomura, A. Watanabe, and S. Matsumoto, "AC Hot carrier effect and PBTI of a thin film SOI Power n-MOSFET at high temperature", Extended Abstract of the 2016 International Conference on Solid State Devices and Materials, PS-14-06, 2017.
- [46] Haruichi Kanaya, "CMOS Class-E Power Amplifier Module with CPW Bonding Wires for 5GHz Application", Proc. 2017 International Conference on Electronics Packaging, pp.237-238, 2017年4月.
- [47] H. Kanaya, K. Yamaguchi, Y. Matsushita, T. Kudo, T. Furuichi, "2.4GHz Monopole Antenna on Flexible Substrate for Implanting Sensor", proc. 2017 IEEE AP-S Symposium on Antennas and Propagation and URSI CNC/USNC Joint Meeting, pp.391-392, 2017年7月.
- [48] Goki Sakano, Jun Haruki, Kota Tsugami, Haruichi Kanaya, and Kazutoshi Kato, "4x4 Arrayed THz-wave Combiner Composed Of UTC-PDs And Slot Antennas", Proc. The 22nd Opto Electronics and Communications Conference, pp.1-2, 2017年8月.
- [49] M. M. Mansour, H. Kanaya, "Compact RF Rectifier Circuit for Ambient Energy Harvesting", Proc. IEEE International Symposium on Radio-Frequency Integration Technology, pp.220-222, 2017年8月.
- [50] Guan Chai Eu, Mohamed Mansour, Kuniaki Yoshitomi, Haruichi Kanaya, "A Printed Array Antenna for Multi-Layer PCB Design", Proc. 2017 International Symposium on Antennas and Propagation, pp.USB1-2, 2017年10月.
- [51] Y. Zhou, G. Sakano, K. Tsugami, H. Kanaya, and K. Kato, "Terahertz wave beam steering by optical phase control", Proc. 22nd Microoptics Conference, pp.124-125, 2017年11月.
- [52] Tomoki Sadakiyo, Haruichi Kanaya, "Development of Highly efficient push-pull Power Amplifier with Center Tapped Transformer for 5GHz application", Proceedings of the 19th Electronics Packaging Technology Conference, pp.1-4, 2017年12月.
- [53] Kyohei Shibata, Yuharu Shinki, Ryosuke Tsutsumi, Tetsuo Ikeda, Haruichi Kanaya, "Development of the Endoscopic Clip with a Battery-Less LED for Laparoscopic Gastrointestinal Resection", Proceedings of the 19th Electronics Packaging Technology Conference, pp.1-4, 2017年12月.
- [54] H. Kanaya, K. Tsugami, G. Sakano, G. C. Eu, K. Kato, "Development of 4x4 phased array antenna on chip for 300GHz band application", Proc. SPIE Photonics West, 7pages, Mar. 7, 2018年3月.
- [55] T. Manabe, Y. Shibata, K. Oguri, "FPGA Implementation of a Real-Time Super-Resolution System with a CNN Based on a Residue Number System", Proceedings of the International Conference on Field-Programmable Technology, pp.299-300, 2017年12月.
- [56] J. Eguchi, K. Yamaoka and S. Uno, "Electrochemical Current Measurement by CMOS Potentiostat Integrating Chromatography Paper Fluidic Channel and CMOS LSI Chip for Small Biosensors", 5th International Symposium on Sensor Science (ISS2017), Barcelona, Spain (September 27, 2017), P-53.
- [57] Satoshi Kawamura, Daisuke Tanaka, Taisuke Tanaka, Daisuke Noguchi, Yuichiro Hayakawa, Minami Kaneko, Ken Saito, and Fumio Uchikoba, "Neural networks IC controlled multi-legged walking MEMS robot with independent leg mechanism", Proceedings of 23rd International Symposium on Artificial Life and Robotics, 2018.1.
- [58] T. Saito, S. Komatsu, "A Low-Voltage Hysteresis Comparator for Low Power Applications," 2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Dec. 2017.
- [59] R. Yumoto, S. Komatsu, "Characteristics Optimization of Stochastic ADC and Its Automatic Generation System," 2017 15th IEEE International New Circuits and Systems

- Conference (NEWCAS), Jun. 2017/
- [60] Hirofumi Shinohara, Baikun Zheng, Yanhao Piao, Bo Liu, Shiyu Liu, "Analysis and Reduction of SRAM PUF Bit Error Rate," IEEE, International Symposium on VLSI Design, Automation and Test (VLSI-DAT), D9-4, April 2017.
- [61] Uematsu R., Ando K., Ueyoshi K., Hirose K., Ikebe M., Asai T., Takamaeda-Yamazaki S., and Motomura M., "Exploring CNN accelerator design space on a dynamically reconfigurable hardware platform," The 21st Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2018), Kunibiki Messe, Matsue, Japan (Mar. 26-27, 2018).
- [62] Iwamaru N., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T., "A novel iris-center detection algorithm towards gaze estimation targeting molecular cellular automata," International Workshop on Molecular Architectonics 2018, P-25, Osaka University, Osaka, Japan (Mar. 2-3, 2018).
- [63] Takamaeda-Yamazaki S., Ueyoshi K., Ando K., Uematsu R., Hirose K., Ikebe M., Asai T., and Motomura M., "Accelerating Deep Learning by Binarized Hardware," Asia-Pacific Signal and Information Processing Association Annual Summit and Conference 2017 (APSIPA ASC 2017), Aloft Kuala Lumpur Sentral Sentral, Kuala Lumpur, Malaysia (Dec. 12-15, 2017).
- [64] Hirose K., Ando K., Ueyoshi K., Ikebe M., Asai T., Motomura M., and Takamaeda-Yamazaki S., "Quantization Error-based Regularization in Neural Networks," Thirty-seventh SGAI International Conference on Artificial Intelligence (SGAI 2017), Peterhouse College, Cambridge, England (Dec. 12-14, 2017).
- [65] Hida I., Ueyoshi K., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T., "Sign-invariant unsupervised learning facilitates weighted-sum computation in analog neural-network devices," 2017 International Symposium on Nonlinear Theory and Its Applications, Cancun International Convention Center, Cancun, Mexico (Dec. 4-7, 2017).
- [66] Hirose K., Uematsu R., Ando K., Orimo K., Ueyoshi K., Ikebe M., Asai T., Takamaeda-Yamazaki S., and Motomura M., "Logarithmic Compression for Memory Footprint Reduction in Neural Network Training," 5th International Workshop on Computer Systems and Architectures (CSA 2017), Aomori Prefecture Tourist Center, Aomori, Japan (Nov. 19-22, 2017).
- [67] Hirose K., Uematsu R., Ando K., Ueyoshi K., Ikebe M., Asai T., Motomura M., and Takamaeda-Yamazaki S., "A Regularization Approach for Quantized Neural Networks," International Workshop on Highly Efficient Neural Networks Design (HENND 2017), Lotte Hotel City Center, Seoul, Korea (Oct. 20-20, 2017).
- [68] Tanibata A., Schmid A., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T., "FPGA implementation of edge-guided pattern generation for motion-vector estimation of textureless objects (demo night)," The 27th International Conference on Field-Programmable Logic and Applications, Culture and Convention Center Het Pand, Ghent, Belgium (Sep. 4-8, 2017).
- [69] Ando K., Ueyoshi K., Hirose K., Orimo K., Yonekawa H., Sato S., Nakahara H., Ikebe M., Takamaeda-Yamazaki S., Asai T., Kuroda T., and Motomura M., "In-Memory Area-Efficient Signal Streaming Processor Design for Binary Neural Networks," 60th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2017), Tufts University, Boston, USA (Aug. 6-9, 2017).
- [70] Ueyoshi K., Ikebe M., Asai T., Takamaeda-Yamazaki S., and Motomura M., "Hardware accelerator design for convolutional neural networks with low bit precision," GI-CoRE GSQ, GSB, & IGM Joint Symposium -Quantum, Informatics, Biology, & Medicine -, Hokkaido University, Sapporo, Japan (Jul. 10-11, 2017).
- [71] Hida I., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T., "A versatile and energy-efficient reconfigurable accelerator for embedded microprocessors," GI-CoRE GSQ, GSB, & IGM Joint Symposium -Quantum, Informatics, Biology, & Medicine -, Hokkaido University, Sapporo, Japan (Jul. 10-11, 2017).
- [72] Yamamoto K., Ikebe M., Asai T., Motomura M., and Takamaeda-Yamazaki S., "Time-Division Multiplexing," GI-CoRE GSQ, GSB, & IGM Joint Symposium -Quantum, Informatics, Biology, &

Medicine -, Hokkaido University, Sapporo, Japan (Jul. 10-11, 2017).

- [73] Yamamoto K., Huang W., Takamaeda-Yamazaki S., Ikebe M., Asai T., and Motomura M., "A Time-Division Multiplexing Ising Machine on FPGAs," International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART 2017), Ruhr University, Bochum, Germany (Jun. 7-9, 2017).
- [74] Ando K., Ueyoshi K., Orimo K., Yonekawa H., Sato S., Nakahara H., Ikebe M., Asai T., Takamaeda-Yamazaki S., Kuroda T., and Motomura M., "BRein memory: a 13-layer 4.2 K neuron/0.8 M synapse binary/ternary reconfigurable in-memory deep neural network accelerator in 65 nm CMOS," 2017 Symposia on VLSI Technology and Circuits, Rihga Royal Hotel, Kyoto, Japan (Jun. 5-8, 2017).
- [75] Ueyoshi K., Marukame T., Asai T., Motomura M., and Schmid A., "Feature extraction system using restricted Boltzmann machines on FPGA," 2017 IEEE International Symposium on Circuits & Systems, A4P-O, Baltimore Marriott Waterfront, Baltimore, USA (May 28-31, 2017).
- [76] Ueyoshi K., Ando K., Orimo K., Ikebe M., Asai T., and Motomura M., "Exploring optimized accelerator design for binarized convolutional neural networks," The 2017 International Joint Conference on Neural Networks, William A. Egan Civic and Convention Center, Alaska, USA (May 14-19, 2017).
- [77] Yamamoto K., Takamaeda-Yamazaki S., Ikebe M., Asai T., and Motomura M., "A scalable ising model implementation on an FPGA," COOL Chips 20, Yokohama Media & Communications Center, Yokohama, Japan (Apr. 19-21, 2017).
- [78] H. Myoren, K. Ota, S. Denda, M. Naruse, T. Taino, J. Chen and P. Wu, "Read-out Circuit Based on SFQ Logic Circuit for Photon-Number-Resolving SNSPD Array", Ext. Abs. 13th European Conference on Applied Superconductivity (EUCAS2017), Geneva, 17-21 September 2017
- [79] Toshinori Otaka, Shintaro Maekawa, Hiroyuki Yamaguchi, Takayuki Hamamoto, "A 0.64 microseconds Row-Time CMOS Image Sensor using Gm-Enhanced Repeater Source Follower Buffer and Column Parallel Pipelined ADC", International Image Sensor Workshop (IISW'17), pp.316-319, 2017年6月.
- [80] K. Matsui, K. Komurasaki, W. Hatakeyama, Y. Okamoto, A. Mizushima, S. Minakawa, M. Suzuki, K. Shimamura, K. Fujiwara, H. Yamaoka, "Microstrip antenna and rectifier for wireless power transfer at 94GHz", IEEE Wireless Power Transfer Conference, 2017.
- [81] T. Sato, S. Chivapreecha, P. Moungnoul and K. Higuchi, "A Circuit Design for IEEE 802.11ac by ASIC-FPGA Co-Design," Proc. of ISMAC 2017, pp.89-92, 2017.
- [82] T. Sato, S. Chivapreecha, K. Higuchi and P. Moungnoul, "A Detection Method of Web Authentication Problems for Mobile Devices Corresponding to IEEE 802.11ac," Proc. of IWAIT 2018, pp.221.1-221.4, 2018.
- [83] Werner, Miyamoto, Wagner, Schöning, Yoshinobu, "Lateral Resolution of a Light-addressable Sensor with Regard to Modulation Frequency and Light Intensity", Engineering of Functional Interfaces 2017 (EnFI2017), Marburg, Germany, 28-29 August 2017
- [84] A. Luo, F. An, X. Zhang, L. Chen, and H.J. Mattausch, "Reconfigurable Block-based Normalization Circuit for On-chip Object Detection", Extended Abstracts of the 2017 International Conference on Solid State Devices and Materials (SSDM'2017), Sendai, Japan, Sept. 19-22, 819-820 (2017.9)
- [85] D. Ogawa, F. Fujii, K. Hashimoto, Y. Akiyama, and K. Otsuka, "Power Source Consideration for 56 Gbps I/O Interface", Proc. of 2017 IEEE Electrical Interconnect, CPMT Symposium Japan 2017, November 2017, Kyoto University, Japan.
- [86] T. Matsuura, T. Kashima, J. Hirotsu, S. Kishimoto, and Y. Ohno, "Carbon-nanotube differential amplifier on flexible substrate", The 54th Fullerenes-Nanotubes-Graphene General Symposium, 2018.03.10, Tokyo, Japan, 1-6.
- [87] Y. Ohno, "Carbon nanotube-based flexible electronics: TFTs, ICs, and biosensors", Nanomaterials for biomedical applications: Magnetic nanoparticles and carbon nanotubes as enhancers for targeted RNA delivery in vivo, 2017.12.04, Moscow, Russia. [Invited]
- [88] Y. Ohno, "Carbon Nanotubes for Wearable Electronics: Transistors, Circuits, Sensors, and Energy Harvesting Devices", The 8th A3

- Symposium on Emerging Materials, 2017.10.27, Suzhou, China. [Invited]
- [89] Y. Ohno, "Flexible voltage generator based on movement of electrolyte droplet on carbon nanotube thin film", JSAP-KPS Joint Symposium, 2017.10.26, Gyeongju, Korea. [Invited]
- [90] Y. Ohno, "Carbon Nanotube-based Flexible/Stretchable Devices on Polymer Films for Wearable Electronics", The 25th Annual World Forum on Advanced Materials (POLYCHAR 25), 2017.10.12, Kuala Lumpur, Malaysia. [Invited]
- [91] Y. Ohno, "Flexible thin-film transistors and biosensors based on carbon nanotubes for wearable health monitoring devices", International Symposium on Nanocarbon Materials, 2017.09.01, Espoo, Finland. [Invited]
- [92] Y. Ohno, "Carbon nanotube thin film devices for wearable electronics", Japan-India Joint Seminar, 2017.07.05, Gyeongju, Korea. [Invited]
- [93] F.-W. Tan, T. Kashima, T. Matsuura, J. Hirotsu, S. Kishimoto, and Y. Ohno, "Large-scale fabrication of p- and n-CNT TFTs and their modeling for integration", 5th Carbon Nanotube Thin Film Electronics and Applications Satellite Symposium, 2017.06.30, Belo Horizonte, Brazil.
- [94] T. Kashima, T. Matsuura, J. Hirotsu, S. Kishimoto, and Y. Ohno, "Modeling of flexible carbon nanotube thin-film transistors", 18th International Conference on the Science and Application of Nanotubes and Low-dimensional Materials, 2017.06.29, Belo Horizonte, Brazil.
- [95] Tadashi Kishimoto, Tohru Ishihara, Hidetoshi Onodera, "On-Chip Temperature and Process Variation Sensing using a Reconfigurable Ring Oscillator", International Symposium on VLSI Design, Automation and Test, pp.1-4, 2017/04.
- [96] Tohru Ishihara, "Minimum Energy Point Tracking for Self-Powered IoT Processors", 17th International Forum on MPSoC for Software-Defined Hardware, 2017/07.
- [97] Hidetoshi Onodera, "Toward minimum energy operation", International Workshop on Cross-Layer Optimization, 2017/07 (invited).
- [98] Akitaka Hiratsuka, Akira Tsuchiya, Hidetoshi Onodera, "Power-bandwidth trade-off analysis of multi-stage inverter-type transimpedance amplifier for optical communication", IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS), 2017/08.
- [99] Hong-Yan Su, Shinichi Nishizawa, Yan-Shiun Wu, Jun Shiomi, Yih-Lang Li, Hidetoshi Onodera, "Pin Accessibility Evaluating Model for Improving Routability of VLSI Designs", IEEE International SoC Conference, pp.56-61, 2017/09.
- [100] Tadashi Kishimoto, Tohru Ishihara, Hidetoshi Onodera, "A Temperature Monitor Circuit with Small Voltage Sensitivity using a Topology Reconfigurable Ring Oscillator", International Conference on Solid State Devices and Materials, pp.345-346, 2017/09.
- [101] A.K.M. Mahfuzul Islam, Hidetoshi Onodera, "Effect of supply voltage on random telegraph noise of transistors under switching condition", Power and Timing Modeling, Optimization and Simulation (PATMOS), 27th International Symposium on, pp.1-8, DOI:10.1109/PATMOS.2017.8106992, 2017/09.
- [102] Hidetoshi Onodera, "Toward minimum energy operation of voltage-scaled circuits", IEEE/ACM 10th Workshop on Variability Modeling and Characterization, 2017/11 (invited).
- [103] Shinichi Nishizawa, Hidetoshi Onodera, "Process Variation Aware D-Flip-Flop Design using Regression Analysis", International Symposium on Quality Electronic Design (ISQED), pp.88-93, 2018/03.
- [104] Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "Individual Voltage Scaling in Logic and Memory Circuits towards Runtime Energy Optimization in Processors", International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU), pp.45-50, 2018/03.
- [105] Shu Hokimoto, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "All-Digital On-Chip Heterogeneous Sensors for Tracking the Minimum Energy Point of Processors", International Conference on Microelectronic Test Structures (ICMTS), pp.128-133, 2018/03.
- [106] Tadashi Kishimoto, Tohru Ishihara, Hidetoshi Onodera, "On-Chip Reconfigurable Monitor Circuit for Process Variation and Temperature Estimation", International Conference on Microelectronic Test Structures (ICMTS), pp.111-116, 2018/03.

- [107] Hongjie Xu, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "A Hybrid Caching System Using SRAM and Standard-Cell Memory for Energy-Efficient Near-Threshold Circuits", The 21st Workshop on Synthesis And System Integration of Mixed Information technologies, pp.56-61, 2018/03.
- [108] Yuta Nagaoka, Tohru Ishihara, Hidetoshi Onodera, "Energy and Delay Optimized Multiplexer-tree Structure for Scaled Voltage Operation", The 21st Workshop on Synthesis And System Integration of Mixed Information technologies, pp.290-295, 2018/03.
- [109] T. Iwagaki, S. Yuasa, H. Ichihara and T. Inoue, "Experimental evaluation of test cost reduction by scan chain testing in RTL scan circuits," Digest of Papers 18th IEEE Workshop on RTL and High Level Testing (WRTL '17), 6 pages, Nov. 2017.
- [110] K. Suzuki, K. Miura, and K. Nakamae, "NBTI/PBTI tolerant arbiter puf circuits," in Proc. IEEE 23rd International Symposium on On-Line Testing and Robust System Design (IOLTS), Thessaloniki, Greece, pp.80-84, 3-5 July 2017.
- [111] M. Takenaka, J.-H. Han, J.-K. Park, F. Boeuf, J. Fujikata, S. Takahashi, and S. Takagi, "High-efficiency, low-loss optical phase modulator based on III-V/Si hybrid MOS capacitor," Optical Fiber Communication Conference (OFC2018), Tu3K.3, San Diego, 13 March 2018 (invited).
- [112] Q. Li, J.-H. Han, C. Ho, S. Takagi, and M. Takenaka, "Low-crosstalk, low-power Mach-Zehnder interferometer optical switch based on III-V/Si hybrid MOS phase shifter," Optical Fiber Communication Conference (OFC2018), Th3C.5, San Diego, 15 March 2018.
- [113] C.-P. Ho, Z. Zhao, S. Takagi, and M. Takenaka, "Investigation of a bandpass filter on Germanium-on-Insulator photonic platform," 7th International Symposium on Photonics and Electronics Convergence (ISPEC2017), P-5, Tokyo, 11 December 2017.
- [114] K. Kato, H. Matsui, H. Tabata, M. Takenaka and S. Takagi, "Proposal and demonstration of oxide-semiconductor/(Si, SiGe, Ge) bilayer tunneling field effect transistor with type-II energy band alignment," International Electron Devices Meeting (IEDM'17), 15.6, San Francisco, 2-6 December 2017.
- [115] M. Takenaka and S. Takagi, "High-efficiency phase modulation based on Si hybrid MOS structure," Progress In Electromagnetics Research Symposium (PIERS2017), Nanyang Technological University, Singapore, 19-22 November 2017 (invited).
- [116] S. Takagi and M. Takenaka, "Ultra-low power MOSFET and tunneling FET technologies using III-V and Ge," IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), E.1, Miami Marriott Biscayne Bay, USA, 22-25 October 2017 (invited).
- [117] S. Takagi, D.-H. Ahn, T. Gotow, K. Nishi, T.-E. Bae, T. Katoh, R. Matsumura, R. Takaguchi, K. Kato, and M. Takenaka, "III-V/Ge-based Tunneling MOSFET," 5th Berkeley Symposium on Energy Efficient Electronic Systems & Steep Transistors Workshop, Berkeley, USA, 19-20 October 2017 (invited).
- [118] T.-E. Bae, R. Suzuki, R. Nakane, M. Takenaka, and S. Takagi, "Effects of Ge-source impurity concentration on electrical characteristics of Ge/Si hetero-junction tunneling FETs," 5th Berkeley Symposium on Energy Efficient Electronic Systems & Steep Transistors Workshop, Berkeley, USA, 19-20 October 2017.
- [119] M. Takenaka, J. Kang, T. Fujigaki, and S. Takagi, "Near-infrared and mid-infrared integrated photonics based on Ge-on-insulator platform," IEEE Photonics Conference (IPC 2017), MB.3.1, Orlando, Florida, USA, 1-5 October 2017 (invited).
- [120] S. Takagi, D. H. Ahn, M. Noguchi, S. Yoon, T. Gotow, K. Nishi, M. Kim, T. E. Bae, T. Katoh, R. Matsumura, R. Takaguchi, and M. Takenaka, "Low power tunneling FET technologies using Ge/III-V materials," 232nd ECS Meeting, Symposium G03, 1142, National Harbor, USA, 1-5 October 2017 (invited).
- [121] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, "High performance top-gate zinc oxide thin film transistor (ZnO TFT) by combination of post oxidation and annealing," International Conference on Solid State Devices and Materials (SSDM2017), E-2-05, Sendai, 19-22 September 2017.
- [122] T.-E. Bae, Y. Wakabayashi, R. Nakane, M. Takenaka, and S. Takagi, "Performance

- improvement of Ge-source/Si-channel hetero-junction tunneling FETs: effects of annealing gas and drain doping concentration,” International Conference on Solid State Devices and Materials (SSDM2017), E-3-03, Sendai, 19-22 September 2017.
- [123] R. Takaguchi, R. Matsumura, T. Katoh, M. Takenaka, and S. Takagi, “Ge p-channel tunneling FETs with steep phosphorus profile source junctions,” International Conference on Solid State Devices and Materials (SSDM2017), E-3-04, Sendai, 19-22 September 2017.
- [124] R. Matsumura, T. Katoh, R. Takaguchi, M. Takenaka, and S. Takagi, “Ge-on-insulator tunneling FET with abrupt source junction by snowplow effect of NiGe,” International Conference on Solid State Devices and Materials (SSDM2017), PS-3-01, Sendai, 19-22 September 2017.
- [125] T. Katoh, R. Matsumura, R. Takaguchi, M. Takenaka, and S. Takagi, “Performance enhancement of GOI tunneling FETs with source junctions formed by low energy BF₂ ion implantation,” International Conference on Solid State Devices and Materials (SSDM2017), PS-3-02, Sendai, 19-22 September 2017.
- [126] S. Takagi and M. Takenaka, “Low power III-V MOSFETs and TFETs on Si platform,” 9th International Conference on Materials for Advanced Technologies (ICMAT 2017), Symposium A, 171167, Singapore, 18-23 June 2017 (invited).
- [127] W.-K. Kim, M. Takenaka, and S. Takagi, “High performance 4.5-nm-thick compressively-strained Ge-on-insulator pMOSFETs fabricated by Ge condensation with optimized temperature control,” VLSI Symposium, 9-3, Kyoto, Japan, 5-8 June 2017.
- [128] S. Takagi, D. H. Ahn, T. Gotow, M. Noguchi, K. Nishi, S.-H. Kim, M. Yokoyama, C.-Y. Chang, S.-H. Yoon, C. Yokoyama and M. Takenaka, “III-V-based low power CMOS devices on Si platform,” IEEE International Conference on Integrated Circuit Design and Technology (ICICDT), A1, Austin, USA, 23-25 May 2017 (invited).
- [129] S. Takagi and M. Takenaka, “III-V/Ge MOSFETs and TFETs for ultra-low power logic LSIs,” International Symposium on VLSI technology, System and Applications (VLSI-TSA2017), T3-2, Hsinchu, Taiwan, 24-27 April 2017 (invited).
- [130] Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato, “LSTA: Learning-Based Static Timing Analysis for High-Dimensional Correlated On-Chip Variations,” in Proc. of ACM/IEEE Design Automation Conference (DAC) (Austin, TX), 73.3, June 2017.
- [131] Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato, “Efficient Exploration of Worst Case Workload and Timing Degradation Under NBTI,” in Proc. of Asia and South Pacific Design Automation Conference (ASP-DAC) (Jeju Island, Korea), pp.631-636, Jan. 2018.
- [132] Shogo Matsumoto, Hidenori Gyoten, Masayuki Hiromoto, and Takashi Sato, “A Feasibility Study of Annealing Processor for Fully-Connected Ising Model Based on Memristor/CMOS Hybrid Architecture,” in Proc. of the 21st Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2018) (Kunibiki Messe, Matsue, Japan), Mar. 2018.
- [133] Yuki Tanaka, Song Bian, Masayuki Hiromoto, and Takashi Sato, “A PUF Based on the Instantaneous Response of Ring Oscillator Determined by the Convergence Time of Bistable Ring,” in Proc. of the 21st Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2018) (Kunibiki Messe, Matsue, Japan), Mar. 2018.
- [134] Zuitoku Shin, Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato, “Comparative Study of Delay Degradation Caused by NBTI Considering Stress Frequency Dependence,” in Proc. of the 21st Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2018) (Kunibiki Messe, Matsue, Japan), Mar. 2018.
- [135] Zuitoku Shin, Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato, “A Study on NBTI-Induced Delay Degradation Considering Stress Frequency Dependence,” in Proc. of International Symposium on Quality Electronic Design (ISQED) (Santa Clara, CA), Mar. 2018.

- [136] Sota Sawaguchi, Hiroaki Nishi, "Hardware Accelerator for Data Anonymization using Dynamic Partial Reconfiguration", Proceedings of 2016 IEEE International Conference on Smart Grid Communications (ISBN: 978-1-5090-4075-9), 2016, IEEE, p.92-p.97, 6-9 Nov., 2016
- [137] H. Sato, M. Yanagisawa, T. Yoshimasu, "A 28-GHz band highly linear power amplifier with novel adaptive bias circuit for cascode MOSFET in 56-nm SOI CMOS," in Proc. of IEEE EDSSC, 2-pages, Oct., 2017.
- [138] C. Chen, X. Xu, T. Yoshimasu, "A DC-50 GHz, low insertion loss and high P1dB SPDT switch IC in 40-nm SOI CMOS," in Proc. of APMC, 4-pages, Nov., 2017
- [139] Hong-Thu Nguyen, Xuan-Thuan Nguyen, Trong-Thuc Hoang, Duc-Hung Le, and Cong-Kha Pham, "A Low-resource Low-latency Hybrid Adaptive CORDIC in 180-nm CMOS Technology", The IEEE Region 10 Conference (TENCON), pp.1-4, Macau, China, Nov. 2015.
- [140] Hong-Thu Nguyen, Xuan-Thuan Nguyen, Trong-Thuc Hoang, Duc-Hung Le, and Cong-Kha Pham, "A Hybrid Adaptive CORDIC in 65 nm SOTB Process", The IEEE International Symposium on Circuits and Systems (ISCAS), pp.2158-2161, Montreal, Canada, May 2016.
- [141] Xuan-Thuan Nguyen, Hong-Thu Nguyen, and Cong-Kha Pham, "A High-Performance Bitmap-Index-Based Query Processor on 65-nm SOTB CMOS Process," The IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), pp.1-2, San Francisco, USA, Oct. 2016.
- [142] Xuan-Thuan Nguyen, Hong-Thu Nguyen, and Cong-Kha Pham, "A 180-nm CMOS Bitmap-Index-Based Query Processor for Fast Data Analytics," The International Conference on Recent Advances on Signal Processing, Telecommunications & Computing (SigTelCom), pp.155-157, Da Nang, Vietnam, Jan. 2017.
- [143] Van-Phuc Hoang, Van-Tinh Nguyen, Anh-Thai Nguyen and Cong-Kha Pham, "A Low Power AES-GCM Authenticated Encryption Core in 65 nm SOTB CMOS Process," 2017 IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS2017), pp.112-115, Aug. 2017.
- [144] Xuan-Thuan Nguyen, Trong-Thuc Hoang, Hong-Thu Nguyen, Katsumi Inoue, and Cong-Kha Pham, "A 219-uW 1D-to-2D-Based Priority Encoder on 65-nm SOTB CMOS," The IEEE International Symposium on Circuits and Systems (ISCAS), Florence, Italy, May 27th-30th, 2018.
- [145] T. Mori, J. Ida, S. Inoue, and T. Yoshida, "Characterization of hysteresis on SOI based super steep subthreshold slope FET's," in Proc. Asia-Pac. Workshop Fundam. Appl. Adv. Semicond. Devices (AWAD), Jul. 2017, pp.367-369.
- [146] T. Mori, J. Ida, T. Yoshida, and Y. Arai, "P-channel super steep subthreshold slope PN-body tied SOI FET: Possibility of CMOS," IEEE Electron Devices Technology and Manufacturing Conf. (EDTM) Proc. Tech. Pap., Mar. 2018, pp.190-191
- [147] K. Takeda, J. Ida, T. Mori, and Y. Arai, "Evaluation of Qss on SOI back Si/SiO₂ interface by newly designed charge pumping method-TEG," in Proc. Int. Conf. Microelectron. Test Struct. (ICMTS), Mar. 2018, 8.1
- [148] Y. Arai, T. Watanabe, K. Higuchi, H. Shimada, and Y. Mizugaki, "Double-Flux-Quantum Amplifier with a Single-Flux-Biasing Line," 30th International Symposium on Superconductivity (ISS 2017), Chiyoda, Tokyo, Japan, December 13-15, 2017.
- [149] Y. Mizugaki, Y. Arai, and T. Watanabe, "Double-Flux-Quantum Amplifier Designed with Adjusted Damping Parameters for Proper Propagation of SFQ Pulses," The 11th Superconducting SFQ VLSI Workshop (SSV 2018) / 6th CAVITY Symposium, Tsukuba, Japan, February 7-8, 2018.
- [150] M. Hashimoto and Y. Masuda, "MTTF-Aware Design Methodology for Adaptive Voltage Scaling (Invited)," Proceedings of China Semiconductor Technology International Conference (CSTIC), March 2018.
- [151] W. Liao, M. Hashimoto, S. Manabe, Y. Watanabe, K. Nakano, H. Sato, T. Kin, K. Hamada, M. Tampo, and Y. Miyake, "Measurement and Mechanism Investigation of Negative and Positive Muon Induced Upsets in 65 nm Bulk SRAMs," Proceedings of European Conference on Radiation and Its Effects on Components and Systems (RADECS), October 2017.

- [152] S. Manabe, Y. Watanabe, W. Liao, M. Hashimoto, K. Nakano, H. Sato, T. Kin, K. Hamada, M. Tampo, and Y. Miyake, "Momentum and Supply Voltage Dependencies of SEUs Induced by Low-Energy Negative and Positive Muons in 65-nm UTBB-SOI SRAMs," Proceedings of European Conference on Radiation and Its Effects on Components and Systems (RADECS), October 2017.
- [153] M. Hashimoto, R. Shirai, Y. Itoh, and T. Hirose, "Toward Real-Time 3D Modeling System with Cubic-Millimeters Wireless Sensor Nodes (Invited)," Proceedings of IEEE International Conference on ASIC, pp.1087-1091, October 2017.
- [154] M. Hashimoto, W. Liao, and S. Hirokawa, "Soft Error Rate Estimation with TCAD and Machine Learning (Invited)," Proceedings of International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), September 2017.
- [155] W. Liao, S. Hirokawa, R. Harada, and M. Hashimoto, "Contributions of SRAM, FF and Combinational Circuit to Chip-Level Neutron-Induced Soft Error Rate-Bulk Vs. FD-SOI at 0.5 and 1.0V -," Proceedings of International NEWCAS Conference, pp.33-37, June 2017.
- [156] T. Sugiura, J. Yu, Y. Takeuchi, "Hardware-oriented Algorithm for Phase Synchronization Analysis of Biomedical Signals," Proc. of 13th IEEE Biomedical Circuits and Systems Conference, pp.416-419, 2017.
- [157] K. Muroya, D. Hayakawa, K. Sewaki, K. Imayanagida, K. Ueno, Y. Sonoda, and K. Ohhata, "900-MHz, 3.5-mW, 8-bit Pipelined Subranging ADC Combining Flash ADC and TDC," IEEE RFIT, Aug. 2017.
- [158] Moritoshi Yasunaga and Ikuo Yoshihara, "Waveform Learning Based on a Genetic Alogorithm and Its Application to Signal Integrity Improvement," Prof. 2017 4th IEEE International Conference on Soft Computing and Machine Intelligence (ISCMi 2017), pp.145-148, Republic of Mauritius, Nov. 23-24, 2017.
- [159] Shunpei Matsuoka, Shun Akutsu, and Moritoshi Yasunaga, "High Signal Integrity Design for Transmission System Including High-Parasitic Inductance Connectors," Proc. IEEE CPMT Symposium Japan 2017, pp.133-134, Kyoto Japan, Nov. 20-22, 2017.
- [160] Tsunehiro Yoshio, Takao Kihara, Tsutomu Yoshimura, "A 0.55 V Back-Gate Controlled Ring VCO for ADCs in 65 nm SOTB CMOS", Proc. 2017 IEEE Asia Pacific Microwave Conference (APMC2017), Kuala Lumpur, Malaysia, Nov. 2017.
- [161] Takao Kihara, Hiroyuki Yano, and Tsutomu Yoshimura, "Design of Cascaded Integrator-Comb Decimation Filters for Direct-RF Sampling Receivers", Proc. IEEE International Symposium on Circuits and Systems Conference (ISCAS), Baltimore, MD, USA, May 2017.
- [162] Tomoya Takahashi, Takao Kihara, Tsutomu Yoshimura, "Digital Correction of Mismatches in Time-Interleaved ADCs for Digital-RF Receivers", Proc. 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Batumi, Georgia, Dec. 2017, pp.9-12.
- [163] N. Kito, Y. Koketsu, and K. Takagi, "Designs of Component Circuits for Stochastic Computing Using Rapid Single Flux Quantum Circuits", Proc. 21th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), Mar. 2018.
- [164] Yousuke Miyake, Yasuo Sato, and Seiji Kajihara, "On the effects of real time and contiguous measurement with a digital temperature and voltage sensor," Proc. IEEE International Test Conference in Asia, pp.125-130, Taipei City, Taiwan, Sep. 2017.
- [165] S. Amakawa, "How does my microwave/EM simulator define complex-referenced S-parameters", Vietnam-Japan Microwave (VJMW), pp.11215, June 14, 2017.
- [166] Y. Kobayashi and S. Amakawa, "Prescriptions for identifying the definition of complex-referenced S-parameters in commercial EM simulators, The 38th PIERS in St Petersburg Abstracts, pp.26465, May 22nd, 2017.
- [167] A. Takeshige, Y. Ito, K. Takano, K. Katayama, T. Yoshida, M. Fujishima, and S. Amakawa, "Causal transmission line model incorporating frequency-dependent linear resistors," 21st IEEE Workshop on Signal and Power Integrity (SPI), pp.1, May 8th, 2017.

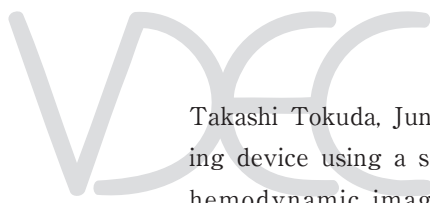
- [168] Renyuan Zhang, Takashi Nakada and Yasuhiko Nakashima, "A Feasibility Study of Programmable Analog Calculation Unit for Approximate Computing", CANDAR'17, REGULAR PAPER, pp.180-186, Nov. (2017)
- [169] Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "Remarkable Suppression of Local Stress in 3D IC by Manganese Nitride-Based Filler with Large Negative CTE," 2017 IEEE 67th Electronic Components and Technology Conference (ECTC2017), pp.1523-1528, May 2017.
- [170] Hisashi Kino, Masataka Tashiro, Yohei Sugawara, Seiya Tanikawa, Takafumi Fukushima, and Tetsu Tanaka, "Minimized Hysteresis and Low Parasitic Capacitance TSV with PBO (Polybenzoxazole) Liner to Achieve Ultra-High-Speed Data Transmission," IEEE International Interconnect Technology Conference (IITC 2017), May 2017.
- [171] Zhengyang Qian, Yoshiki Takezawa, Kenji Shimokawa, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama and Tetsu Tanaka, "An Integrated Photo-Plethysmography Recording Circuit for Trans-Nail Pulse-Wave Monitoring System," 2017 International Conference on Solid State Devices and Materials, pp.257-258, September 2017.
- [172] Takuya Harashima, Takumi Morikawa, Hisashi Kino, Takafumi Fukushima, Norihiro Katayama, Tetsu Tanaka, "Development of Vertically-Stacked Multi-Shank Si Neural Probe Array with Sharpened Tip for Cubic Spacial Recording," 2017 International Conference on Solid State Devices and Materials, pp.269-270, September 2017.
- [173] Yoshiki Takezawa, Kenji Shimokawa, Zhengyang Qian, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, Tetsu Tanaka, "Wide-range bioelectrical impedance analysis circuit with GIDL-controlled ultrasmall current and ultralow frequency square wave generator," 2017 International Conference on Solid State Devices and Materials, pp.517-518, September 2017.
- [174] Hisashi Kino, Takafumi Fukushima and Tetsu Tanaka, "New Tunnel FET Charge-Trapping Memory with Large Memory Window for Ultra Low Power Operation," 2017 International Conference on Solid State Devices and Materials, pp.791-792, September 2017.
- [175] Yoshiki Takezawa, Koji Kiyoyama, Kenji Shimokawa, Zhengyang Qian, Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, "Ultrawide range square wave impedance analysis circuit with ultra-slow Ring-Oscillator using gate-induced drain-leakage current," The 13th IEEE Biomedical Circuit and Systems Conference 2017, pp.412-415, October, 2017.
- [176] Kenji Shimokawa, Zhengyang Qian, Yoshiki Takezawa, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, and Tetsu Tanaka, "Experimental Evaluation of Stimulus Current Generator with Laplacian Edge-enhancement for 3-D Stacked Retinal Prosthesis Chip," The 13th IEEE Biomedical Circuit and Systems Conference 2017, pp.725-728, October, 2017.
- [177] S. Kozuki, N. Retdian, T. Shima, "EXperimental study of the oscillation mode of the coupled oscillator ORIGAMI for TDC
- [178] S. Ushida, Y. Mukai, T. Matsuda, H. Iwata, T. Hatakeyama, and T. Ohzone, "Analysis of Temperature Distribution in Stacked IC with Three Tier Structure," Proc. IEEE Electron Devices Technology and Manufacturing Conference (EDTM), 2018.
- [179] D. Hara, T. Yoshikawa, "A Low Power Data Bus Architecture by Charge Recycling Utilization on Single-Ended Transmission Line", SASIMI2018, 2018年3月
- [180] Koichi Saito, Akio Shimizu, Yohei Ishikawa, Takuro Noguchi, and Sumio Fukai, "Multiple Output Variable Overdrive Voltage CMOS Current Mirror", 14th International SoC Design Conference (ISOC2017), pp.113-114, Nov. 2017.
- [181] Toshiyuki Inoue, Akira Tsuchiya, Keiji Kishine, and Makoto Nakamura, "Design Method for Inductorless Low-Noise Amplifiers with Active Shunt-Feedback in 65-nm CMOS" Seoul, Korea, 2017/11/05-08, International SoC Design Conference (ISOC2017)
- [182] Tomonori Tanaka, Kosuke Furuichi, Hiromu Uemura, Ryosuke Noguchi, Natsuyuki Koda, Koki Arauchi, Daichi Omoto, Hiromi Inaba, Shinsuke Nakano, Masafumi Nogawa, Hideyuki Nosaka and Keiji Kishine, "25-Gb/s Clock and Data Recovery IC Using Latch Load Combined

- with CML Buffer Circuit for Delay Generation with 65-nm CMOS”, Baltimore, America, 2017/5/28-31, IEEE International Symposium on Circuits and Systems (ISCAS 2017)
- [183] S. Hiramatsu, K. Wakita, S. Na, S. Yokoyama, M. Ikebe, and E. Sano, “CMOS terahertz imaging pixel with a small on-chip antenna,” 2017 International Image Sensor Workshop (Hiroshima, Japan), May 30-June 2, 2017, pp.74-77.
- [184] Masahiro Tabara, Hiroki Shibuta, and Makoto Iwata, “Pipelined FP Array for Stream-Driven Image Processor,” Proceedings of the 2017 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’17), pp.239-244, July 2017.
- [185] Kazuma Fukuda, Hiroki Shibuta, and Makoto Iwata, “Priority-Based Hardware Scheduler for Self-Timed Data-Driven Processor,” Proceedings of the 2017 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’17), pp.245-251, July 2017.
- [186] M. Tanaka, R. Sato, Y. Hatanaka, Y. Matsui, H. Akaike, A. Fujimaki, K. Ishida, T. Ono, and K. Inoue, “High-throughput bit-parallel arithmetic logic unit using rapid single-flux-quantum logic,” 16th Int. Supercond. Electron. Conf. (ISEC 2017), Sorrento, Italy, Jun 2017.
- [187] A. Fujimaki, K. Kamiya, H. Iwashita, M. Tanaka, and A. Bozbej, “Monolithic image sensor chips with highly sensitive single-flux-quantum read-out circuits,” 16th Int. Supercond. Electron. Conf. (ISEC 2017), Sorrento, Italy, Jun 2017.
- [188] H. Iwashita, S. Taniguchi, H. Kato, K. Sano, M. Tanaka, and A. Fujimaki, “AQFP read-out for ferromagnetic matrix memory,” 11th Superconducting SFQ VLSI Workshop (SSV 2018) / 6th CRAVITY Symposium, Tsukuba, Japan, Feb 2018.
- [189] Y. Matsui, K. Sano, M. Tanaka, and A. Fujimaki, “Study on magnetically-controlled delay time in Josephson transmission lines,” 11th Superconducting SFQ VLSI Workshop (SSV 2018) / 6th CRAVITY Symposium, Tsukuba, Japan, Feb 2018.
- [190] T. Kamiya, S. Taniguchi, K. Sano, M. Tanaka, and A. Fujimaki, “Low-power half single flux quantum circuits using π -shifted Josephson junctions,” 11th Superconducting SFQ VLSI Workshop (SSV 2018) / 6th CRAVITY Symposium, Tsukuba, Japan, Feb 2018.
- [191] M. Kobayashi, Y. Masui, T. Kihara, and T. Yoshimura, “Spur reduction by self-injection in a fractional-N PLL,” IEEE International Conference on Electronics Circuits and Systems (ICECS), pp.260-263, December, 2017.
- [192] Ryo Sakai, Tomoaki Morita, Yohtaro Umeda, Yusuke Kozawa, “Quadrature-modulation envelope-pulse-width-modulation transmission system using quadrature polarized waves,” MWSCAS2017, Aug. 2017.
- [193] Noriyuki Miura, Kohei Matsuda, Makoto Nagata, Shivam Bhasin, Ville Yli-Mayry, Naofumi Homma, Yves Mathieu, Tarik Graba, Jean-Luc Danger, “A 2.5ns-Latency 0.39pJ/b 289 μm^2 /Gb/s Ultra-Light-Weight PRINCE Cryptographic Processor,” 2017 Symposium on VLSI Circuits, Dig. of Tech. Papers, #20.2, pp.266-267, June 2017. (Kyoto)
- [194] Noriyuki Miura, Masanori Takahashi, Kazuki Nagatomo, Makoto Nagata, “Chaos, Deterministic Non-Periodic Flow, for Chip-Package-Board Interactive PUF,” Proc. 2017 IEEE Asian Solid-State Circuits Conference (A-SSCC 2017), S3-2, pp.25-28, Nov. 2017. (Seoul)
- [195] Kohei Matsuda, Tatsuya Fujii, Natsu Shoji, Takeshi Sugawara, Kazuo Sakiyama, Yu-ichi Hayashi, Makoto Nagata, Noriyuki Miura, “A 286F2/Cell Distributed Bulk-Current Sensor and Secure Flush Code Eraser Against Laser Fault Injection Attack,” Dig. Tech. Papers, 2018 IEEE International Solid-State Circuits Conference (ISSCC), #21.5, pp.352-353, Feb. 2018. (San Francisco)
- [196] Kohei Matsuda, Noriyuki Miura, Makoto Nagata, “Laser fault injection attack countermeasure by abnormal substrate potential bounce monitoring,” The 16th International Conference on Computers, Communications, and Systems (ICCCS 2017), B3-02, pp.34-35, 2017.11.24. (Daegu University)
- [197] Canran Jin, Heming Sun, Shinji Kimura, “Sparse Ternary Connect: Convolutional Neural Networks Using Ternarized Weights with Enhanced Sparsity”, Proc. ASP-DAC 2018, pp.190-195, Jan. 2018.
- [198] Heming Sun, Zhengxue Cheng, Amir Masoud Gharehbaghi, Shinji Kimura, Masahiro Fujita, “A

Low-Cost Approximate 32-Point Transform Architecture”, Proc. ISCAS 2017, pp.1-4, May 2017.

- [199] Masuda, Hirose, Akihara, Kuroki, Numa, and Hashimoto, “Impedance Matching in Magnetic-Coupling-Resonance Wireless Power Transfer for Small Implantable Devices,” 2017 IEEE Wireless Power Transfer Conference (WPTC), pp.1-4, 2017.
- [200] Asano, Hirose, Ozaki, Kuroki, and Numa, “An Area-Efficient, 0.022-mm², Fully Integrated Resistor-less Relaxation Oscillator for Ultra-low Power Real-time Clock Applications,” Proceedings of the 2017 IEEE International Symposium on Circuits and Systems (ISCAS 2017), pp.477-480, 2017.
- [201] Asano, Hirose, Kojima, Kuroki, Numa, “A wide load range switched capacitor DC-DC converter with adaptive bias comparator for ultra-low-power power management integrated circuit,” Extended abstract of the 2017 International Conference on Solid State Devices and Materials (SSDM 2017), pp.511-512, 2017.
- [202] Sato, Hirose, Asano, Kuroki, and Numa, “An Ultra-Low-Power Supercapacitor Voltage Monitoring System for Low-Voltage Energy Harvesting,” 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2017), pp.498-501, 2017.
- [203] Tsuji, Hirose, Ozaki, Asano, Kuroki, and Numa, “A 0.1-0.6 V Input Range Voltage Boost Converter with Low-Leakage Driver for Low-Voltage Energy Harvesting,” 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2017), pp.502-505, 2017.
- [204] 長名, 坂本, “Performance Evaluation of a CPU-FPGA Hybrid Cluster Platform Prototype”, the 8th International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART 2017), Bochum, Germany, 2017年6月.
- [205] Nicodimus, Shima, “Compensation Circuit Using Time-Mode Capacitance Scaling”, IEEE ISESD 2017, DOI: 10.1109/ISESD.2017.8253352, Oct. 2017.
- [206] S. Yamakawa, Y. Tanaka, Y. Osawa, T. Kawakita, H. Shimazu, Y. Nakajima, T. Yamada, T. Hanajiri, A New Scaling Parameter of FinFETs, The 12th International Conference on Surfaces, Coatings and Nanostructured Materials (NANOSMAT2017) Universit · Pierre-et-Marie-Curie (2017), Paris, France.
- [207] Tatsuya Abe, Hiroshi Tanimoto, Shingo Yoshizawa, “A Simple Current Reference with Low Sensitivity to Supply Voltage and Temperature,” IEEE International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), 6 pages, June 2017.
- [208] Toshiaki Sugimoto, Hiroshi Tanimoto, Shingo Yoshizawa, “Comparator Design for Linearized Statistical Flash A-to-D Converter,” IEEE International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), 6 pages, June 2017.
- [209] Koutaro Inaba, Tomohiro Yoneda, Masashi Imai, “A Study on Hardware Trojan Insertion into Asynchronous NoC Router,” Proc. Async2017 Fresh ideas track paper, May., 2017.
- [210] Masashi Imai, Naoya Onizawa, Takahiro Hanyu, Tomohiro Yoneda, “Minimum Power Supply Asynchronous Circuits for Re-initialization Free Computing,” Proc. SASIMI2018, pp.283-288, Mar., 2018.
- [211] Kurano, Nakajima, Onji, Fukuhara, Harada, Fujimoto, “Proposal of Hamming Distance Detectors Using a Clocked Neuron MOS Inverter to CAM,” Proc. of the 2017 IEEE Region 10 Conference (TENCON), Malaysia, pp.1042-1047, November 5-8, 2017.
- [212] Fukuhara, Onji, Kurano, Nakajima, Harada, Fujimoto, Yoshida, “Short-Circuit-Current Reduction by Using a Clocked Neuron CMOS Inverter in a Time-Domain Data Coincidence Detector,” Proc. of 12th International Conference on Innovative Computing, Information and Control (ICICIC2017), Augst 2017.
- [213] M. Yamaguchi, H. Tamukoh, H. Suzuki, and T. Morie, “A CMOS Chaotic Boltzmann Machine Circuit and Three-neuron Network Operation”, Proc. Int. Joint Conf. on Neural Networks (IJCNN 2017), pp.1218-1224, Anchorage, Alaska, USA, May 14-19 (15), 2017.
- [214] H. Shinba, M. Watanabe, “FFT implementation using mono-instruction set computer architecture,” Second Workshop on Pioneering Processor Paradigms, Vienna, Austria, Feb., 2018.

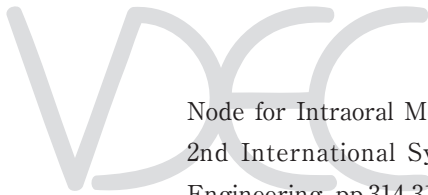
- [215] A. Ogiwara, M. Watanabe, Y. Ito, "Resistance Evaluation of Holographic Polymer-Dispersed Liquid Crystal Memory for Gamma-Ray Irradiation," Microoptics Conference (MOC'17), pp.200-201, Tokyo, Japan, Nov., 2017.
- [216] S. Fujisaki, M. Watanabe, "Optically reconfigurable gate array driven by a lithium-ion battery," IEEE CPMT Symposium Japan, pp.227-230, Kyoto Univ., Nov., 2017.
- [217] Y. Ito, M. Watanabe, "FPGA Hardware Accelerator for Holographic Memory Calculations for Optically Reconfigurable Gate Arrays," IEEE International Conference on Space Optical Systems and Applications, Okinawa, Japan, Nov., 2017.
- [218] T. Fujimori, M. Watanabe, "Holographic memory calculation FPGA accelerator for optically reconfigurable gate array," IEEE International Conference on Dependable, Autonomic and Secure Computing, Orlando, USA, Nov., 2017.
- [219] T. Fujimori, M. Watanabe, "Radiation Tolerance Demonstration of High-Speed Scrubbing on an Optically Reconfigurable Gate Array," IEEE International System-on-Chip Conference, pp.91-95, Munich, Germany, Aug., 2017.
- [220] T. Fujimori, M. Watanabe, "Asynchronous optical bus for optical VLSIs," International Conference on Innovative Computing Technology, pp.162-166, Luton, UK, Aug., 2017.
- [221] T. Fujimori, M. Watanabe, "Multi-context scrubbing method," IEEE International Midwest Symposium on Circuits and Systems, pp.1548-1551, Boston, USA, Aug., 2017.
- [222] Y. Ito, M. Watanabe, A. Ogiwara, "500 Mrad total-ionizing-dose tolerance of a holographic memory on an optical FPGA," NASA/ESA Conference on Adaptive Hardware and Systems, pp.167-171, Pasadena, USA, July, 2017.
- [223] T. Fujimori, M. Watanabe, "High-speed scrubbing based on asynchronous optical configuration," IEEE International Conference on Opto-Electronic Information Processing, pp.74-78, Singapore, July, 2017.
- [224] T. Fujimori, M. Watanabe, "Gate Density Advantage of Parallel -Operation-Oriented FPGA Architecture," National Aerospace & Electronics Conference, pp.155-158, Dayton, USA, June, 2017.
- [225] T. Hatamochi, M. Watanabe, "Radiation tolerance experiments for a motor controller," International Symposium on Next-Generation Electronics, pp.1-2, Keelung, Taiwan, May, 2017.
- [226] R. Terada, M. Watanabe, "Error injection analysis for triple modular and penta-modular redundancies," International Symposium on Next-Generation Electronics, pp.1-4, Keelung, Taiwan, May, 2017.
- [227] Y. Ito, M. Watanabe, A. Ogiwara, "300 Mrad total-ionizing-dose tolerance of a holographic memory on an optically reconfigurable gate array," International Symposium on Next-Generation Electronics, pp.1-3, Keelung, Taiwan, May, 2017.
- [228] Shingo Noami, Satoshi Saikatsu, Akira Yasuda, "A Reduction of Circuit Size of Digital Direct-Driven Speaker Architecture Using Segmented Pulse Shaping Technique, Signal Processing Systems (SiPS)," 2017 IEEE International Workshop, DOI:10.1109/SiPS.2017.8109971, 2017.
- [229] Hideki Akiyama, Sogami Yasutaka, Akira Yasuda, "An application for tree structure NSDEM to a directivity speaker with amplitude controlling a digitally direct driven speaker, Mixed Design of Integrated Circuits and Systems, 2017 MIXDES-24th International Conference, 10.23919/MIXDES.2017.8005157
- [230] Shuta Masuda, Satoshi Saikatsu, Michitaka Yoshino, Akira Yasuda, "A delta-sigma DAC with feedforward jitter-shaper reducing jitter noise, Mixed Design of Integrated Circuits and Systems, 2017 MIXDES-24th International Conference, DOI:10.23919/MIXDES.2017.8004593.
- [231] Kengo Ando, Takahiro Kate, Satoshi Saikatsu, Akira Yasuda, "A high precision vernier type delta-sigma time to digital converter, Mixed Design of Integrated Circuits and Systems, 2017 MIXDES-24th International Conference, DOI:10.23919/MIXDES.2017.8005155
- [232] Jun Ohta, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, "Implantable micro photonic devices for biomedical applications,(invited)," IEEE NEMS2017, Apr. 2017.
- [233] Kiyotaka Sasagawa, Makito Haruta, Takahiro Yamaguchi, Yasumi Ohta, Toshihiko Noda,



Takashi Tokuda, Jun Ohta, "A miniature imaging device using a self-reset image sensor for hemodynamic imaging," 2017 International Image Sensor Workshop (IISW), May 2017.

- [234] Jun Ohta, "Optical sensor and interface technologies for implantable biomedical devices," IEEE IWASI2017, June 2017.
- [235] Takashi Tokuda, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, and Jun Ohta, "CMOS-based integrated opto-electric neural interface devices (invited)," 9th International Conference on Molecular Electronics and bioelectronics(M&BE9), June 2017.
- [236] Kiyotaka Sasagawa, Koki Fujimoto, Takahiro Yamaguchi, Makito Haruta, Yasumi Ohta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "An ultra-thin LED light source with excitation filters for an implantable imaging devices," 9th International Conference on Molecular Electronics and bioelectronics(M&BE9), June 2017.
- [237] Hajime Hayami, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "Implantable multi-area imaging device with an optical data transmitter for brain function measurement," The 39th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC'17), July 2017.
- [238] Nattakarn Wuthibenjaphonchai, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "CMOS-based optical energy harvesting circuit for medical and iot devices," The 39th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC'17), July 2017.
- [239] Kiyotaka Sasagawa, Makito Haruta, Takahiro Yamaguchi, Koki Fujimoto, Yoshinori Sunaga, Yasumi Ohta, Toshihiko Noda, Takashi Tokuda, and Jun Ohta, "Implantable optoelectronic devices for measurement and control of neural functions," The 39th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC'17), July 2017.
- [240] Jun Ohta, "A smart electrode for retinal stimulator with the large number of stimulus electrodes (invited)," The 13th annual Asia Pacific Conference on Vision (APCV), July 2017.
- [241] Jun Ohta, Takashi Tokuda, Kiyotaka Sasagawa, Toshihiko Noda, Makito Hatura, "Implantable Microphotonic Device For Brain Imaging And Manipulation (invited)," PHOTONICS@SG 2017, Aug., 2017, Sands Expo and Convention Center, Singapore.
- [242] Takashi Tokuda, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Jun Ohta, "CMOS-Based Opto-Electric Neural Interface Devices for Optogenetics (invited)," 60th IEEE International Midwest Symposium on Circuits and Systems, Aug., 2017, Tufts University in Boston Massachusetts.
- [243] Jun Ohta, "CMOS Image Sensors and Their biomedical Applications (invited)," 2017 Tutorials on Circuits and Systems: Selected Topics in Power, RF, and Mixed-Signal Ics, Aug., 2017, University of Macau, China.
- [244] Makito Haruta, Minoru Kubo, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "A potable bioactive monitoring device for observing water transport in plants with a non-invasive technique," 2017 International Conference on Solid State Devices and Materials (SSDM2017), Sep., 2017, Sendai International Center, Sendai, Japan.
- [245] Nattakarn Wuthibenjaphonchai, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Mohamad Sawan and Jun Ohta, "CMOS-based Opical Energy Harvesting Circuit for Implantable and IoT Devices," 2017 International Conference on Solid State Devices and Materials (SSDM2017), Sep., 2017, Sendai International Center, Sendai, Japan.
- [246] Toshihiko Noda, Shinya Nishimura, Yukari Nakano, Yasuo Terasawa, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "Fabrication and in Vivo Demonstration of Microchip-Embedded Smart Electrode Device for Neural Stimulation in Retinal Prosthesis," The 13th IEEE BioCAS(BioCAS2017), Oct., 2017, Polytechnical University of Turin, Italy.
- [247] Kiyotaka Sasagawa, Makito Haruta, Koki Fujimoto, Yasumi Ohta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Fluorescence Imaging Device with an Ultra-Thin MicroLED," The 13th IEEE BioCAS(BioCAS2017), Oct., 2017, Polytechnical University of Turin,

- Italy.
- [248] Wan Shen Hee, Kenta Nakamoto, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda and Jun Ohta, "Dual Color In-vivo FRET Image Sensor-Fabrication and Development Using CMOS Technology," GNN Symposium2017, Oct., 2017, Gwangju Institute of Science and Technology (GIST), Koera.
- [249] Toshihiko Noda, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "Sophisticated Microelectrodes for Neural Stimulation in Retinal Prosthesis by Using Built-in CMOS Microchips and High Performance Electrode Material (invited)," 18th International Union of Materials Research Societies International Conference in Asia (IUMRS-ICA 2017), Nov., 2017, Taipei Nangang Exhibition Hall, Taiwan.
- [250] Ayaka Kimura, Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Long-term time-lapse observation of neurite outgrowth by using portable in vitro cell imaging system," NEUROSCIENCE 2017, Nov., 2017, Walter E. Washington Convention Center, Washington, USA.
- [251] Y. SUNAGA, A. SHIRAIISHI, T. YAMAGUCHI, M. HARUTA, T. NODA, K. SASAGAWA, T. TOKUDA, Y. YOSHIMURA, J. OHTA, "GCaMP imaging associated with visual stimulation by implantable imaging device," NEUROSCIENCE 2017, Nov., 2017, Walter E. Washington Convention Center, Washington, USA.
- [252] Yasumi Ohta, Mamiko Kawahara, Yoshinori Sunaga, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Visualizing neural activities in mouse brain under stress and protease activities using implantable imaging device," NEUROSCIENCE 2017, Nov., 2017, Walter E. Washington Convention Center, Washington, USA.
- [253] Kiyotaka Sasagawa, Makito Haruta, Takahiro Yamaguchi, Hajime Hayami, Kenta Nakamoto, Koki Fujimoto, Yoshinori Sunaga, Yasumi Ohta, Toshihiko Noda, Takashi Tokuda and Jun Ohta, "Implantable Imaging Devices for Observation of Neural Activities (invited)," The 2017 International Conference on Brain Informatics (BI2017), Nov., 2017, Grand Gongda Jianguo Hotel, China.
- [254] Wan Shen Hee, Kenta Nakamoto, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Fabrication of A Small, Compact, Dual Color Prototype FRET Image Sensor for In Vivo FRET Imaging," IWSBN2017, Dec., 2017, Kyoto Terrsa, Kyoto.
- [255] Takashi Tokuda, Makito Haruta, Toshihiko Noda, Kiyotaka Sasawaga, Jun Ohta, "CMOS-Based optoelectronic devices for biomedical applications (invited)," IWSBN2017, Dec., 2017, Kyoto Terrsa, Kyoto.
- [256] Jun Ohta, "Optical Measuring and Controlling Biological Functions by Implantable Optoelectronic Devices (invited)," International Workshop on Nanodevice Technologies 2018, Mar., 2018, Hiroshima University, Hiroshima, Japan.
- [257] Kota Tsurumi, Kenta Suzuki, Ken Takeuchi, "A 6.8TPOS/W Energy Efficiency, 1.5uW Power Consumption, Pulse Width Modulation Neuromorphic Circuits, 2018 年 ISLPED, submitted
- [258] Y. Takahashi, T. Sekine, and M. Yokoyama, "A verification of resonant clock driver design for the IoT era," Proc. IEEE IMPACT 2017, pp.492-494, Oct. 24-27, Taipei, Taiwan.
- [259] Y. Takahashi, T. Sekine, and M. Han, "Operational amplifier based LC resonant circuit for adiabatic logic," Proc. IEEE MIXDES 2017, pp.110-113, June 22-24, Bydgoszcz, Poland.
- [260] M. Han, Y. Takahashi, and T. Sekine, "Low power adiabatic logic based on 2PC2AL," Proc. IEEE ICICDT 2017, pp.1-4, May 23-25, Austin TX.
- [261] Ryosuke Koike, Takashi Imagawa, Roberto Omaki, Hiroyuki Ochi, "Selectable Grained Reconfigurable Architecture (SGRA) and Its Design Automation," Proceedings of IEEE International System-on-Chip Conference (SOCC), pp.196-201, Sep. 2017.
- [262] M. Miyahara, A.Matsuzawa, "An 84 dB Dynamic Range 62.5-625 kHz Bandwidth Clock-Scalable Noise-Shaping SAR ADC with Open-Loop Integrator using Dynamic Amplifier," IEEE Custom Integrated Circuits Conference (CICC) Austin, TX, May.2017
- [263] Hiroyuki Ito, Yosuke Ishikawa, Nobuhiro Yoda, Shiro Dosho, Noboru Ishihara, and Kazuya Masu, "An Ultra-Low Power Wireless Sensor



- Node for Intraoral Measurement”, in Proc. The 2nd International Symposium on Biomedical Engineering, pp.314-315, Nov. 9-10, 2017
- [264] 3. Hirofumi Nijima, Motohiro Takayasu, Daisuke Yamane, Toshifumi Konishi, Teruaki Safu, Hiroyuki Ito, Shiro Dosho, Noboru Ishihara, Katsuyuki Machida, and Kazuya Masu, “A Novel Tri-Axis MEMS Accelerometer with a Single Au Proof Mass and Fully Differential Sensing Electrodes,” in Proc. The 30th International Microprocesses and Nanotechnology Conference (MNC 2017), Nov.6-9, 2017, Ramada Plaza Jeju Hotel, Jeju, Korea.
- [265] 4. Toshifumi Konishi, Daisuke Yamane, Teruaki Safu, Chun-Yi Chen, Tso-Fu Mark Chang, Hiroyuki Ito, Shiro Dosho, Noboru Ishihara, Masato Sone, Katsuyuki Machida, Kazuya Masu and Shinichi Iida, “Temperature Dependence on Package Sealing Ambient of MEMS Sensor Fabricated by Gold Electroplating,” in Proc. The 30th International Microprocesses and Nanotechnology Conference (MNC 2017), Nov.6-9, 2017, Ramada Plaza Jeju Hotel, Jeju, Korea.
- [266] Daisuke Yamane, Toshifumi Konishi, Hiroshi Toshiyoshi, Katsuyuki Machida, Kazuya Masu, “Sub-1mG Inertial Sensors by Multi-layer Metal Technology,” in Proc. IUMRS International Conference in Asia (IUMRS-ICA) 2017, Taipei Nangang Exhibition Hall, Taipei, Taiwan, Nov. 5- 9, 2017, F5-05. (invited)
- [267] Shota Otobe, Daisuke Yamane, Toshifumi Konishi, Teruaki Safu, Hiroyuki Ito, Shiro Dosho, Noboru Ishihara, Katsuyuki Machida, and Kazuya Masu, “A Tri-axis MEMS Accelerometer With a Gold Electroplated Single-proof-mass and Segmented Electrodes,” in Proc. 2017 International Conference on Solid State Devices and Materials (SSDM 2017), Sendai International Center, Miyagi, Japan, Sept. 19-22, 2017.
- [268] Ippeï Tsuji, Motohiro Takayasu, Hiroyuki Ito, Daisuke Yamane, Shiro Dosho, Toshifumi Konishi, Noboru Ishihara, Katsuyuki Machida, and Kazuya Masu, “Tilt Characteristics of a MEMS Accelerometer fabricated by Multi-layer Metal Technology,” in Proc. 2017 International Conference on Solid State Devices and Materials (SSDM 2017), Sendai International Center, Miyagi, Japan, Sept. 19-22, 2017.
- [269] Motohiro Takayasu, Shiro Dosho, Hiroyuki Ito, Daisuke Yamane, Toshifumi Konishi, Katsuyuki Machida, Noboru Ishihara, and Kazuya Masu, “A Capacitive Sensor Circuit Based on Relaxation Oscillator for Sub-1mG MEMS Inertial Sensors,” in Proc. 2017 International Conference on Solid State Devices and Materials (SSDM 2017), Sendai International Center, Miyagi, Japan, Sept. 19-22, 2017.
- [270] Daisuke Yamane, Toshifumi Konishi, Teruaki Safu, Koichiro Tachibana, Minami Teranishi, Chun-Yi Chen, Tso-Fu Mark Chang, Masato Sone, Katsuyuki Machida, and Kazuya Masu, “Long-Term Vibration Characteristics of MEMS Inertial Sensors by Multi-Layer Metal Technology,” in Proc. The 19th Int. Conf. on Solid-State Sensors, Actuators and Microsystems (Transducers 2017), June 18-22, 2017, Kaohsiung Exhibition Center, Kaohsiung, Taiwan, pp.2187-2190.
- [271] Takuya Yamaguchi, Shiro Dosho, Noboru Ishihara, Hiroyuki Ito, Kazuya Masu, Hiroyuki Nakamoto, “A topology exploration and an optimization of planar inverted” F” antenna (PIFA) with Generic Algorithm,” 2017 Thailand-Japan Microwave (TJMW2017), KMUTT Knowledge Exchange for Innovation Center (KX), King Mongkut’s University of Technology Thonburi (KMUTT), Bangkok, Thailand, June 14-16, 2017.
- [272] Motohiro Takayasu, Shiro Dosho, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, “A High-Resolution Capacitive-Sensor Interface Based on a Relaxation Oscillator,” 2017Thailand-Japan Microwave (TJMW2017), KMUTT Knowledge Exchange for Innovation Center (KX), King Mongkut’s University of Technology Thonburi (KMUTT), Bangkok, Thailand, June 14-16, 2017.
- [273] Motohiro Takayasu, Shiro Dosho, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, “A High-Resolution Capacitive-Sensor Interface Based on a Relaxation Oscillator,” 2017 Vietnam-Japan Microwave (VJMW 2017), Hanoi University of Science and Technology, Hanoi, Vietnam, June 13-14, 2017.
- [274] Daisuke Yamane, Toshifumi Konishi, Hiroshi Toshiyoshi, Masato Sone, Katsuyuki Machida, Yoshihiro Miyake, and Kazuya Masu, “MEMS inertial sensors for biomedical applications,” in Proc. 12th Annual IEEE Int. Conf. on Nano/

- Micro Engineered and Molecular Systems (IEEE NEMS 2017), UCLA Meyer & Renee Luskin Conference Center, Los Angeles, CA, USA, April 9-12, 2017. (invited)
- [275] 錢林, 杉浦, 中野, “Performance Improvements of On-Chip Solar Cell for Microsystem”, ISESD2017, 2017年10月17-19日.
- [276] 田中, 出口, 中野, “Prototype and Measurement of Automatic Synchronous PLL System for N-path Filter for Hum Noise Reduction”, ISESD2017, 2017年10月17-19日.
- [277] M. Kanda, M. Hashizume, H. Yotsuyanagi and Shyue-Kung Lu, “Capacitive Open Detection in 3D ICs with A Built-in Comparator of Offset Cancellation Type”, IEEE 2017 Taiwan and Japan Conference on Circuits and Systems, Aug. 2017.
- [278] S. Hirai, H. Yotsuyanagi and M. Hashizume, “On design for reducing delay variation in design-for-testability circuit for delay fault”, 2017 Taiwan and Japan Conference on Circuits and Systems, Aug. 2017
- [279] K. Ohtani, N. Osato, M. Hashizume, H. Yotsuyanagi and Shyue-Kung Lu, “A Defect Level Monitor of Resistive Open Defect at Interconnects in 3D ICs by Injected Charge Volume”, Proc. of 17th International Symposium on Communications and Information Technologies, pp.46-50, Sep. 2017.
- [280] Y. Ohama, M. Hashizume, H. Yotsuyanagi, Y. Higami and H. Takahashi, “On Selection of Adjacent Lines in Test Pattern Generation for Delay Faults Considering Crosstalk Effects”, Proc. of 17th International Symposium on Communications and Information Technologies, pp.96-100, Sep. 2017.
- [281] M. Kanda, M. Hashizume, H. Yotsuyanagi and Shyue-Kung Lu, “A Defective Level Monitor of Open Defects in 3D ICs with a Comparator of Offset Cancellation Type”, 2017 IEEE Int. Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), pp.98-101, Oct. 2017.
- [282] M. Kanda, M. Hashizume, H. Yotsuyanagi and Shyue-Kung Lu, “A Built-in Current Sensor Made of a Comparator of Offset Cancellation Type for Electrical Interconnect Tests of 3D ICs”, Proc. of IEEE CPMT Symposium Japan 2017, pp.137-138, Nov. 2017.
- [283] K. Ohtani, N. Osato, M. Hashizume, H. Yotsuyanagi and Shyue-Kung Lu, “Resistive Open Defects Detected by Interconnect Testing Based on Charge Volume Injected to 3D ICs”, Proc. of IEEE CPMT Symposium Japan 2017, pp.231-234, Nov. 2017.
- [284] A. Kambara, H. Yotsuyanagi, D. Miyoshi, M. Hashizume and Shyue-Kung Lu, “Open Defect Detection with a Built-in Test Circuit by IDDT Appearance Time in CMOS ICs”, Proc. of IEEE 26th Asian Test Symposium, pp.237-242, Nov. 2017
- [285] S. Hirai, H. Yotsuyanagi and M. Hashizume, “Reordering Delay Elements in Boundary Scan Circuit with Embedded TDC”, the 18th IEEE Workshop on RTL and High Level Testing, Dec. 2017.
- [286] H. Soneda, M. Kanda, M. Hashizume, H. Yotsuyanagi and Shyue-Kung Lu, “Detectable Resistive Open Defects in 3D ICs with Electrical Interconnect Test Circuit Made of Diodes”, Proc. of 2018 RISP International Workshop on Nonlinear Circuits, Communications, pp.655-658, March 2018.
- [287] M. Noriko, M. Hashizume, H. Yotsuyanagi, H. Yokoyama and T. Tada, “Oscillation Frequency Estimation of Ring Oscillator for Interconnect Tests in 3D Stacked ICs”, Proc. of 2018 RISP International Workshop on Nonlinear Circuits, Communications, pp.659-662, March 2018.
- [288] M. Kanda, M. Hashizume, H. Yotsuyanagi and Shyue-Kung Lu, “Resistive Open Defect Detection in 3D ICs with a Comparator of Offset Cancellation Type under Process Variation”, Proc. of International Forum on Advanced Technologies 2018, March 2018.
- [289] F. A. Ali, M. Hashizume, H. Yotsuyanagi and Shyue-Kung Lu, “Electrical Tests for Capacitive Open Defects in Assembled PCBs”, Proc. of International Forum on Advanced Technologies 2018, March 2018.
- [290] J. Kawano, H. Yotsuyanagi and M. Hashizume, “Effect of Routing in Testing a TSV Array Using Boundary Scan Circuit with Embedded TDC”, Proc. of International Forum on Advanced Technologies 2018, March 2018.
- [291] H. Akima, S. Kawakami, J. Madrenas, S. Moriya, M. Yano, K. Nakajima, M. Sakuraba, S. Sato, “Complexity Reduction of Neural Network

- Model for Local Motion Detection in Motion Stereo Vision”, Proc. Int. Conf. on Neural Information Processing (ICONIP 2017), pp.830-839, 2017.
- [292] K. Maezawa and M. Mori, “Bias Stability and Triggering of a Hard-Type Oscillator Using Series-Connected Resonant Tunneling Diodes”, The 12th Typical Workshop on Heterostructure Microelectronics (TWHM 2017), Kirishima, 28-31th August (2017).
- [293] T. Yamashita, D. Nakano, M. Mori and Koichi Maezawa, “A Wide-Range Variable-Frequency Resonant Tunneling Diode Oscillator Based on a Novel MEMS Phase Shifter”, 2017 International Conference on Solid State Devices and Materials (SSDM 2017), Sendai, 19-22nd September (2017).
- [294] Y. Shirakawa, M-W. Seo, K. Yasutomi, K. Kagawa, N. Teranishi, S. Kawahito, “Design of an 8-tap CMOS lock-in pixel with lateral electric field charge modulator for highly time-resolved imaging”, Proc. SPIE. 10108 Silicon Photonics XII, 101080N, 2017.6
- [295] M-W. Seo, K. Yasutomi, K. Kagawa, S. Kawahito, “Ultra-Low-Noise Wide-Dynamic-Range CMOS Image Sensors for Scientific Applications”, Proceedings, the 19th Takayanagi Kenjiro Memorial Symposium, pp.51-54, 2017.11.22.
- [296] J. Fujiwara, N. Hattori, K. Kanda, T. Fujita, K. Maenaka, “Design and Integration of MPU for Human Monitoring System,” IEEE International Conference on SMC, pp.3058-3061 (2017).
- [297] J. Fujiwara, T. Matsuda, Y. Matsumoto, K. Kanda, T. Fujita, K. Maenaka, “Design of Ultra-low Power Processer for Human Sensing,” AMEC International Symposium on Medical and Health Technology, 2017
- [298] Y. Yahagi, M. Yanagisawa, N. Togawa, “Robust AES circuit design for delay variation using suspicious timing error prediction,” ISOC 2017.
- [299] 石川遼太, 多和田雅師, 柳澤政生, 戸川望, “乱数によるビット並び替えに基づくストカスティック数複製器,” DA シンポジウム 2017, vol.2017, pp.169-174.
- [300] 石川遼太, 多和田雅師, 柳澤政生, 戸川望, “効率的なストカスティック数複製器と合成関数を用いたその評価,” 情報処理学会研究報告, システムとLSIの設計技術 (SLDM), vol.2018-SLDM-183, no.36, pp.1-6.
- [301] Ryuichi Sakamoto, Ryo Takata, Jun Ishii, Masaaki Kondo, Hiroshi Nakamura, Tetsui Ohkubo, Takuya Kojima and Hideharu Amano, The Design and Implementation of Scalable Deep Neural Network Accelerator Cores, IEEE MCSoc-17
- [302] Ong, Sato, “An Improved Differential N-path Filter with Sampling Computation for Increased Stopband Rejection Ability”, Proceedings of the 17th International Symposium on Communications and Information Technologies, pp.343-348, Sept. 2017
- [303] Korkut Kaan Tokgoz, Shotaro Maki, Jian Pang, Noriaki Nagashima, Ibrahim Abdo, Seitaro Kawai, Takuya Fujimura, Yoichi Kawano, Toshihide Suzuki, Taisuke Iwai, Kenichi Okada, and Akira Matsuzawa, “A 120Gb/s 16QAM CMOS Millimeter-Wave Wireless Transceiver”, IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, pp.168-169, Feb. 2018.
- [304] Haosheng Zhang, Aravind Tharayil Narayanan, Bangan Liu, Kenichi Okada, and Akira Matsuzawa, “A Pulse VCO With Tail-filter”, IEEE Asia-Pacific Microwave Conference (APMC), Kuala Lumpur, Malaysia, Nov. 2017.
- [305] Korkut Kaan Tokgoz, Seitaro Kawai, Kenichi Okada, and Akira Matsuzawa, “A Low-Loss 60GHz Integrated Antenna Switch in 65 nm CMOS”, IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp.50-52, Seoul, Korea, Aug. 2017.
- [306] Ibrahim Abdo, Korkut Kaan Tokgoz, Takuya Fujimura, Kenichi Okada, and Akira Matsuzawa, “Comparison Between L-2L and Thru-Reflect-Line De-embedding Methods for W-Band CMOS Amplifier Design”, IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp.34-36, Seoul, Korea, Aug. 2017.
- [307] Ibrahim Abdo, Korkut Kaan Tokgoz, Takuya Fujimura, Kenichi Okada, and Akira Matsuzawa, “A 100-123GHz CMOS Frequency Doubler with 5.5dBm Output Power and High Fundamental Rejection”, IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp.138-140, Seoul, Korea, Aug. 2017.

- M. Sueda, M. Hamada, and T. Kuroda, "A 6Gb/s Rotatable Non-Contact Connector with High-Speed/I2C/CAN/SPI Interface Bridge IC," IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp.C150-C151, June 2017.
- [324] R. Shimizu, S. Yanagawa, T. Shimizu, M. Hamada, and T. Kuroda, "Convolutional Neural Network for Industrial Egg Classification," 14th International SoC Design Conference (ISOCC 2017), Proceedings, pp.67-68, Nov. 2017.
- [325] S. Yanagawa, R. Shimizu, M. Hamada, T. Shimizu, and T. Kuroda, "Wireless Power Transfer to Stacked Modules for IoT Sensor Nodes," 14th International SoC Design Conference (ISOCC 2017), Proceedings, pp.59-60, Nov. 2017.
- [326] J. Kadomoto, H. Amano, and T. Kuroda, "An Inductive-Coupling Link for 3-D Network-on-Chips," 14th International SoC Design Conference (ISOCC 2017), Proceedings, pp.150-151, Nov. 2017.
- [327] D. Ogawa, F. Fujii, K. Hashimoto, Y. Akiyama, and K. Otsuka, "Power Source Consideration for 56 Gbps I/O Interface," Proc. IEEE CPMT Symposium Japan 2017, pp.239-242 (November 22, 2017).
- [328] K. Otsuka and Y. Sato, "Deep Learning Consideration with Novel Approach-Look-Up Based Processing Conjugated Memory -," iMPACT 2017 Proceedings, pp.259-262 (October 26, 2017)
- [329] Saki Tajima, Nozomu Togawa, Masao Yanagisawa and Youhua Shi, "Soft error tolerant latch designs with low power consumption," IEEE 12th international conference on ASIC, pp.52-55, 2017.
- [330] Jinghao Ye, Youhua Shi, Nozomu Togawa, and Masao Yanagisawa, "A Low Cost and High Speed CSD-based Symmetric Transpose Block FIR Implementation," IEEE 12th international conference on ASIC, pp.327-330, 2017.
- [331] S. Maruyama, T. Hizawa, K. Takahashi, and K. Sawada, "Consideration of a differential measurement of Fabry-Perot surface stress sensor for chemical and biological sensing," International Conference on Micro and Nano Engineering (MNE 2017), Sep. 18-22, 2017, International Iberian Nanotechnology Laboratory, Braga, Portugal, (PO-084).
- [332] S. Maruyama, T. Hizawa, K. Takahashi, and K. Sawada, "A MEMS Fabry-Perot Interferometric Surface Stress Sensor for Chemical Sensing," International Commission for Optics (ICO-24), Aug. 21-25, 2017, Keio Plaza Hotel, Tokyo, (Th2G-04).
- [333] Y. Takahashi and K. Ishii, Circuit Technique for High-Speed MOSFET Voltage-Controlled Oscillators, The 32nd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2017), pp.25-28, 2017 Busan, Korea
- [334] Takayuki Okazawa, Ippei Akita, "A robust and low-power synchronization technique of coarse-and-fine conversion parts in ring-oscillator-based time-to-digital," in Proc. IEEE Int. Conf. Electronics, Circuits and Systems (ICECS), Batumi, Georgia, pp.239-242, Dec. 2017.
- [335] N. A. V. Doan, Y. Matsushita, N. Ando, H. Okuhara and H. Amano, "Multi-objective Optimization for Application Mapping and Body Bias Control on a CGRA," 2017 IEEE 11th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc), Seoul, Korea (South), 2017, pp.143-150.
- [336] K. Azegami, H. Okuhara and H. Amano, "Body bias control for renewable energy source with a high inner resistance," 2017 IEEE Symposium in Low-Power and High-Speed Chips (COOL CHIPS), Yokohama, 2017, pp.1-3.
- [337] Sayaka Terashima, Takuya Kojima, Hayate Okuhara, Yusuke Matsushita, Naoki Ando, Mitaro Namiki, Hideharu Amano, "A shared memory chip for twin-tower of chips", SASIMI2018, 2018年3月.
- [338] Takuya Kojima, Naoki Ando, Hayate Okuhara, Ng. Anh Vu Doan, Hideharu Amano, "Power Optimization for CGRA with Control of Variable Pipeline and Body Bias Voltage", In proc. of the Cool Chips 20, p.1, 2017.
- [339] T. Kojima, N. Ando, H. Okuhara, N. A. V. Doan and H. Amano, "Body bias optimization for variable pipelined CGRA," 2017 27th International Conference on Field Programmable Logic and Applications (FPL), Ghent, 2017, pp.1-4.
- [340] T. Kojima, N. Ando, H. Okuhara and H. Amano, "Glitch-aware variable pipeline optimization for CGRAs," 2017 International Conference on ReConFigurable Computing and FPGAs

- (ReConFig), Cancun, 2017, pp.1-6.
- [341] H. Okuhara, A. Ben Ahmed, J. M. Kühn and H. Amano, "Leveraging asymmetric body bias control for low power LSI design," 2017 IEEE Symposium in Low-Power and High-Speed Chips (COOL CHIPS), Yokohama, 2017, pp.1-3.
- [342] Y. Yoshida, K. Usami, "Design and Implementation Methodology of Energy-Efficient Standard Cell Memory with Optimized Body-Bias Separation in Silicon-on-Thin-BOX," 2017 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), Athens, Greece, pp.43-46, April 3, 2017.
- [343] Y. Yoshida, K. Usami, "Unbalanced Body-Bias Control on Stability and Leakage Current for Standard Cell Memory in Silicon-on-Thin-BOX (SOTB)," The 32nd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2017), Busan, Korea, pp.333-336, July 3, 2017.
- [344] K. Usami, S. Kogure, Y. Yoshida, R. Magasaki, H. Amano, "Level-shifter Free Approach for Multi-VDD SOTB employing Adaptive V_t Modulation for pMOSFET," 2017 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), Sess.3.4, San Francisco, USA, October 16, 2017.
- [345] K. Usami, S. Kogure, Y. Yoshida, R. Magasaki, H. Amano, "Level-shifter-less Approach for Multi-VDD Design to use Body Bias Control in FD-SOI," 2017 IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), Abu Dhabi, United Arab Emirates, pp.1-6, October 24, 2017.
- [346] Y. Yoshida, K. Usami, H. Amano, "Digital Embedded Memory Scheme using Voltage Scaling and Body Bias Separation for Low-Power System," International SoC Design Conference 2017 (ISODC 2017), Seoul, Korea, pp.148-149, November 6, 2017.
- [347] Yuji Yamashita, Kazuya Tanigawa, Tetsuo Hironaka, Takashi Ishiguro, "A prototype design of reconfigurable device SePLD in 0.6 μm CMOS process," Proc. of the ITC CSCC 2017, pp.579-582, July 5, 2017.
- [348] N. Onizawa, M. Imai, T. Hanyu, and T. Yoneda, "MTJ-Based Asynchronous Circuits for Re-initialization Free Computing against Power Failure", Proc. of ASYNC2017, pp.118-125, 2017年5月.
- [349] Takuma Konno, Shinichi Nishizawa and Kazuhito Ito, "Process Variation Estimation using A Combination of Ring Oscillator Delay and FlipFlop Retention Characteristics" International Conference on Microelectronic Test Structures (ICMTS), 2018/03
- [350] C. Pan, H. San and T. Shibata, "A 2nd-order Δ AD Modulator Using Ring Amplifier and SAR Quantizer with Simplified Operation Mode," 2017 MIXDES-24th International Conference Mixed Design of Integrated Circuits and Systems, Bydgoszcz, 2017, pp.45-49.
- [351] Kenji Shimokawa, Zhengyang Qian, Yoshiaki Takezawa, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, Tetsu Tanaka. "Experimental evaluation of stimulus current generator with Laplacian edge-enhancement for 3-D stacked retinal prosthesis chip.", 2017 IEEE Biomedical Circuits and Systems Conference.
- [352] Yoshiaki Takezawa, Koji Kiyoyama, Kenji Shimokawa, Zhengyang Qian, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka. "Ultrawide range square wave impedance analysis circuit with ultra-slow ring-oscillator using gate-induced drain-leakage current.", 2017 IEEE Biomedical Circuits and Systems Conference.
- [353] Y. Takezawa, K. Shimokawa, Z. Qian, H. Kino, T. Fukushima, K. Kiyoyama, T. Tanaka, "Wide-range bioelectrical impedance analysis circuit with GIDL-controlled ultrasmall current and ultralow frequency square wave generator.", 2017 International Conference on Solid State Devices and Materials.
- [354] Z. Qian, Y. Takezawa, K. Shimokawa, H. Kino, T. Fukushima, K. Kiyoyama, T. Tanaka, "An Integrated Photo-Plethysmography Recording Circuit for Trans-Nail Pulse-Wave Monitoring System.", 2017 International Conference on Solid State Devices and Materials.
- [355] Y. Sakamoto, K. Komoku, T. Morishita, N. Itoh, "24 GHz Low-Phase-Noise VCO Using 3D-Striped Inductor Utilized Thin-Metal Layers," Proc. of the 2017 Asia-Pacific Microwave Conference, TH3-E, Kuala Lumpur, Nov. 2017.
- [356] T. Kitano, K. Komoku, T. Morishita, N. Itoh, "A CMOS LNA Equipped with Concurrent Dual-

Band Matching Networks,” Proc. of the 2017 Asia-Pacific Microwave Conference, WE2-B, Kuala Lumpur, Nov. 2017.

- [357] D.Kitagata, S.Yamamoto, S.Sugahara, “Hierarchical Store-Free Architecture for Nonvolatile SRAM Using STT-MTJs”, IEEE International Electron Devices Meeting (IEDM) MRAM special session, P-23, 2017.

■国内会議，研究会等

- [1] 横山達也，小野 哲，和田光司，“高減衰量を有する楕円関数型低域通過フィルタの実現～遮蔽筐体及び遮蔽壁を用いた減衰量の確保～”，電子情報通信学会研究技術報告，vol. 117, no.462, MW2017-176, pp.15-20, 2018年3月
- [2] 桑沢龍亮，小野 哲，和田光司，“インピーダンスステップスタブで構成したチップレスマイクロストリップ線路 RFID タグに関する検討”，電子情報通信学会東京支部学生会研究発表会(第23回 103) (2018年3月)
- [3] 長浦正樹，小野 哲，和田光司，“ステップインピーダンス共振器を用いた小電力用デュアルバンド整流回路に関する検討”，電子情報通信学会東京支部学生会研究発表会(第23回 105) (2018年3月)
- [4] 阿部 励，小野 哲，和田光司，“楕円関数型 HPF による阻止域における高減衰量の実現～シールドケースによる特性改善～”，電子情報通信学会研究技術報告，vol. 117, no.462, MW2017-177, pp.21-26 (2018年3月)
- [5] 中村流星，小野 哲，和田光司，“プリント基板加工機による V スロット DGS を用いた小型 BRF の試作方法”，電子情報通信学会研究技術報告，vol. 117, no.462, MW2017-181, pp.39-44 (2018年3月)
- [6] 香原翔太，高野恭弥，天川修平，吉田毅，藤島実，“60GHz 帯 CMOS 電力増幅回路の低電圧動作”，電子情報通信学会ソサイエティ大会，C-12-8, 2017/9/14
- [7] 竹川響弥，天川修平，吉田毅，藤島実，高野恭弥，“0.5V 動作 60GHz 帯 CMOS 低雑音増幅器”，電子情報通信学会ソサイエティ大会，C-12-9, 2017/9/14
- [8] 香原翔太，董鋭冰，天川修平，吉田毅，藤島実，“2 種類の局所帰還を用いた W 帯 CMOS 増幅器の低雑音化”，電子情報通信学会総合大会，C-12-8, 2018/3/20.
- [9] 竹川響弥，董鋭冰，高野恭弥，天川修平，吉田毅，藤島実，“0.5V 動作 73-78GHz 帯 CMOS 低雑

音増幅器”，電子情報通信学会総合大会，C-12-9, 2018/3/20.

- [10] 瀧脇朋也，藤島実，吉田毅，天川修平，高野恭弥，李尚曄，“60GHz 帯低電圧低消費電力 LC 電圧制御発振器”，電子情報通信学会総合大会，C-12-26, 2018/3/21.
- [11] 宇野祐輝，邱浩，崔通，井口俊太，水谷陽太，星貴之，川原圭博，笈康明，高宮真，“Luciola(源氏螢)：超音波で空中移動し無線給電で動作する超小型発光粒子”，電子情報通信学会，信学技報，ICD2017-63, pp.63-68, 石垣島，2017年12月.
- [12] 小野寺尚人，染谷晃基，イスラムマーフズル，松永賢一，森村浩季，高宮真，桜井貴康，“可変キャパシタを用いた自動 LC 共振最適化機能を有する RF エネルギーハーベスティング回路の設計と評価”，電子情報通信学会，信学技報，ICD2017-85, pp.139-139, 石垣島，2017年12月.
- [13] 堀尾喜彦，“黄金比 ADC 回路のロバスト性の実験的評価”，電子情報通信学会ソサイエティ大会講演論文集，AS-1-5, pp.S-7-S-8, September 14, 2017
- [14] 堀尾喜彦，藤野隆良，“スイッチト・カレント黄金比 A/D 変換集積回路の試作”，電気学会電子・情報・システム部門大会講演論文集，TC10-3, pp.442-445, September 7, 2017.
- [15] 小島，山田，古田，小林，“デバイスシミュレーションを用いたソフトエラー耐性のトランジスタしきい値電圧依存性の評価”，no.C-12-5, pp.40, 電子情報通信学会総合大会 (2018)
- [16] 附田，丸岡，小林，古田，“耐ソフトエラー FF を用いた宇宙機用高信頼 FPGA の検討”，no.C-12-4, pp.39, 電子情報通信学会総合大会 (2018)
- [17] 保坂，西澤，岸田，小林，松本，坂本，籾内，熊代，“65 nm FD-SOI における NBTI の逆方向基板バイアス依存性の評価”，no.C-12-21, pp.56, 電子情報通信学会総合大会 (2018)
- [18] 中村，中野，岸田，小林，“FPGA とマイコンで制御する小型かつ低電力な BTI 評価用チップ測定系の定電圧電源回路の検討”，no.C-12-22, pp.57, 電子情報通信学会総合大会 (2018)
- [19] 中野，中村，岸田，小林，“低電力で高信頼な長期経年劣化評価用測定系の設計”，pp.68, 電子情報通信学会学生会研究発表講演会 (2018)
- [20] 榎原，丸岡，山田，古田，小林，“65 nm FDSOI プロセスのトランジスタしきい値の違いによるフリップフロップのソフトエラー耐性の実測と評価”，no.VLD2017-104, pp.91-96, 電子情報通信学会技術報告 (VLSI 設計技術) (2018)
- [21] 丸岡，山田，榎原，古田，小林，“FDSOI に適したスタック構造におけるソフトエラー耐性向

- 上手法の提案・評価と微細化による影響の評価”, no.VLD2017-103, pp.85-89, 電子情報通信学会技術報告 (VLSI 設計技術) (2018)
- [22] 山下, Stoffels, Posthuma, Decoutere, 小林, “パワー GaN-HEMT とゲートドライバの 1 チップ集積化”, 応用物理学会関西支部講演会 (2018)
- [23] 稲森, 古田, 小林, “SiC パワー MOSFET の MHz スイッチング向けゲートドライバの検討”, no.EDD-17-059/SPC-17-158, pp.41-46, 電気学会電力技術 / 電力系統 / 半導体電力変換合同研究会 (2017)
- [24] 岸田, “リングオシレータのランダムテレグラフノイズによる周波数変動自動測定回路”, IEEE SSCS Japan Chapter VDEC Design Award (2017)
- [25] 丸岡, “低電力かつ高いソフトエラー耐性を有する FDSOI 向けフリップフロップ”, IEEE SSCS Japan Chapter VDEC Design Award (2017)
- [26] 山田, 丸岡, 古田, 小林, “PMOS パストランジスタを用いた非多重化耐ソフトエラー FF の提案及び評価”, DA シンポジウム (2017)
- [27] 岸田, 古田, 小林, “電流スター型発振器を用いた周波数変動のしきい値電圧変換手法”, DA シンポジウム (2017)
- [28] 駒脇, 藪内, 岸田, 古田, 小林, “Verilog-A を用いたランダムテレグラフノイズ発生用モジュールを適用したリングオシレータ回路における過渡解析”, pp.226-231, 回路とシステムワークショップ (2017)
- [29] 岸田, 古田, 小林, “リングオシレータによる製造時のプラズマダメージと経年劣化の測定評価”, システムと LSI のワークショップ (2017)
- [30] 山田, 丸岡, 古田, 小林, “FDSOI における非多重化耐ソフトエラー FF の設計と評価”, システムと LSI のワークショップ (2017)
- [31] 小林, “【招待講演】集積回路の信頼性 - 経年劣化とソフトエラーによる一時故障 -”, no.G9-5, pp.274-275, 電気関係学会関西連合大会 (2017)
- [32] 谷, 阿保, 若家, 小野田, 山下, 宮戸, 阿部, “高エネルギーイオン入射による Si での生成電荷分布計測”, 第 78 回応用物理学会秋季学術講演会, 2017/9/5-8, 福岡国際会議場, 6p-S41-2
- [33] 三谷勇介, 宮地幸祐, 金子怜史, 上倉宇晴, 百瀬英哉, 上口光, “静電容量型湿度センサを用いたコンパクト発汗量観測システム”, 2018 年電子情報通信学会総合大会講演論文集, A-1-18, 2018 年 3 月.
- [34] 清水峻平, Hassan Arafat, 上口光, “高速不揮発メモリを用いた階層型ハイブリッド SSD システム” 2018 年電子情報通信学会総合大会講演論文集, D-6-3, 2018 年 3 月.
- [35] 清水峻平, アラファト・ハッサン, 上口光, “階層型ハイブリッド SSD システムの信頼性の比較” 第 65 回応用物理学会春季学術講演会講演予稿集, 17p-P8-17, p. 12-076, 2018 年 3 月.
- [36] 三谷勇介, 宮地幸祐, 金子怜史, 上倉宇晴, 百瀬英哉, 上口光, “180 nm CMOS 技術を用いた発汗量観測システムの集積化”, 第 65 回応用物理学会春季学術講演会講演予稿集, 18a-F202-10, p. 01-033, 2018 年 3 月.
- [37] 三谷勇介, 宮地幸祐, 金子怜史, 上倉宇晴, 百瀬英哉, 上口光, “静電容量型湿度センサを用いたウェアラブル発汗量モニタリングシステム”, 2017 年電子情報通信学会信越支部大会予稿集, 2017 年 10 月.
- [38] 吉井高嶺, 竹下潤, 甲田真己, 進士拓郎, 上口光, “ウェアラブルスーツ用アクチュエータ駆動回路 / パッケージの省電力, コンパクト化に関する検討” LSI とシステムのワークショップ 2017, ポスターセッション, No. 63, 2017 年 5 月.
- [39] 杉山泰基, 飯塚哲也, 山口隆弘, 名倉徹, 浅田邦博, “統計的コンパレータを用いたレベルクロス検出手法の性能解析”, 電子情報通信学会技術研究報告, vol. 117, no.343, pp.15-20, 2017 年 12 月.
- [40] 伊藤貴亮, 飯塚哲也, 名倉徹, 浅田邦博, “ノイズ可変比較器を用いたノンバイナリ逐次比較型アナログ - デジタル変換器の設計”, 電子情報通信学会技術研究報告, vol. 117, no.343, pp.9-13, 2017 年 12 月.
- [41] 陳明翰, 飯塚哲也, 名倉徹, 浅田邦博, “遅延制御バッファにより周波数追従範囲を拡大した高速起動完全デジタル CDR 回路の設計”, 電子情報通信学会技術研究報告, vol. 117, no.343, pp.3-8, 2017 年 12 月.
- [42] 伊藤貴亮, 飯塚哲也, 名倉徹, 浅田邦博, “サンプルホールド回路における非線形歪みの測定手法”, 電子情報通信学会ソサイエティ大会論文集, C-12-3, 2017 年 9 月.
- [43] 中里徳彦, 飯塚哲也, 名倉徹, 浅田邦博, “オールパスフィルターを用いた遠端クロストーク低減手法”, 電子情報通信学会ソサイエティ大会論文集, C-12-10, 2017 年 9 月.
- [44] 寺尾直樹, 名倉徹, 石田雅裕, 池野理門, 日下崇, 飯塚哲也, 浅田邦博, “LSI テストに向けた電源インピーダンス模擬”, 電子情報通信学会総合大会論文集, A-1-3, 2017 年 3 月.
- [45] 福岡孝将, 原慎太郎, 柄澤悠樹, 後藤悠佑, 宮地幸祐, “広範囲負荷に対応する SSD 向け 3.3V

降圧型 DC-DC コンバータ,” 電子情報通信学会信越支部大会, p. 112, 2017 年 10 月.

- [46] 原慎太郎, 福岡孝将, 柄澤悠樹, 後藤悠佑, 宮地幸祐, “高速スイッチング降圧 DC-DC コンバータの負荷電流検知回路の設計,” 電子情報通信学会信越支部大会, p. 113, 2017 年 10 月.
- [47] 後藤悠佑, 柄澤悠樹, 宮地幸祐, “ランダム周期三角波ジェネレータを用いたスペクトラム拡散による PWM 降圧コンバータにおける EMI 低減の検討,” 電子情報通信学会信越支部大会, p. 114, 2017 年 10 月.
- [48] 郷木憲太郎, 上倉宇晴, 曾根原誠, 佐藤敏郎, 宮地幸祐, “光プローブ電流センサ向け疑似差動 CMOS アナログフロントエンド回路におけるオペアンプの高速化の検討,” 電子情報通信学会信越支部大会, p. 115, 2017 年 10 月.
- [49] 三谷勇介, 宮地幸祐, 金子怜史, 上倉宇晴, 百瀬英哉, 上口光, “広範囲負荷に対応する SSD 向け 3.3V 降圧型 DC-DC コンバータ,” 電子情報通信学会信越支部大会, p. 116, 2017 年 10 月.
- [50] 與五沢啓太, 浅野孝紘, 西田純也, 宮地幸祐, “整流器のスイッチング比を送電電力制御に用いる IMD 向け非接触給電システムの検討,” 電子情報通信学会信越支部大会, p. 117, 2017 年 10 月.
- [51] 西田純也, 與五沢啓太, 浅野孝紘, 宮地幸祐, “Constant On Time 制御を用いた整流-レギュレーション一体型非接触給電受電回路の設計,” 電子情報通信学会信越支部大会, p. 118, 2017 年 10 月.
- [52] 浅野孝紘, 與五沢啓太, 西田純也, 宮地幸祐, “磁界共鳴方式非接触給電回路における送電電力制御に向けたバックスキュタリング検知回路の設計,” 電子情報通信学会信越支部大会, p. 119, 2017 年 10 月.
- [53] 吉田穰理, 宮地幸祐, “190mV から昇圧可能な 0.18 μ m 標準 CMOS プロセスを用いたエネルギーハーベスティング向け CMOS ゲート電圧 2 倍振幅スタートアップボルテージダブラー型チャージポンプ,” 電子情報通信学会, 集積回路研究会, 信学技報, vol. 117, no.344, ICD2017-79, 2017 年 12 月.
- [54] 柄澤悠樹, 後藤悠佑, 原慎太郎, 福岡孝将, 宮地幸祐, “高周波ヒステリシス制御 DC-DC コンバータにおけるワイヤーボンディングとフリップチップボンディングの比較,” 電子情報通信学会, 集積回路研究会, 信学技報, vol. 117, no.344, ICD2017-80, 2017 年 12 月.
- [55] 後藤悠佑, 柄澤悠樹, 宮地幸祐, “ランダム周期三角波発生回路を用いたスペクトラム拡散によ

る 30MHz 動作降圧コンバータにおける EMI 低減の検討,” 2018 年電子情報通信学会総合大会, C-12-19, 2018 年 3 月.

- [56] 山本綱之, 堀田昌志, 久保洋, “RF-DC 変換回路が接続された磁界結合型無線電力伝送システムにおける整流効率に関する一検討,” 2017 年電子情報通信学会ソサイエティ大会公園論文集, B-21-9, p.405, 2017 年 9 月
- [57] 太田, 嶋山, 中司, “最低電圧 80mV で動作するエナジーハーベスト用昇圧回路の検討”, 第 70 回電気・情報関係学会九州支部連合大会, 02-2P-03, 2017 年 9 月
- [58] 萱室高樹, 佐々木敬泰, 深澤祐樹, 近藤利夫, マルチコアプロセッサの効率的な設計検証に向けたプロセッサシミュレータの並列化, 電子情報通信学会技術報告書, Vol. CPSY2017-45, pp.53-58, 2017.
- [59] 田中大介, 河村慧史, 田中泰介, 高藤美泉, 齊藤健, 内木場文男, “人工ニューラルネットワーク IC を用いた歩容変化可能な 4 足歩行型 MEMS マイクロロボットの開発,” 電気学会研究会資料, pp. 59-64, 2017 年 6 月
- [60] 田中泰介, 内海裕人, 田中大介, 高藤美泉, 齊藤健, 内木場文男, “マイクロロボットに搭載する人工ニューラルネットワーク IC の発熱検討,” 2017 年アカデミックプラザ予稿集, 2017 年.
- [61] 内海裕人, 河村慧史, 田中泰介, 仲田友也, 田中大介, 高藤美泉, 齊藤健, 内木場文男, “SMA を駆動源とした歩行型 MEMS マイクロロボットの開発,” 2017 年アカデミックプラザ予稿集, 2017 年.
- [62] 齋藤匠, 小松聡, “レベルクロッシング ADC に向けたヒステリシスコンパレータとその校正手法,” LSI とシステムのワークショップ 2017(ポスター), 2017 年 5 月.
- [63] 齋藤匠, 小松聡, “自己校正可能な低電源電圧動作ヒステリシスコンパレータ,” デザインガイア 2017, ICD2017-39, 2017 年 11 月.
- [64] 野口駿太, 小松聡, “シリコン直接接合プロセスを用いた MEMS 絶対圧センサ,” 電子情報通信学会 2018 年総合大会, C-12-2, 2018 年 3 月.
- [65] 保坂啓介, 小松聡, “低消費電力 DLL 向け遅延セルの検討,” 電子情報通信学会 2018 年総合大会, C-12-28, 2018 年 3 月.
- [66] 齋藤匠, 小松聡, “低電圧レベルクロッシング ADC の為のバックグラウンド校正可能なヒステリシスコンパレータ回路,” 電子情報通信学会 2018 年総合大会 C-12-32, 2018 年 3 月.
- [67] 熊澤輝顕, 鈴木浩史, 石島正和, 浅井哲也, 池辺

- 将之, 本村真人, 高前田伸也, “ZDD を用いた三角形分割パターンの列挙とその応用に向けて,” 人工知能学会第 106 回人工知能基本問題研究会, 指宿市民会館, (鹿児島), 2018 年 3 月 16-17 日.
- [68] 肥田格, 植吉晃大, 高前田伸也, 池辺将之, 本村真人, 浅井哲也, “不揮発アナログシナプスデバイスの素子数を半減する重み符号固定事前学習法とその深層学習への適用,” 日本神経回路学会第 27 回全国大会, 北九州国際会議場, (福岡), 2017 年 9 月 20-22 日.
- [69] 小杉俊弘, 西川淳, 浅井哲也, 館野高, “聴覚皮質における時間周波数受容野の実時間推定法とその FPGA への実装,” 平成 29 年電気学会電子・情報・システム部門大会, サポートホール高松, (高松), 2017 年 9 月 6-9 日.
- [70] 廣瀬一俊, 安藤洸太, 植吉晃大, 池辺将之, 浅井哲也, 本村真人, 高前田伸也, “量子化誤差を考慮したニューラルネットワークの学習手法,” 人工知能学会人工知能基本問題研究会 (SIG-FPAI), 小樽市公会堂, (小樽), 2017 年 8 月 8-9 日.
- [71] 安藤洸太, 植吉晃大, 折茂健太郎, 米川晴義, 佐藤真平, 中原啓貴, 池辺将之, 浅井哲也, 高前田伸也, 黒田忠広, 本村真人, “[依頼講演] BRein Memory: バイナリ・インメモリ再構成型深層ニューラルネットワークアクセラレータ,” 電子情報通信学会集積回路研究会 (ICD), 北海道大学情報教育館, (札幌), Jul. 31-Aug. 2, 2017.
- [72] ナソクジン, 池辺将之, 横山紗由里, 高前田伸也, 本村真人, 浅井哲也, 間久直, 藤田陽一, 新井康夫, “熱雑音抑制型サンプルホールド回路を用いたイオン飛行時間計測用 SOI イメージセンサ,” 映像情報メディア学会情報センシング研究会 (IST), 北海道大学情報教育館, (札幌), Jul. 31-Aug. 2, 2017.
- [73] 横山紗由里, 池辺将之, ナソクジン, 高前田伸也, 本村真人, 浅井哲也, “貫通電流の時間変動を抑制した TDC+Single-Slope ADC の回路構成,” 映像情報メディア学会情報センシング研究会 (IST), 北海道大学情報教育館, (札幌), Jul. 31-Aug. 2, 2017.
- [74] 山本佳生, 熊澤輝顕, 池辺将之, 浅井哲也, 本村真人, 高前田伸也, “高次数インジグネットワークの時分割処理方式の検討,” 電子情報通信学会コンピュータシステム研究会 (CPSY), 秋田アトリオンビル, (秋田), 2017 年 7 月 26-28 日.
- [75] 熊澤輝顕, 池辺将之, 浅井哲也, 本村真人, 高前田伸也, “メモリアクセスパターンを考慮した遅延評価による ZDD 構築の高速化,” 基盤(S)離散構造処理系プロジェクト「2017 年度初夏のワー
- クショップ」, 北海道大学 VBL 棟, (札幌), 2017 年 6 月 23-24 日.
- [76] 山本佳生, 池辺将之, 浅井哲也, 本村真人, 高前田伸也, “時分割多重機構を用いた高密度 FPGA イジングマシン,” 基盤(S)離散構造処理系プロジェクト「2017 年度初夏のワークショップ」, 北海道大学 VBL 棟, (札幌), 2017 年 6 月 23-24 日.
- [77] 廣瀬一俊, 植松瞭太, 安藤洸太, 折茂健太郎, 植吉晃大, 高前田伸也, 池辺将之, 浅井哲也, 本村真人, “対数量子化による深層ニューラルネットワークのメモリ量削減,” 電子情報通信学会コンピュータシステム研究会 (CPSY), 登別温泉第一滝本館, (登別), 2017 年 5 月 23 日.
- [78] 山本佳生, 高前田伸也, 池辺将之, 浅井哲也, 本村真人, “時分割多重機構を用いた高密度 FPGA イジングマシン,” 電子情報通信学会コンピュータシステム研究会 (CPSY), 登別温泉第一滝本館, (登別), 2017 年 5 月 23 日.
- [79] 植松瞭太, 廣瀬一俊, 安藤洸太, 折茂健太郎, 植吉晃大, 高前田伸也, 池辺将之, 浅井哲也, 本村真人, “動的再構成ハードウェアアーキテクチャを活かした CNN の実装と評価,” 電子情報通信学会リコンフィギャラブルシステム研究会 (RECONF), 登別温泉第一滝本館, (登別), 2017 年 5 月 22 日.
- [80] 安藤洸太, 植吉晃大, 廣瀬一俊, 折茂健太郎, 植松瞭太, 高前田伸也, 池辺将之, 浅井哲也, 本村真人, “二値化ニューラルネットワークアクセラレータのアーキテクチャ検討,” 電子情報通信学会リコンフィギャラブルシステム研究会 (RECONF), 登別温泉第一滝本館, (登別), 2017 年 5 月 22 日.
- [81] 植吉晃大, 安藤洸太, 折茂健太郎, 高前田伸也, 池辺将之, 浅井哲也, 本村真人, “FPGA を用いた CNN の最適ハードウェア構成とその二値化検討,” 電子情報通信学会リコンフィギャラブルシステム研究会 (RECONF), 登別温泉第一滝本館, (登別), 2017 年 5 月 22 日.
- [82] 横山紗由里, 池辺将之, ナソクジン, 高前田伸也, 本村真人, 浅井哲也, “直交位相検出 TDC を用いたイメージセンサ用 12-bit Single-Slope ADC,” LSI とシステムのワークショップ 2017, 東京大学, (東京), 2017 年 5 月 15-16 日.
- [83] ナソクジン, 池辺将之, 横山紗由里, 高前田伸也, 本村真人, 浅井哲也, 間久直, 藤田陽一, 新井康夫, “ソフトリセット機構を用いたイオン飛行時間計測用 SOI イメージセンサ,” LSI とシステムのワークショップ 2017, 東京大学, (東京), 2017 年 5 月 15-16 日.

- [84] 山本佳生, 池辺将之, 浅井哲也, 本村真人, 高前田伸也, “時分割多重機構を用いたイジングプロセスの解精度向上手法の検討,” LSI とシステムのワークショップ 2017, 東京大学, (東京), 2017 年 5 月 15-16 日.
- [85] 熊澤輝顕, 高前田伸也, 池辺将之, 浅井哲也, 本村真人, “メモリアクセスパターンを考慮した遅延評価による ZDD 構築の高速化,” 第 30 回回路とシステムワークショップ, 北九州国際会議場, (北九州), 2017 年 5 月 11-12 日.
- [86] 明連広昭, 岡部公亮, 神谷遼太郎, 成瀬雅人, 田井野 徹, “サブ磁束量子フィードバックによるデジタル SQUID 磁束計の設計とその応用”, 信学技報, vol. 117, no.10, SCE2017-1, pp.1-5, 2017 年 4 月. 明連広昭, 岡部公亮, 神谷遼太郎, 成瀬雅人, 田井野 徹, “サブ磁束量子フィードバックによるデジタル SQUID 磁束計の設計とその応用”, 信学技報, vol. 117, no.10, SCE2017-1, pp.1-5, 2017 年 4 月. 明連広昭, 岡部公亮, 神谷遼太郎, 成瀬雅人, 田井野 徹, “サブ磁束量子フィードバックによるデジタル SQUID 磁束計の設計とその応用”, 信学技報, vol. 117, no.10, SCE2017-1, pp.1-5, 2017 年 4 月. 明連広昭, 岡部公亮, 神谷遼太郎, 成瀬雅人, 田井野 徹, “サブ磁束量子フィードバックによるデジタル SQUID 磁束計の設計とその応用”, 信学技報, vol. 117, no.10, SCE2017-1, pp.1-5, 2017 年 4 月.
- [87] 岡部公亮, 成瀬雅人, 田井野 徹, 明連広昭, “サブ磁束量子フィードバックを用いたデジタル SQUID の高速化”, 信学技報, vol. 117, no.171, SCE2017-19, pp.49-53, 2017 年 8 月. 岡部公亮, 成瀬雅人, 田井野 徹, 明連広昭, “サブ磁束量子フィードバックを用いたデジタル SQUID の高速化”, 信学技報, vol. 117, no.171, SCE2017-19, pp.49-53, 2017 年 8 月. 岡部公亮, 成瀬雅人, 田井野 徹, 明連広昭, “サブ磁束量子フィードバックを用いたデジタル SQUID の高速化”, 信学技報, vol. 117, no.171, SCE2017-19, pp.49-53, 2017 年 8 月. 岡部公亮, 成瀬雅人, 田井野 徹, 明連広昭, “サブ磁束量子フィードバックを用いたデジタル SQUID の高速化”, 信学技報, vol. 117, no.171, SCE2017-19, pp.49-53, 2017 年 8 月.
- [88] 神谷遼太郎, 成瀬雅人, 田井野 徹, 明連広昭, “デジタル信号処理回路用単一磁束量子論理高速 up/down カウンタ回路の設計”, 信学技報, vol. 117, no.171, SCE2017-20, pp.55-59, 2017 年 8 月. 神谷遼太郎, 成瀬雅人, 田井野 徹, 明連広昭, “デジタル信号処理回路用単一磁束量子論理高速 up/down カウンタ回路の設計”, 信学技報, vol. 117, no.171, SCE2017-20, pp.55-59, 2017 年 8 月. 神谷遼太郎, 成瀬雅人, 田井野 徹, 明連広昭, “デジタル信号処理回路用単一磁束量子論理高速 up/down カウンタ回路の設計”, 信学技報, vol. 117, no.171, SCE2017-20, pp.55-59, 2017 年 8 月.
- [89] 傳田哲史, 成瀬雅人, 田井野 徹, 明連広昭, “並列型超伝導ナノワイヤ直列アレイによる高速光子数検出器の作製”, 2017 年電子情報通信学会ソサイエティ大会公園論文集, 東京都市大, 2017 年 9 月 13 日, C-8-1.
- [90] 明連広昭, 大田一喜, 傳田哲史, 成瀬雅人, 田井野 徹(埼玉大), 康 琳, 陳 健, 呉 培亨(南京大), “超伝導ナノワイヤ単一光子検出器アレイによる高速光子数検出器の応用”, 信学技報, vol. 117, no.223, SCE2017-26, pp.23-28, 2017 年 10 月.
- [91] 松縄 諒, 岡部公亮, 成瀬雅人, 田井野 徹, 明連広昭, “サブ磁束量子フィードバックデジタル SQUID 磁束計用デジタルフィルターの設計”, 信学技報, vol. 117, no.428, SCE2017-32, pp.7-11, 2018 年 1 月.
- [92] 古坂拓朗, 浜本隆之, “動きぼけとノイズを低減した HDR 画像生成のための多重時間解像度撮像・処理方式”, 映像情報メディア学会技術報告, vol.41, no.19, pp.5-8, 2017 年 6 月.
- [93] 荒谷智広, 浜本隆之, “被写体の明るさと動きに基づくブロック単位露光制御によるシーン理解に適した画像の取得”, 映像情報メディア学会技術報告, vol.41, no.19, pp.13-16, 2017 年 6 月.
- [94] 古坂拓朗, 浜本隆之, “画素単位で露光制御可能な列並列読み出しイメージセンサと HDR 画像の再構成”, 電子情報通信学会技術研究報告, Vol.117, No.277, pp.53-56, 2017 年 11 月.
- [95] 山口裕之, 大高俊徳, 今井陽太郎, 浜本隆之, “相関多重サンプリング可能なグローバルシャッタ CMOS イメージセンサ”, 電子情報通信学会技術研究報告, Vol.117, No.277, pp.57-62, 2017 年 11 月.
- [96] 渡邊, 大竹, “遅延故障 BIST 高品質化のための LFSR シード生成法”, 信学技報, vol. 117, no.274, DC2017-41, pp.49-54, 2017 年 11 月.
- [97] 大里 “3 次歪み低減手法を用いた周波数変換器の提案と検討” 電気学会, 電子回路研究会, ECT-17-102, pp.45-48, Oct. 2017
- [98] 太田 “アナログ FIR フィルタに用いるギルバートセルの 28nmFD SOI プロセスによる試作と考察”, 一般社団法人電気学会, 電子回路研究会, ECT-17-088, 21Jul.2017
- [99] 野上田 “リング型 VCO の広帯域化手法” 一般社団法人電気学会, 電子回路研究会, ECT-17-062, 22Aug.2017

- [100] 福田 “28 nm FD-SOI プロセスの MOSFET の実測と低雑音増幅器の低消費電力化” 2018 年度電子情報通信学会総合大会 ISS 特別企画「学生ポスターセッション」, 20Mar.2018
- [101] 山口 “しきい電圧の温度依存性を低減した等価 MOSFET の試作と評価” 電子情報通信学会電子情報通信学会技術研究報告, Vol. 117, No.166, Jul.2017.
- [102] 奥 “チップ上の温度勾配の検知に PTAT 電圧発生回路を用いた電流制御回路の試作と実測” 電気学会全国大会, 04C エレクトロニクス 14 Mar. 2018
- [103] 小宮 “温度依存性を低減した低電圧カレントミラーの試作と実測” 一般社団法人電気学会, 電気学会全国大会, 2213-A3, 3-015, 14 Mar.2018
- [104] 渡辺 “多値光伝送歪み補償に用いる小面積・低消費電力アナログ FIR フィルタ, 電気学会電子・情報・システム部門大会, TC10-1, 7Sep. 2017
- [105] 堀田, 難波, “Delta DICE に基づく二重ノード反転耐性ラッチ回路,” 信学技報, FIIS, 2017 年 6 月.
- [106] 上野, 難波, “耐ソフトエラー性ラッチ回路に対する中性子線照射実験の調査と評価,” 信学技報, FIIS, 2017 年 6 月.
- [107] 上野, 堀田, 難波, “DICE 構造を元にした耐エラーラッチへの放射線照射実験の評価,” ソフトエラー (などの LSI における放射線効果) に関する第 5 回勉強会, 2017 年 8 月.
- [108] 松井宇宙, 溝尻征, 皆川俊介, 鈴木雅敏, 嶋村耕平, 小紫公也, 岡本有貴, 三田吉郎, 藤原康平, 山岡英彦, “94GHz ミリ波整流回路による高エネルギー密度無線給電,” 第 3 回宇宙太陽発電 (SSPS) シンポジウム, 2017.
- [109] 西村勇紀, 佐々木伸一, 森慶明, “LED 照明反射光による可視光通信の検討”, 2017 年度電子情報通信学会九州支部学生会講演会・講演論文集, B-21, 2017 年 9 月
- [110] 原田寛大, 佐々木伸一, 笛田和希, “プリント配線板電源層からの放射雑音の低減の評価～変型基板における抵抗値～”, 2017 年度電子情報通信学会九州支部学生会講演会・講演論文集, B-22, 2017 年 9 月
- [111] 森慶明, 佐々木伸一, “マイクロストリップ線路における遠端クロストーク低減技術の検討～コンデンサ付加～”, 2017 年度電子情報通信学会九州支部学生会講演会・講演論文集, B-24, 2017 年 9 月
- [112] 笛田和希, 佐々木伸一, “プリント配線板電源層からの放射雑音の低減の評価～実測評価のための検討～”, 2017 年度電子情報通信学会九州支部学生会講演会・講演論文集, B-25, 2017 年 9 月
- [113] 笛田和希, 佐々木伸一, “プリント配線板電源層からの放射雑音低減方法の検討～実測による評価～”, 電子情報通信学会環境電磁研究会, 信学技法 Vol.117 No384, EMCJ2017-103, pp.89-92, 2018 年 1 月
- [114] 森慶明, 木原大輔, 佐々木伸一, “マイクロストリップ線路における遠端クロストーク低減技術の検討～コンデンサ部品付加～”, 電子情報通信学会環境電磁研究会, 信学技法 Vol.117 No.384, EMCJ2017-104, pp.93-98, 2018 年 1 月
- [115] 木原大輔, 佐々木伸一, “ソルダーレジスト上への容量付加による遠端クロストーク低減”, 電子情報通信学会環境電磁研究会, 信学技法 Vol.117 No.510, EMCJ2017-108, pp.19-23, 2018 年 3 月
- [116] 小濱秀冊, 大塩悠貴, 山崎亘竜, 深井澄夫, “FG-MOS を用いた 4 値シフトレジスタのレイアウト設計”, 平成 30 年電気学会全国大会, 3-018, 2018 年 3 月
- [117] 小川大介, 藤井文明, 秋山豊, 橋本薫, 大塚寛治, “20Gbps 超の I/O インターフェイスを実現するための協調設計の重要性”, Proc. of 2017 マイクロエレクトロニクスショーアカデミックプラザ, 2017 年 6 月, 東京ビッグサイト.
- [118] 樋口, 石原, 小野寺, “ピエゾスイッチ FPGA の性能予測モデル”, 情報処理学会 DA シンポジウム 2017 論文集, pp. 9-14, 2017 年 8 月.
- [119] 岸本, 石原, 小野寺, “トポロジー可変リングオシレータを用いた電圧感度の小さい動作温度モニタ”, 情報処理学会 DA シンポジウム 2017 論文集, pp. 85-90, 2017 年 8 月.
- [120] 保木本, 塩見, 石原, 小野寺, “最小エネルギー動作点追跡アルゴリズムの実チップ評価”, 情報処理学会 DA シンポジウム 2017 論文集, pp. 145-150, 2017 年 8 月.
- [121] 塩見, 石原, 小野寺, “アクセス頻度に応じた電圧調節によるオンチップメモリの消費エネルギー最小化”, 情報処理学会 DA シンポジウム 2017 論文集, pp. 151-156, 2017 年 8 月.
- [122] 岡村, 石原, 小野寺, “リークエネルギーを最小化する P/N 基板電圧の設定手法”, 情報処理学会 DA シンポジウム 2017 論文集, pp. 157-162, 2017 年 8 月.
- [123] 長岡, 石原, 小野寺, “クロスバ構造を利用した論理関数参照型ルックアップテーブルの回路構成法”, 情報処理学会 DA シンポジウム 2017 論文集, pp. 216-221, 2017 年 9 月.
- [124] 塩見, 石原, 小野寺, “選択的活性化によるスタンダードセルメモリの低消費エネルギー化”, 電

子情報通信学会技術研究報告, vol. 117, no.455, pp.211-216, 2018年3月.

- [125] 岩垣, 湯浅, 市原, 井上, “RTL スキャン回路のスキャンチェーンテストにおける機能パス上の故障検出について,” FIIS-17-461, pp.1-4, Oct. 2017.
- [126] N. Kubota, M. Fujiha, H. Ichihara, T. Iwagaki and T. Inoue, “Stochastic number generation with internal signals of peripheral logic circuits,” IEICE Technical Report (VLD2017-47), Vol.117, No.273, pp.115-120, Nov. 2017.
- [127] K. Suzuki, K. Miura, and K. Nakamae, “NBTI/PBTI tolerant arbiter PUF (physical unclonable function) circuits composed of transmission-gate based multiplexers,” in Proc. 37th NANO Testing Symposium (NANOTS 2017), pp.35-40, 2017.
- [128] 井野昂宜, 三浦克介, 中前幸治, “故障解析装置を用いた攻撃に対する耐攻撃設計 AES 暗号化回路の評価(その2),” 第37回ナノテストニングシンポジウム (NANOTS 2017) 会議録, p.A1-A6, 2017.
- [129] 世古充樹, 三浦克介, 中前幸治, “LSI 故障解析装置を用いた PUF 回路に関する攻撃手法についての研究,” 第37回ナノテストニングシンポジウム (NANOTS 2017) 会議録, pp.47-52, 2017.
- [130] 室井, 小平, “製造後遅延調整における面積削減のための遅延調整素子”, 平成29年度電気関係学会東北支部連合大会, 1G01, 2017年8月.
- [131] 室井, 小平, “製造後遅延調整における面積と消費電力の削減ためのクラスタリング手法”, 電子情報通信学会技術研究報告 (VLD2017-107), Vol.117, No.455, pp.109-114, 2018年3月.
- [132] 新瑞徳, 森田俊平, 新谷道広, 廣本正之, 佐藤高史, “トランジスタ劣化の永続・回復可能成分を考慮したしきい値電圧変動の時間依存モデル”, 第30回回路とシステムワークショップ(於北九州国際会議場), pp.208-213, 2017年5月.
- [133] 辺松, 廣本正之, 佐藤高史, “準同型暗号によるセキュア連想メモリ”, 情報処理学会 DA シンポジウム 2017(於石川県加賀市山代温泉ゆのくに天祥), pp.133-138, 2017年8月.
- [134] 田中悠貴, 辺松, 廣本正之, 佐藤高史, “双安定リング回路の収束時間により瞬時値応答を得る発振回路 PUF”, 電子情報通信学会技術研究報告 (デザインガイア 2017 -VLSI 設計の新しい大地-) (於くまもと県民交流館パレア), Vol.117, No.273, VLD2017-40, pp.79-84, 2017年11月.
- [135] 長屋, 安富, 平野, 川人, 二川, “20. 土壌培地内計測を目指した土中水分量・イオン濃度センサ用インピーダンス計測回路チップの製作と評価”, 第34回「センサ・マイクロマシンと応用システム」シンポジウム論文集, 広島市, 2017年11月.
- [136] H. Kawauchi and T. Tanzawa, “A clocked AC-DC voltage multiplier for increasing the power conversion efficiency in vibration energy harvesting”, IEICE general conference, C-12-16, Mar. 2018.
- [137] Y. Kawakami and T. Tanzawa, “An analysis on lower bounds of supply voltages for enhanced-swing Colpitts oscillators”, IEICE general conference, C-12-17, Mar. 2018.
- [138] S. Tokuda and T. Tanzawa, “Toward a minimum-operating-voltage design of DC-DC charge pump circuits for energy harvesting”, IEICE general conference, C-12-18, Mar. 2018.
- [139] 樋口孔明, 荒井祐真, 水柿義直, “DFQ アンプの誤動作時における磁束量子ダイナミクス,” 2017年度春季第94回低温工学・超電導学会研究発表会, 2017年5月
- [140] 荒井祐真, 樋口孔明, 島田宏, 水柿義直, “シャント抵抗制御型 DFQ アンプの再設計と動作検証,” 2017年第78回応用物理学会秋季学術講演会, 2017年9月
- [141] 荒井祐真, 渡邊智希, 樋口孔明, 島田宏, 水柿義直, “磁束バイアス線を1本に減じた DFQ アンプの設計と動作検証,” 電気学会研究会金属・セラミックス/超電導機器合同研究会, 2017年12月
- [142] 樋口孔明, 島田宏, 水柿義直, “RSFQ 回路用分布型アンプのバイアス電流 - 出力電圧特性,” 2018年電子情報通信学会総合大会, 2018年3月
- [143] 中澤祐希, 土井龍太郎, 劉載勳, 橋本昌宜, “ピアスイッチ FPGA 向け配線遅延解析手法の検討,” 電子情報通信学会 VLSI 設計技術研究会, no. VLD2017-120, March 2018.
- [144] 佐藤雅紘, 増田豊, 橋本昌宜, “過電圧スケールリングを用いた不正確計算による消費電力削減の検討,” 電子情報通信学会 VLSI 設計技術研究会, no. VLD2017-123, March 2018.
- [145] 橋本昌宜, “高エネルギー効率コンピューティングを実現するピアスイッチ FPGA の開発 (Invited),” 電気関連学会関西連合大会, November 2017.
- [146] 増田豊, 橋本昌宜, “エラー予告ベース適応的電圧制御の MTTF 考慮設計手法,” 情報処理学会 DA シンポジウム, August 2017.
- [147] 中山貴博, 橋本昌宜, “常温で論理テスト可能な超低温動作 VLSI のタイミング設計法の検討,” 情報処理学会 DA シンポジウム, August 2017.

- [148] 若狭, 他 COBAND 実験メンバー, “COBAND 実験に向けた極低温増幅器の研究開発”, 信学技報, vol. 117, no.223, SCE2017-22, pp.5-8, 2017 年 10 月.
- [149] 今柳田, 大島, “時間領域処理を用いた 500-MS/s, 2.0-mW, 8-bit サブレンジング ADC”, LSI とシステムのワークショップ, 2017 年 5 月
- [150] 室屋, 大島, “Flash ADC と Vernier TDC を組み合わせた 900-MHz, 3.5-mW, 8-bit パイプラインサブレンジング ADC”, 電子情報通信学会ソサイエティ大会, C-12-4, 2017 年 9 月
- [151] 上野, 大島, “Dynamic VTC の非線形要因解析”, 電気・情報関係学会九州支部連合大会, 02-2P-08, 2017 年 9 月
- [152] 今柳田, 大島, “Vernier TDC と Interpolation TDC の性能比較”, 電気・情報関係学会九州支部連合大会, 02-2P-09, 2017 年 9 月
- [153] 山崎, 田中, 魏, “SD 数演算に基づく 4 つの法を有する剰余数系一重み数系変換アルゴリズム”, 電子情報通信学会信学技報 VLD2016-92, pp.147-152, 2017 年 1 月.
- [154] 松岡駿平, 安永守利, “遺伝的アルゴリズムを用いた高信号品質配線設計とその解析”, 第 63 回電子情報通信学会機能集積情報システム研究会, 信学技報 (FIIS17), No.452 (5 ページ), 姫路ターミナルスクエア, 6 月 16 日, 2017 年.
- [155] 安永守利, “適応的に信号品質を改善できる超高速伝送線の一検討”, 第 64 回電子情報通信学会機能集積情報システム研究会, 信学技報 FIIS17-462 (6 ページ), 徳島大学, 10 月 13 日, 2017 年.
- [156] 額額, 鬼頭, “単一磁束量子回路を用いた Stochastic Computing 実現のための Stochastic Number Generator の設計”, 電気・電子・情報関係学会東海支部連合大会, C5-1, 2017 年 9 月.
- [157] Shota Hino, Ryo Kanesaka, Yoshihiro Masui, “Consideration of High speed Comparator at Low voltage using Substrate bias effect and Bootstrap technique,” The 6th Education and Research Workshop of Electronic Devices, Circuits, Illuminations, and System, Nov. 2017.
- [158] Ryo Kanesaka, Shota Hino, Kotaro Wada, Yoshihiro Masui, “Design and Implementation of Flash ADC Using Logic Circuit,” The 6th Education and Research Workshop of Electronic Devices, Circuits, Illuminations, and System, Nov. 2017.
- [159] 西宮司, 上見アレックス, 明德圭祐, 日野翔太, 升井義博, “リング型 VCO における遅延回路の雑音改善に関する検討”, 電気学会 / 電子回路研究会, 2017 年 10 月
- [160] 池田将英, 日野翔太, 和田康太郎, 金阪遼, 升井義博, “基板バイアス効果を用いた基準電圧生成回路の低電圧化,” 電気学会 / 電子回路研究会, 2017 年 10 月
- [161] 金阪遼, 日野翔太, 和田康太郎, 升井義博, “ブリスト技術を用いたチャージポンプ回路低電圧化の検討,” 2017 年電子情報通信学会エレクトロニクスソサイエティ大会, 2017 年 9 月
- [162] 日野翔太, 金阪遼, 和田康太郎, 升井義博, “非同期レジスタ回路を用いた低消費電力逐次比較型 AD 変換器の提案,” 2017 年電子情報通信学会エレクトロニクスソサイエティ大会, 2017 年 9 月
- [163] 金阪遼, 日野翔太, 和田康太郎, 升井義博, “フィードフォワードパスを用いたリング型 VCO 高性能化の検討,” 電子情報通信学会集積回路研究専門委員会, LSI とシステムのワークショップ, 2017 年 5 月
- [164] 日野翔太, 金阪遼, 和田康太郎, 升井義博, “ブートストラップと基板バイアス効果を用いた AD 変換器の低電圧化検討,” 電子情報通信学会集積回路研究専門委員会, LSI とシステムのワークショップ, 2017 年 5 月
- [165] 和田康太郎, 日野翔太, 金阪遼, 升井義博, “ $\Delta\Sigma$ 型 ADC におけるレイアウトが及ぼす SQNR への影響解析,” 電子情報通信学会集積回路研究専門委員会, LSI とシステムのワークショップ, 2017 年 5 月
- [166] 金阪遼, 品川侑汰, 日野翔太, 升井義博, “超低電圧リング型発振回路の設計,” 2017 年電子情報通信学会総合大会, 2017 年 3 月
- [167] 日野翔太, 和田康太郎, 升井義博, “低電圧・低消費電力 AD 変換器の提案,” 2017 年電子情報通信学会総合大会, 2017 年 3 月
- [168] 柳部正樹, 日野翔太, 和田康太郎, 升井義博, “タイムインターリーブ ADC のための多位相クロック生成回路の研究,” 2017 年電子情報通信学会総合大会, 2017 年 3 月
- [169] 本田祥己, 山口賢一, “大規模回路における冗長判定のための特徴点抽出”, 第 23 回電子情報通信学会関西支部学生会研究発表講演会, A4-1, 2017 年 3 月
- [170] 安西崇, 石坂守, 山口賢一, “スキャン C 素子に対する部分スキャン設計法の提案”, 第 23 回電子情報通信学会関西支部学生会研究発表講演会, A5-1, 2017 年 3 月
- [171] CHALEUNSOUK Bounpasith, 石坂守, 山口賢一, “C 素子を含む非同期式順序回路に対する組み

自己テスト法”, 第23回電子情報通信学会関西支部学生会研究発表講演会, A5-2, 2017年3月

- [172] 三宅庸資, 佐藤康夫, 梶原誠司, “デジタル温度電圧センサにおける温度2点補正手法の検討,” 信学技報, vol. 117, no.154, DC2017-19, pp.19-24, 2017-07.
- [173] 井上賢二, 三宅庸資, 梶原誠司, “デジタル温度電圧センサにおける特定温度電圧領域の推定精度向上手法,” 信学技報, vol.117, no.444, DC2017-85, pp.49-54, 2018-02.
- [174] 波多江雅貴, 三宅庸資, 加藤隆明, 佐藤康夫, 梶原誠司, “デジタル温度電圧センサの精度向上のための推定式の拡充について,” 電子情報通信学会2018年総合大会講演論文集, D-10-5, p. 124, 2018-03.
- [175] 山野龍佑, 中島康彦, “時分割多重実行によるストリックリングの面積効率向上手法”, 信学技報, vol.117, no.44, CPSY2017-6, pp.27-32, May. (2017)
- [176] 菊谷雄真, 山野龍佑, 一倉孝宏, 中島康彦, “時分割多重実行型ストリックリングの実装と評価”, 信学技報, vol.117, no.378, CPSY2017-111, pp.31-36, Jan. (2018)
- [177] 菊谷雄真, 山野龍佑, 一倉孝宏, 中島康彦, “エッジコンピューティング向けアクセラレータの実装と評価”, 電子情報通信学会関西支部第23回研究発表講演会, Mar. (2018)
- [178] 銭正陽, 竹澤好樹, 下川賢士, 伊藤圭太, 西野悟, 清山浩司, 田中徹, “集積化光電脈波計測回路設計と経爪計測装置の開発,” 第56回日本生体医工学会大会, p. 464, May 2017.
- [179] 竹澤好樹, 下川賢士, 銭正陽, 福島奨, 木野久志, 福島誉史, 清山浩司, 田中徹, “矩形波インピーダンス計測のためのGIDL電流を用いた低周波リングオシレータの設計と評価,” 第78回応用物理学会秋季学術講演会, p. 11-317, September 2017.
- [180] 森川拓実, 原島卓也, 張博文, 土居史弥, 木野久志, 福島誉史, 田中徹, “皮質層別刺激可能なシリコンオプト神経プローブの開発,” 第78回応用物理学会秋季学術講演会, p. 11-350, September 2017.
- [181] 原島卓也, 森川拓実, 張博文, 土居史弥, 木野久志, 福島誉史, 田中徹, “三次元神経活動記録のための積層シリコン神経プローブアレイの開発,” 第78回応用物理学会秋季学術講演会, p. 11-348, September 2017.
- [182] 下川賢士, 銭正陽, 竹澤好樹, 木野久志, 福島誉史, 清山浩司, 田中徹, “三次元積層人工網膜チップのためのラプラシアンエッジ強調機能を有する刺激電流生成回路の評価,” 第78回応用物理学会秋季学術講演会, p. 11-355, September 2017.
- [183] 銭正陽, 竹澤好樹, 下川賢士, 矢吹僚介, 李嘉敏, 木野久志, 福島誉史, 清山浩司, 田中徹, “経爪型集積化光電容積脈波計測システムの開発 (1) – 集積化PPG計測LSIの設計と評価 –, ” 第65回応用物理学会春季学術講演会, p. 11-181, March 2018.
- [184] 矢吹僚介, 銭正陽, 竹澤好樹, 下川賢士, 李嘉敏, 木野久志, 福島誉史, 清山浩司, 田中徹, “経爪型集積化光電容積脈波計測システムの開発 (2)- SpO₂ の計測と評価 -, ” 第65回応用物理学会春季学術講演会, p. 11-182, March 2018.
- [185] 銭正陽, 竹澤好樹, 下川賢士, 木野久志, 福島誉史, 清山浩司, 田中徹, “経爪型集積化光電容積脈波計測システムの開発 – 受光・計測回路の設計と評価 –, ” 第78回応用物理学会秋季学術講演会, p. 11-357, September 2017.
- [186] 原島卓也, 森川拓実, 木野久志, 福島誉史, 片山統裕, 虫明元, 田中徹, “三次元神経活動記録のための積層尖鋭化シリコン神経プローブアレイの開発,” 第56回日本生体医工学会大会, p. 185, May 2017.
- [187] 森川拓実, 原島卓也, 木野久志, 福島誉史, 片山統裕, 虫明元, 田中徹, “特定深さの細胞のみ光刺激可能な光ファイバ埋め込みシリコンオプト神経プローブの開発,” 第56回日本生体医工学会大会, p. 191, May 2017.
- [188] 原島卓也, 森川拓実, 張博文, 土居史弥, 木野久志, 福島誉史, 田中徹, “三次元神経活動記録のための積層シリコン神経プローブアレイの開発,” 第78回応用物理学会秋季学術講演会, p. 11-348, September 2017.
- [189] 李晟豪, 菅原陽平, 伊藤誠人, 木野久志, 福島誉史, 田中徹, “スピン塗布型BCBライナー絶縁膜を用いたTSV形成技術,” 第32回エレクトロニクス実装学会春季講演大会, pp. 339-340, March 2018.
- [190] 谷川星野, 福島誉史, 木野久志, 田中徹, “DRAMセルアレイを用いた3D-IC内部Cu汚染の高精度評価,” 第32回エレクトロニクス実装学会春季講演大会, pp. 368-369, March 2018.
- [191] Bowen Zhang, Takuya Harashima, Takumi Morikawa, Chidai Shima, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, “Development of 3D-Stacked Multi-Shank Si Neural Probe Array (1)-Fabrication of Embedded Multiple Optical Fibers in Multi-Shank -” 第65回応用物理学会春季学術講演会, p.

- 11-176, March 2018.
- [192] 島智大, 原島卓也, 張博文, 森川拓実, 木野久志, 福島誉史, 田中徹, “三次元積層シリコン神経プローブアレイの開発(2)—低侵襲刺入を目的としたシャンク配置の検討—” 第65回応用物理学会春季学術講演会, p. 11-177, March 2018.
- [193] 牛田, 出町, 岩田, 松田, “薄化チップを積層した3次元ICの温度分布解析”, 2017年度電気関係学会北陸支部連合大会, 2017年9月.
- [194] 鈴木, 岩田, 松田, “リングオシレータの周波数差を用いたMOS特性評価回路”, 2017年度電気関係学会北陸支部連合大会, 2017年9月.
- [195] 山本, 岩田, 松田, 水島, 小幡, “2次元配列型圧力センサ用CV変換回路の開発”, 2017年度電気関係学会北陸支部連合大会, 2017年9月.
- [196] 竹村, 岩田, 松田, “LSI内の電圧測定を繰り返し行うためのオンチップ回路の設計”, 2017年度電気関係学会北陸支部連合大会, 2017年9月.
- [197] 新井, 松田, 岩田, “ダブルゲートナノpMOS-FETの量子力学的シミュレーション解析”, 2017年度電気関係学会北陸支部連合大会, 2017年9月.
- [198] 後藤, 松田, 岩田, “ジャンクショレスダブルゲートMOSFETのシミュレーション解析”, 2017年度電気関係学会北陸支部連合大会, 2017年9月.
- [199] 高良, 東原, “デュアルLOスイッチング型直交変調器のブレッドボード実験による評価”, 2017年電子回路研究会, ECT-017-071, 2017年7月.
- [200] 畑中, 東原, “Cherry-Hooper回路を用いたレイル・トゥ・レイル特性を持つ差動CMOS増幅回路の検討”, 電子回路研究会, ECT-017-074, 2017年7月.
- [201] 石井, 東原, “Rail-to-Rail CMOS差動増幅器を用いた直交LC発振器の設計と解析”, 電子回路研究会, ECT-017-087, 2017年8月.
- [202] 高良, 東原, “デュアルLOスイッチング型直交変調器の設計及び解析”, 電子回路研究会, ECT-018-012, 2018年3月.
- [203] 畑中, 東原, “CMOSインバータ型広帯域差動増幅回路の安定化設計”, 電子回路研究会, ECT-018-017, 2018年3月.
- [204] 高田, 東原, “ワイドバンドIF受信機に用いるパッシブ型イメージ抑圧ミキサの設計及び解析”, 電子回路研究会, ECT-018-033, 2018年3月.
- [205] 高木, 大畑, 高木, “シストリックアーキテクチャに基づくRSFQパターンマッチング回路”, 電子情報通信学会SCE2017-7, 2017.
- [206] 北村, 高木, 高木, “大規模SFQ論理回路の配線修正によるタイミング最適化”, 電子情報通信学会総合大会, C-8-8, 2018.
- [207] 山路隆文, 清水暁生, “アナログ多相複素係数積分回路の提案”, 信学技報, vol. 117, no.503, CAS2017-154, pp.119-122, March 2018.
- [208] 松田佑樹, 清水暁生, 石川洋平, 野口卓朗, 深井澄夫, “チャージポンプ電源回路とニューロンMOSを用いたG級アンプに関する研究”, 電気学会九州支部第8回高専研究講演会, B5, March 2018.
- [209] 古賀洸希, 大木保典, 清水暁生, 石川洋平, 野口卓朗, 深井澄夫, “微小位相差計測回路に用いるアンプと可変抵抗の検討”, 電気学会電子回路研究会, ECT-18-001, pp.1-5, Jan. 2018.
- [210] 清水暁生, 大木保典, 野口卓朗, 石川洋平, 深井澄夫, “微小位相差計測回路に用いる増幅器と抵抗に関する一考察”, 電気学会電子回路研究会, ECT-17-116, pp.107-111, Oct. 2017.
- [211] 大木保典, 清水暁生, 野口卓朗, 石川洋平, 深井澄夫, “微小位相差計測回路における抵抗精度に関する一考察”, 平成29年度電気・情報関係学会九州支部連合大会, 02-2P-01, p.419, Sep. 2017.
- [212] 松田佑樹, 清水暁生, 石川洋平, 野口卓朗, 深井澄夫, “ニューロンMOSFETを用いたG級アンプのためのチャージポンプ電源回路の検討”, 電気学会電子回路研究会, ECT-17-65, July 2017.
- [213] 佐野, 池辺, “シリコンCMOSプロセスを用いたテラヘルツ検出器(招待講演),” シンポジウムテラヘルツ科学の最先端IV (KKRホテル熱海, 静岡県), 2017年12月5日.
- [214] 平松, ナ, 横山, 池辺, 佐野, “CMOSテラヘルツイメージング用オンチップアンテナの小型化,” 映像情報メディア学会研究会(北海道大学, 札幌), 2017年8月1日.
- [215] 平松, 池辺, 佐野, “テラヘルツ帯広帯域オンチップアンテナの設計,” 2017信学会エレクトロニクスソサイエティ大会(東京都市大学, 東京), C-10-2, 2017年9月14日.
- [216] 岩下颯斗, 伊藤大, 谷口壮耶, 田中雅光, 藤巻朗, “強磁性体を用いた直流オフセット電流を要しない磁束量子パラメトロン動作実証,” 超伝導エレクトロニクス研究会, 名古屋市, 2017年8月.
- [217] 畑中湧貴, 松井裕一, 田中雅光, 佐野京佑, 藤巻朗, 石田浩貴, 小野貴継, 井上弘士, “単一磁束量子ゲートレベルパイプラインマイクロプロセッサに向けた要素回路設計,” 超伝導エレクトロニクス研究会, 名古屋市, 2017年8月.
- [218] 岩下颯斗, 谷口壮耶, 加藤悠輝, 佐野京佑, 田中雅光, 藤巻朗, “断熱型量子磁束パラメトロンを用いた低エネルギー強磁性体マトリックスメ

モリの検討,” 超伝導エレクトロニクス研究会, 東京, 2018年1月.

- [219] 岩下颯斗, 谷口壮耶, 加藤悠輝, 佐野京佑, 田中雅光, 藤巻朗, “強磁性マトリクスメモリと断熱型量子磁束パラメトロンによる読み出し回路の設計と試作,” 第65回応用物理学会春季学術講演会, 東京, 2018年3月.
- [220] 神谷智大, 谷口壮耶, 佐野京佑, 田中雅光, 藤巻朗, “ π シフトジョセフソン接合を用いた超伝導デジタル回路の設計,” 第65回応用物理学会春季学術講演会, 東京, 2018年3月.
- [221] 畑中湧貴, 長岡一起, 松井裕一, 石田浩貴, 佐野京佑, 田中雅光, 小野貴継, 井上弘士, 藤巻朗, “単一磁束量子回路によるビット並列演算マイクロプロセッサに向けたデータパスの高速動作,” 電子情報通信学会2018年総合大会, 東京, 2018年3月.
- [222] 稲垣, 松谷, “コンパレータの過渡応答を用いた対数圧縮ADCの評価”, 電気学会電子回路研究会, ECT-017-107, 2017年10月.
- [223] 渡邊強, 三浦典之, 劉施佳, 今井繁規, 永田真, “(招待講演)ナノドット型恒久メモリーの研究,” 電子情報通信学会技術報告ICD2017-4, 17-22, 2017.4.20.(東京)
- [224] 月岡暉裕, 中島弘紀, 三浦典之, 永田真, “ICチップのEMC性能改善に向けた電源ノイズシミュレーション手法,” 電気学会電子回路研究会, ECT-17-076, pp.1-5, 2017.8.22.(大阪)
- [225] 高橋雅典, 松田航平, 永田真, 三浦典之, “カオス発振を利用したチップ・パッケージ・ボードインタラクティブPUF,” 電子情報通信学会技術報告ICD2017-51, pp.1-2, 2017.12.14.(沖縄)
- [226] 水田健人, 三木拓司, 三浦典之, 永田真, “電荷再配分型SAR-ADCの変換基準電圧入力を悪用した情報改竄攻撃,” 2018年暗号と情報セキュリティシンポジウム(SCIS2018), 1D1-4, 2017.1.23.(新潟)
- [227] 藤本大介, 任翔太, 林優一, 三浦典之(神戸大学), 永田真, 松本勉, “ハードウェアトロージャン検出に向けたIC周辺配線のインピーダンス計測手法,” 2018年暗号と情報セキュリティシンポジウム(SCIS2018), 3D2-2, 2017.1.25.(新潟)
- [228] 三木拓司, 三浦典之, 永田真, “逐次比較型AD変換器に対するサイドチャンネル攻撃とその対策,” 電子情報通信学会総合大会, AS-2-2, pp.S22-S23, 2018.3.20.(東京電機大学)
- [229] 水田健人, 三木拓司, 三浦典之, 道正志郎, 永田真, “二段階遷移型インバータを利用した500MHz-52.5dB-THD電圧時間変換回路,” LSIとシステムのワークショップ2017, 学生P65, 2016.5.15-16.(東京)
- [230] 月岡暉裕, 中島弘紀, 三浦典之, 永田真, “EMI性能の獲得に向けたICチップの電源ノイズシミュレーション,” LSIとシステムのワークショップ2017, 学生P68, 2016.5.15-16.(東京)
- [231] 松田航平, 三浦典之, 永田真, Shivam Bashin, Ville Yli-Mayry, 本間尚文, Yves Mathieu, Tarik Graba, Jean-Luc Danger, “PRINCE暗号プロセッサの超軽量実装,” ハードウェアセキュリティ研究会, 2017.6.12-13.(弘前大学)
- [232] 三浦典之, 永田真, “高密度半導体永久ストレージの研究,” ハードウェアセキュリティ研究会, 2017.9.15(東京)
- [233] 月岡暉裕, “EMI性能の獲得に向けたICチップの電源ノイズシミュレーション,” ANSYS Day 2017, 学生ポスターセッション, 2017.10.5.(東京)
- [234] 任翔太, 藤本大介, 林優一, 三浦典之, 永田真, 松本勉, “インピーダンス計測に基づくICの周辺に実装されたHT検出手法の検討,” ハードウェアセキュリティフォーラム2017, 2017.12.15.(東京)
- [235] 三浦典之, 高橋雅典, 松田航平, 永田真, “チップ・パッケージ・ボード非接触インタラクティブとカオス発振を利用したPUF,” ハードウェアセキュリティフォーラム2017, 2017.12.15.(東京)
- [236] 松本大輝, 柳澤政生, 木村晋二, “多数決閾値を用いた並列プレフィックス加算器の実現と最適化”, 信学技報117(273), p.p.109-114, 2017年11月.
- [237] 浅野, 廣瀬, 椿, 三好, 尾崎, 黒木, 沼, “リアルタイムクロックに向けた電流比較型超低電力フルオンチップRC発振器,” LSIとシステムのワークショップ2017, PS-44, 2017年.
- [238] 辻, 廣瀬, 尾崎, 浅野, 黒木, 沼, “極低入力電圧エネルギーハーベスティングに向けた昇圧コンバータの設計,” LSIとシステムのワークショップ2017, PS-46, 2017年.
- [239] 浅野, 廣瀬, 椿, 三好, 尾崎, 黒木, 沼, “超低消費電力32-kHzリアルタイムクロック生成回路,” 平成29年度VDECデザイナーズフォーラム, 2017年.
- [240] 浅野, 廣瀬, 尾崎, 黒木, 沼, “時間計測アプリケーションに向けた抵抗レスで面積利用効率の高い超低電力フルオンチップ弛張発振回路,” 電子情報通信学会集積回路研究専門委員会 学生・若手研究会, p. 141, 2017年.
- [241] Ozaki, Hirose, Asano, Kuroki, and Numa, “A self-biased low-dropout linear regulator for ultra-low power battery management,”

- IEEE EDS Kansai Chapter, The 17th Kansai Colloquium Electron Devices Workshop, 2018.
- [242] 木村匠, 佐々木昌浩, “サンプルアンドホールド回路向け等価時間サンプリング用クロックジェネレータ回路の検討”, 電子情報通信学会, LSIとシステムのワークショップ2017, 2017年5月
- [243] 黒部友朗, 佐々木昌浩, “オンチップ高速温度分布測定システムに関する研究”, 電子情報通信学会, LSIとシステムのワークショップ2017, 2017年5月
- [244] 神庭直人, 石井雅樹, 佐々木昌浩, “オンチップ・セットアップタイム測定回路を用いた高精度スキュー調整手法の提案”, 電子情報通信学会集積回路研究会学生・若手研究会, 2017年12月
- [245] 井山景喬, 石井雅樹, 佐々木昌浩, “並列線形帰還シフトレジスタPRBS発生回路の高速化に関する検討”, 電子情報通信学会集積回路研究会学生・若手研究会, 2017年12月
- [246] 木村匠, 石井雅樹, 佐々木昌浩, “オンチップサンプリングオシロスコープ向け二段構成サンプルアンドホールド回路”, 電子情報通信学会総大会, A-1-2, 2018年3月
- [247] 田中飛意郎, 石井雅樹, 佐々木昌浩, “自己同期式シリアルインターフェイスにおけるノイズ放射特性の検証”, 電子情報通信学会総合大会, C-12-34, 2018年3月
- [248] 長名, 坂本, “CPU-FPGA クラスタ上でのストリーミング計算による拡散方程式の計算.”, 第31回数値流体力学シンポジウム, C01-1, 2017年12月.
- [249] 坂本, 長名, “ストリーム計算による拡散方程式の実装と性能評価.”, 電子情報通信学会, RECONF2017-24, 2017年9月.
- [250] ニコデムス, 島, “広い電源電圧範囲に適したバンドギャップリファレンス回路に関する検討”, 電子回路研究会, ECT-17-095, 2017年10月
- [251] ニコデムス, “N-path フィルタを用いたノッチフィルタの一構成”, 電子回路研究会, ECT-17-084, 2017年8月
- [252] Arijal, Khilda, Nicodimus, Shima, “50-dB Hum Noise Suppression using 3-phase N-path Filter”, 2018年電気学会全国大会, 3-005, 2018年1月
- [253] Khilda, Arijal, Nicodimus, Shima, “Investigation on 10-phase N-path Filter for Hum Noise Suppression”, 2018年電気学会全国大会, 3-006, 2018年1月
- [254] 杉本俊貴, 谷本 洋, 吉澤真吾, “閾値が一様分布する確率的フラッシュAD変換器の量子化雑音の確率密度関数,” 電気学会電子回路研究会資料, ECT-17-110, Oct. 2017.
- [255] 杉本俊貴, 北田昂成, 谷本 洋, 吉澤真吾, “周波数変換機能を持つAD変換器の提案,” 電気学会電子回路研究会資料, ECT-17-075, July 2017.
- [256] 稲葉光太郎, 今井雅, “非同期式オンチップネットワークルータに対するハードウェアトロイ挿入,” 電子情報通信学会ハードウェアセキュリティ研究会, Jun., 2017
- [257] Koutaro Inaba, Toshiki Kanamoto, Atsushi Kurokawa, Masashi Imai, “Hardware Trojan Comparison between Synchronous and Asynchronous Circuits,” Proc. Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers (IEEE Student Session), p.1B08, Aug., 2017
- [258] Shinichiro Akasaka, Toshiki Kanamoto, Atsushi Kurokawa, Masashi Imai, “A Study on Replica Delay Circuit of Bundled-Data Transfer Asynchronous Circuits,” Proc. Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers (IEEE Student Session), p.1B10, Aug., 2017
- [259] 豊嶋太樹, 金本俊幾, 黒川敦, 今井雅, “ランダム遅延素子を用いた非同期式回路の耐タンパ性向上に関する一考察,” 平成29年度電気関係学会東北支部連合大会, 1G04, Aug., 2017
- [260] 豊嶋太樹, 金本俊幾, 黒川敦, 今井雅, “ランダム遅延素子を用いた耐タンパ非同期式回路の設計,” 情報処理学会東北支部研究報告 Vol.2017-6 No.B3-1, Feb., 2018
- [261] Nakajima, Onji, Kurano, Fukuhara, “A study of power consumption of a Hamming distance search CAROM with Symmetric NOR-architecture,” 2017年電気学会C部門大会講演論文集 SS1-11, 2017年9月.
- [262] 山口正登志, 岩元剛毅, 田向権, 鈴木秀幸, 森江隆, “CMOSカオスボルツマンマシン回路の設計と評価”, 電気学会電子・情報・システム部門大会講演論文集, TC10-5, 2017年9月6-9(7)日, サンポートホール高松(香川)
- [263] 岩元剛毅, 王権, 山口正登志, 田向権, 森江隆, “時間領域アナログ荷重加算回路法のCMOS VLSI回路を用いた評価”, 第27回日本神経回路学会全国大会(JNNS2017), P-81, 2017年9月20-22(21)日, 北九州国際会議場(北九州)
- [264] 山口正登志, 岩元剛毅, 鈴木秀幸, 田向権, 森江隆, “カオスボルツマンマシンのアナログハードウェア実装”, 第27回日本神経回路学会全国大会(JNNS2017), P-83, 2017年9月20-22(21)日, 北九州国際会議場(北九州)

- [265] 仙波, 齋藤, “東データ方式による非同期式 RTL モデルに対する消費エネルギー最適化の検討”, 信学技報, vol. 117, no.455, VLD2017-111, pp.133-138, 2018 年 2 月.
- [266] 石川, 野口, 清水, 松野, Gauthier, 池上, 荻島, 深井, “演算増幅器の計測技術習得に着目した学生実験の実施時期に関する一検討”, 電気学会教育フロンティア研究会資料, pp.31-36, 2017 年 9 月.
- [267] 香原, 高野, 天川, 吉田, 藤島, “60GHz 帯 CMOS 電力増幅回路の低電圧動作”, 2017 年ソサイエティ大会, C-12-8, 2017 年 9 月
- [268] 井上, 三浦, “電源ノイズによるフリップフロップ回路の動作への影響とその対策の提案,” 電子情報通信学会 DC 研究会, pp.67-72, 2018 年 2 月.
- [269] 佐々木翔一朗, 安藤健吾, 吉野理貴, 安田 彰フォアグラウンドキャリブレーション型マルチビット $\Delta\Sigma$ TDC, 電子情報通信学会総合大会, A-1-5, 3 月 20 日(火)-23 日(金), 2018 年. (東京都足立区)
- [270] 籙木彩加, 西勝 聡, 安田 彰, FIR フィルタを用いた連続時間型 $\Delta\Sigma$ 変調器の一設計法, 電子情報通信学会総合大会, A-1-6, 3 月 20 日(火)-23 日(金), 2018 年. (東京都足立区)
- [271] 籙木彩加, 吉田知朗, 西勝 聡, 安田 彰, フィードバック経路に 2 種類の FIR フィルタを用いた CTDSM における多ビット化によるジッタの影響低減の検討, 電子情報通信学会ソサイエティ大会, A-1-16, 9 月 12 日(火)~15(金), 2017 年, (東京都世田谷区).
- [272] 小林智和, 大里信平, 西勝 聡, 安田 彰, マルチコイルモータのセンサレスベクトル制御, 電気学会電子回路研究会, ECT-017-069, 7 月 20 日(木), 2017 年, (北海道北見市).
- [273] 山口貴大, 須永圭紀, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “脳機能計測に向けた埋植型フレキシブルイメージングデバイスの開発,” LSI とシステムのワークショップ 2017, 2017 年 5 月.
- [274] 速水一, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “複数の脳内埋植型イメージセンサを搭載した多点撮像デバイスと近赤外線光を利用した画像伝送によるマウス用脳機能計測システム,” LSI とシステムのワークショップ 2017, 2017 年 5 月.
- [275] Wan Shen Hee, Kenta Nakamoto, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, “Fabrication of A Small, Compact, Dual Color Prototype FRET Image Sensor,” LSI とシステムのワークショップ 2017, 2017 年 5 月.
- [276] 西村信耶, 野田俊彦, 寺澤靖雄, 春田牧人, 笹川清隆, 徳田崇, 太田淳, “長期体内埋め込みを可能にする CMOS チップ搭載高解像度人工視覚システム,” LSI とシステムのワークショップ 2017, 2017 年 5 月.
- [277] 藤本光輝, 笹川清隆, 太田安美, 野田俊彦, 春田牧人, 徳田崇, 太田淳, “高感度蛍光検出に向けた干渉フィルタ積層 LED 搭載生体埋植 CMOS イメージングデバイス,” LSI とシステムのワークショップ 2017, 2017 年 5 月.
- [278] Nattakarn Wuthibenjaphonchai, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, “CMOS-based Optical Energy Harvesting for Bio-implantable Device,” LSI とシステムのワークショップ 2017, 2017 年 5 月.
- [279] 太田淳, “生体機能の計測と制御に向けた超小型光電子デバイス,” ニプロ(株)社内学術講演会, 2017 年 5 月.
- [280] 須永圭紀, 白石愛香里, 山口貴大, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 吉村由美子, 太田淳, “GCaMP 蛍光計測用埋植型 CMOS イメージングデバイスの開発と in vivo 性能評価,” 情報センシング研究会 (IST), 2017 年 6 月.
- [281] 須永圭紀, 白石愛香里, 山口貴大, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 吉村由美子, 太田淳, “埋植型イメージングデバイスを用いた視覚刺激に伴う GCaMP 蛍光計測,” 平成 29 年度 E 部門総合研究会, 2017 年 6 月.
- [282] 春田牧人, “小型埋植型バイオセンシングデバイスの開発と共同研究,” 平成 29 年度 E 部門総合研究会, 2017 年 6 月.
- [283] 太田安美, 河原麻実子, 須永佳紀, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “埋植用微小イメージングデバイスを用いたストレス下マウス脳神経活動とてんかん発作時のプロテアーゼ活性の計測,” 第 40 回日本神経科学大会, 2017 年 7 月.
- [284] 春田牧人, 中元健太, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “細胞観察用蛍光・明視野ポータブルイメージングシステム,” 第 40 回日本神経科学大会, 2017 年 7 月.
- [285] 山口貴大, 速水一, 須永圭紀, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “薄膜を基板とする CMOS イメージングデバイスの脳機能計測に向けた実証,” フィジカルセンサ バイオ・マイクロシステム合同研究会, 2017 年 8 月.
- [286] 速水一, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇,

- 太田淳, “Stimulator design of retinal prosthesis,” フィジカルセンサバイオ・マイクロシステム合同研究会, 2017年8月.
- [287] 池田斉仁, 竹原浩成, 笹川清隆, 春田牧人, 野田俊彦, 徳田崇, 太田淳, “デジタル ELISA 法へ向けたレンズレスオンチップ 蛍光計測システムによる蛍光観察評価,” 映像情報メディア学会年次大会 2017, 2017年9月, 東京理科大学葛飾キャンパス.
- [288] 宮崎駿佑, 竹原浩成, 太田 淳, 徳田崇, 笹川清隆, 野田俊彦, 春田牧人, 角博文, “可視及び近赤外撮像による次世代高速眼底カメラの検討,” 映像情報メディア学会年次大会 2017, 2017年9月, 東京理科大学葛飾キャンパス.
- [289] 藤本光輝, 笹川清隆, 太田安美, 春田牧人, 野田俊彦, 徳田崇, 太田淳, “生体埋植用ニードル型 ADC 搭載 CMOS イメージセンサのノイズ特性評価,” 映像情報メディア学会年次大会 2017, 2017年9月, 東京理科大学葛飾キャンパス.
- [290] Wan Shen Hee, Kenta Nakamoto, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda and Jun Ohta, “Fabrication of a Prototype Dual Filter CMOS Image Sensor for FRET Imaging A Dual Color CMOS Image Sensor for In-Vivo FRET Imaging,” 映像情報メディア学会年次大会 2017, 2017年9月, 東京理科大学葛飾キャンパス.
- [291] 山口貴大, “イメージセンサのフレキシブルデバイス応用に向けた実装法の開発,” VDEC デザイナーズフォーラム 2017, 2017年9月, 二日市温泉大観荘.
- [292] 速水一, “LDO レギュレータ / 鋸波発振器搭載多機能 PWM 出力イメージセンサ,” VDEC デザイナーズフォーラム 2017, 2017年9月, 二日市温泉大観荘.
- [293] 西村信耶, “長期体内埋め込み用デバイス構造に適した人工視覚用網膜刺激チップ,” VDEC デザイナーズフォーラム 2017, 2017年9月, 二日市温泉大観荘.
- [294] 藤本光輝, “干渉フィルタ積層 LED 光源を搭載した生体埋植用 CMOS イメージングデバイス,” VDEC デザイナーズフォーラム 2017, 2017年9月, 二日市温泉大観荘.
- [295] 山口貴大, “Implantable self-reset CMOS image sensor and its application to hemodynamic response detection in living mouse brain (invited),” 第78回応用物理学会秋季学術講演会, 2017年9月, 福岡国際会議場.
- [296] 西村信耶, 野田俊彦, 中野由香梨, 寺澤靖雄, 春田牧人, 笹川清隆, 徳田崇, 太田淳, “動物実験による人工視覚用 CMOS チップ内蔵スマート電極の電極切り替え機能と刺激機能の実証,” 第78回応用物理学会秋季学術講演会, 2017年9月, 福岡国際会議場.
- [297] 藤沢匠, 野田俊彦, 春田牧人, 笹川清隆, 徳田崇, 陳柏均, 呉重雨, 太田淳, “人工視覚デバイス向け活性化 IrOx 電極の作製と特性評価,” 第78回応用物理学会秋季学術講演会, 2017年9月, 福岡国際会議場.
- [298] 白石愛香里, 太田安美, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “脳表用光刺激デバイスの開発に向けた霊長類脳の光学シミュレーション,” 第78回応用物理学会秋季学術講演会, 2017年9月, 福岡国際会議場.
- [299] 石津岳明, Nattakarn Wuthibenjaphonchai, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “エナジーハーベスティングによる生体埋植型光刺激デバイス,” 第78回応用物理学会秋季学術講演会, 2017年9月, 福岡国際会議場.
- [300] 須永圭紀, 白石愛香里, 山口貴大, 太田安美, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “Miniaturized-implantable device for optical imaging and stimulation,” 第9回光操作研究会 2017, 2017年10月, 東北大学星陵キャンパス.
- [301] 中元健太, W. S. Hee, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “CMOS イメージセンサを用いた FRET シグナル計測用 2色イメージング対応型オンチップ計測システム,” 「センサ・マイクロマシンと応用システム」シンポジウム, 2017年10月, 広島国際会議場, 広島市.
- [302] Nattakarn Wuthibenjaphonchai, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, “CMOS-base optical energy harvesting for biomedical and IoT devices,” 日本光学会年次学術講演会 Optics & Photonics Japan 2017—Tokyo—, 2017年11月, 筑波大学東京キャンパス文京校舎.
- [303] 中元健太, Wan Shen Hee, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “In vitro FRET 計測に向けたオンチップ二色蛍光検出デバイス,” 2017年映像情報メディア学会冬季大会, 2017年12月, 早稲田大学 西早稲田キャンパス.
- [304] 川野裕祐, 石津岳明, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “光電力伝送によるバッテリーレス生体埋植光刺激デバイス,” H30年電気学会全国大会, 2018年3月, 九州大学, 伊都キャンパス.
- [305] 徳田 崇, 春田 牧人, 野田 俊彦, 笹川 清隆, 太田

- 淳, “CMOS 技術によるオンチップエレクトロバイオロジー,” H30 年電気学会全国大会, 2018 年 3 月, 九州大学, 伊都キャンパス.
- [306] 寺田啓介, 西村信耶, 野田俊彦, 中野由香梨, 寺澤靖雄, 春田牧人, 笹川清隆, 徳田崇, 太田淳, “人工視覚用ハニカム型 CMOS スマート電極アレイの作製,” 第 65 回応用物理学会春季学術講演会, 2018 年 3 月, 早稲田大学, 西早稲田キャンパス.
- [307] 白髭大貴, 宮崎駿佑, 竹原浩成, 角博文, 笹川清隆, 春田牧人, 野田俊彦, 徳田崇, 太田淳, “高速撮像近赤外カラー眼底カメラに向けたオンチップ干渉フィルタの試作,” 第 65 回応用物理学会春季学術講演会, 2018 年 3 月, 早稲田大学, 西早稲田キャンパス.
- [308] 長沼京介, 白石愛香里, 太田安美, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “脳表光刺激デバイスの開発へ向けた齧歯類・霊長類脳の光学特性の測定,” 第 65 回応用物理学会春季学術講演会, 2018 年 3 月, 早稲田大学, 西早稲田キャンパス.
- [309] 太田淳, “「人工視覚の現状と課題」(invited),” SSCS Distinguished Lecturer 講演会, 2018 年 3 月, 東京大学 VDEC 武田先端知ビル
- [310] 野田俊彦, 春田牧人, 笹川清隆, 徳田崇, 太田淳, “生体埋め込み CMOS デバイスによる神経刺激と脳機能イメージング(invited),” 電子情報通信学会 2018 年総合大会, 2018 年 3 月, 東京電機大学 東京千住キャンパス.
- [311] 春田牧人, “小型動物用超小型イメージングデバイスによる脳疾患モデルマウスの脳血流・脳機能同時計測(invited),” 日本薬学会第 138 年会, 2018 年 3 月, ホテル金沢, 石川県.
- [312] 福浦拓実, 高橋康宏, “アクティブインダクタを用いた並列直列ピーキング回路によるトランスインピーダンスアンプの帯域拡張,” 2018 年電気学会電子回路研究会, vol.ECT-18, pp.1-4 (ETC-18-10), March 2018.
- [313] 田川諒, 高橋康宏, “Linville 型負性インピーダンス回路によるトランスインピーダンス・アンプの帯域幅拡張,” 2018 年電気学会電子回路研究会, vol.ECT-18, pp.5-8 (ETC-18-11), March 2018.
- [314] 韓梅, 高橋康宏, 関根敏和, “A comparison of energy dissipation of 4-bit adiabatic multiplier,” 2018 年電気学会電子回路研究会, vol.ECT-18, pp.45-48 (ETC-18-19), March 2018.
- [315] B. Da Costa, 高橋康宏, “A design of trans-impedance amplifier using negative impedance converter,” 2018 年電気学会電子回路研究会, vol.ECT-18, pp.49-52 (ETC-18-20), March 2018.
- [316] 陳翔宇, 高橋康宏, “Small-signal analysis of trans-impedance amplifier using Mahmoudi-Salama’s floating active inductor,” 2018 年電気学会電子回路研究会, vol.ECT-18, pp.53-56 (ETC-18-21), March 2018.
- [317] 子安博貴, 高橋康宏, “電流経路均一化による暗号用断熱的論理回路の提案,” 2018 年電気学会電子回路研究会, vol.ECT-18, pp.121-124 (ETC-18-35), March 2018.
- [318] 浅野雄作, 高橋康宏, “ダイオードを基にした断熱的論理による暗号用論理回路の提案,” 2018 年電気学会電子回路研究会, vol.ECT-18, pp.125-128 (ETC-18-36), March 2018.
- [319] M Han, Y. Takahashi and T. Sekine, “Evaluation of 4-bit array multiplier of adiabatic logic family,” 信学技報, vol.117, no.343, CAS2017-68, pp.27-30, Dec. 2017.
- [320] 松本明樹, 高橋康宏, 関根敏和, “浮遊ゲート FET の新たな関数フィッティングによる SPICE モデル化,” 信学技報, vol.117, no.343, CAS2017-78, pp.75-78, Dec. 2017.
- [321] 西脇友崇, 高橋康宏, 関根敏和, “PADDL に基づく断熱的可逆論理回路のセキュリティ性向上の一提案,” 信学技報, vol.117, no.344, ICD2017-76, pp.113-117, Dec. 2017.
- [322] X. Chen, and Y. Takahashi, “アクティブインダクタを用いた TIA の広帯域化に関する検討,” 信学技報, vol.117, no.344, ICD2017-78, pp.123-126, Dec. 2017.
- [323] 西脇友崇, 高橋康宏, 関根敏和, “PADDL に基づく断熱的可逆論理回路,” 2017 年電気学会電子回路研究会, vol.ECT-17, pp.7-12 (ETC-17-054), July 2017.
- [324] 松本明樹, 高橋康宏, 関根敏和, “浮遊ゲート FET の SPICE モデル化とその動作検証,” 2017 年電気学会電子回路研究会, vol.ECT-17, pp.57-60 (ETC-17-067), July 2017.
- [325] 河原純平, 高橋康宏, 関根敏和, “断熱的論理を用いた S-Box 回路の電流, エネルギー変動評価,” 第 30 回 IEICE 回路とシステムワークショップ論文集, pp.111-116, May 2017.
- [326] 山本秀朗, 高橋康宏, 関根敏和, “65nmSOTB を用いた断熱的論理回路群による S-BOX 回路の検証,” 第 30 回 IEICE 回路とシステムワークショップ論文集, pp.121-126, May 2017.
- [327] 小池良介, 今川隆司, 大巻ロベルト裕治, 越智裕之, “粒度選択型再構成可能アーキテクチャ SGRA とその設計自動化,” 信学技報, vol.117, no.97, pp.25-30, Jun. 2017.

- [328] 坂野達也, 木村知也, 今川隆司, 越智裕之, “太陽電池混載チップ向け CMOS 互換温度・照度センサ,” 信学技報, vol.117, no.97, pp.113-118, Jun. 2017.
- [329] 夏原明日香, 今川隆司, 越智裕之, “ビアスイッチ向けプログラマブルロジック 0-1-A- A LUT の電力効率について,” 信学技報, vol.117, no.377, pp.107-112, Jan. 2018.
- [330] 小西敏文, 山根大輔, 佐布晃昭, 陳君怡, Chang Tso-Fu Mark, 伊藤浩之, 道正志郎, 石原昇, 曾根正人, 町田克之, 益一哉, 飯田慎一, “積層メタル技術を用いた MEMS 慣性センサの封止環境における温度依存性” 第 64 回応用物理学会春季学術講演会, 13.4 Si 系プロセス・Si 系薄膜・配線・MEMS・集積化技術, 2018 年 3 月 17 日 - 20 日, 早稲田大学西早稲田キャンパス [E 17p-P7-10].
- [331] 伊藤浩之, 山根大輔, 小西敏文, 道正志郎, 石原昇, 町田克之, 曾根正人, 三宅美博, 益一哉, “集積化 CMOS-MEMS 技術による高感度慣性センサと応用システム” 第 64 回応用物理学会春季学術講演会, S24 集積化センサシステムによるユビキタス健康管理を目指して, 2018 年 3 月 19 日, 早稲田大学西早稲田キャンパス [19p-C101-7].(invited)
- [332] 町田克之, 益一哉, “集積化 CMOS-MEMS 技術の課題と展望” 第 64 回応用物理学会春季学術講演会, 特別シンポジウム「集積化 MEMS の発展と展望(集積化 MEMS 技術研究会発足 10 周年記念シンポジウム)」2018 年 3 月 18 日, 早稲田大学西早稲田キャンパス (invited)
- [333] 益一哉, “応物と集積化 MEMS 技術研究会” 第 64 回応用物理学会春季学術講演会, 特別シンポジウム「集積化 MEMS の発展と展望(集積化 MEMS 技術研究会発足 10 周年記念シンポジウム)」2018 年 3 月 18 日, 早稲田大学西早稲田キャンパス (invited)
- [334] 高安基大, 道正志郎, 伊藤浩之, 石原昇, 益一哉, “A High-Resolution Capacitive-Sensor Interface Based on a Relaxation Oscillator,” 2018 年電子情報通信学会総合大会, 2018 年 3 月 20 日 - 23 日, 東京電機大学東京千住キャンパス, 東京都, 日本
- [335] 宮内楓, 田口泰地, 石川洋介, 伊藤浩之, 伊藤浩之, 益一哉, 石原昇, “RF バックスキャタリングによる低電力ワイヤレスセンサ端末モジュールの試作評価結果”, 2018 年電子情報通信学会総合大会, 2018 年 3 月 20 日 -23 日, 東京電機大学東京千住キャンパス, 東京都, 日本, B-18-17, p.361
- [336] 田口泰地, 石川洋介, 宮内楓, 伊藤浩之, 道正志郎, 益一哉, 石原昇, “RF バックスキャタリングによる低電力 CMOS センサインタフェース回路”, 2018 年電子情報通信学会総合大会, 2018 年 3 月 20 日 -23 日, 東京電機大学東京千住キャンパス, 東京都, 日本, C-12-1, p.36
- [337] 古賀達也, 高安基大, 山根大輔, 伊藤浩之, 小西敏文, 道正志郎, 石原昇, 町田克之, 益一哉, “積層メタル技術で作製した MEMS 慣性センサのモジュール化の検討 (2)” 第 64 回応用物理学会春季学術講演会, S24 集積化センサシステムによるユビキタス健康管理を目指して, 2018 年 3 月 17 日 - 20 日, 早稲田大学西早稲田キャンパス [19p-C101-10]
- [338] 新島宏文, 乙部翔太, 高安基大, 山根大輔, 小西敏文, 佐布晃昭, 伊藤浩之, 年吉洋, 町田克之, 益一哉, “高感度 MEMS 加速度センサの Brownian Noise 評価に関する検討”, 第 65 回応用物理学会春季学術講演会, 2018 年 3 月 17 日 -20 日, 早稲田大学西早稲田キャンパス, 東京都, 日本
- [339] 新島宏文, 乙部翔太, 高安基大, 山根大輔, 伊藤浩之, 町田克之, 石原昇, 益一哉, “単一 Au 錘 3 軸差動 MEMS 加速度センサの検討”, 平成 30 年電気学会全国大会, 2018 年 3 月 14 日 -16 日, 九州大学伊都キャンパス, 福岡, 日本
- [340] 高安基大, 古賀達也, 辻一平, 伊藤浩之, 山根大輔, 道正志郎, 小西敏文, 飯田慎一, 石原昇, 町田克之, 益一哉, “傾斜を用いた 1mG MEMS 加速度センサの分解能評価の検討”, 平成 30 年電気学会全国大会, 2018 年 3 月 14 日 -16 日, 九州大学伊都キャンパス, 福岡, 日本
- [341] 乙部翔太, 高安基大, 山根大輔, 小西敏文, 佐布晃昭, 伊藤浩之, 道正志郎, 石原昇, 町田克之, 益一哉, “3 軸 MEMS 加速度センサにおける単一 Au 錘および電極分割方式の検討”, 第 34 回「センサ・マイクロマシンと応用システム」シンポジウム, 2017 年 10 月 31 日 - 11 月 2 日, 広島国際会議場, 広島県, 日本
- [342] 折原恒祐, 高安基大, 道正志郎, 伊藤浩之, 山根大輔, 小西敏文, 石原昇, 町田克之, 益一哉, “発振型容量検出回路を用いた Au 錘 CMOS-MEMS 加速度センサの検討” 第 34 回「センサ・マイクロマシンと応用システム」シンポジウム, 2017 年 10 月 31 日 -11 月 2 日, 広島国際会議場 [31am3-PLN-2].(Late News)
- [343] 新島宏文, 高安基大, 山根大輔, 小西敏文, 佐布晃昭, 伊藤浩之, 年吉洋, 町田克之, 益一哉, “静電容量型 MEMS センサにおけるブラウニアン・ノイズ評価手法の検討 (2)” 第 34 回「センサ・マイクロマシンと応用システム」シンポジウム,

2017年10月31日-11月2日, 広島国際会議場 [01am2-PLN-8].(Late News)

- [344] 辻一平, 高安基大, 伊藤浩之, 山根大輔, 道正志郎, 小西敏文, 石原昇, 町田克之, 益一哉, “積層メタル技術を用いた MEMS 加速度センサの傾斜計応用の検討” 応用物理学会 集積化 MEMS 技術研究会主催第 9 回集積化 MEMS シンポジウム, 2017 年 10 月 31 日 -11 月 2 日, 広島国際会議場 [01pm1-A-6].
- [345] 小西敏文, 山根大輔, 佐布晃昭, 曾根正人, 年吉洋, 益一哉, 町田克之, “積層メタル技術を用いた MEMS 慣性センサの構造設計のための粘性定数モデルの検討” 応用物理学会 集積化 MEMS 技術研究会主催第 9 回集積化 MEMS シンポジウム, 2017 年 10 月 31 日 -11 月 2 日, 広島国際会議場 [01am2-PM-11].
- [346] 山根大輔, 小西敏文, 佐布晃昭, 橘航一朗, 寺西美波, 陳君怡, Tso-Fu Mark Chang, 曾根正人, 町田克之, 益一哉, “積層メタル MEMS 慣性センサの長期振動特性評価” 応用物理学会 集積化 MEMS 技術研究会主催第 9 回集積化 MEMS シンポジウム, 2017 年 10 月 31 日 -11 月 2 日, 広島国際会議場 [01am2-PM-12].
- [347] 高安基大, 道正志郎, 伊藤浩之, 山根大輔, 小西敏文, 町田克之, 石原昇, 益一哉, “MEMS 慣性センサ用弛張発振型容量検出回路”, 第 9 回集積化 MEMS シンポジウム, 2017 年 10 月 31 日 - 11 月 2 日, 広島国際会議場, 広島県, 日本
- [348] 原基揚, 矢野雄一郎, 梶田雅稔, 原紳介, 笠松章史, 伊藤浩之, 井戸哲也, “Rb 時計周波数の直接発振を目的とした FBAR-VCO の開発” 第 28 回超音波エレクトロニクスの基礎と応用に関するシンポジウム, 1J3-3, 2017 年 10 月 25 日
- [349] 古賀達也, 辻一平, 高安基大, 伊藤浩之, 山根大輔, 道正志郎, 小西敏文, 石原昇, 町田克之, 益一哉, “積層メタル技術による MEMS 加速度センサの傾斜時感度特性の検討”, 第 9 回集積化 MEMS シンポジウム, 2017 年 9 月 5 日 - 9 月 8 日, 広島国際会議場, 広島県, 日本
- [350] 山根大輔, 小西敏文, 佐布晃昭, 橘航一朗, 寺西美波, 陳君怡, Tso-Fu Mark Chang, 曾根正人, 町田克之, 益一哉, “金めっきで形成した MEMS 加速度センサの長期振動特性に関する検討”, 第 78 回応用物理学会秋季学術講演会, 13.4 Si 系プロセス・Si 系薄膜・配線・MEMS・集積化技術, 2017 年 9 月 5 日 - 8 日, 福岡国際会議場・福岡国際センター・福岡サンパレスホテル [8p-PA2-13], 福岡県, 日本
- [351] 古賀達也, 辻一平, 高安基大, 伊藤浩之, 山根大輔,

道正志郎, 小西敏文, 石原昇, 町田克之, 益一哉, “積層メタル技術を用いた高感度 MEMS 慣性センサの傾斜計応用の検討”, 第 78 回応用物理学会秋季学術講演会, 2017 年 9 月 5 日 - 8 日, 福岡国際会議場・国際センター・福岡サンパレス, 福岡県, 日本

- [352] 辻一平, 高安基大, 伊藤浩之, 山根大輔, 道正志郎, 小西敏文, 石原昇, 町田克之, 益一哉, “積層メタル技術を用いた高感度 MEMS 慣性センサの傾斜計応用の検討”, 第 78 回応用物理学会 秋季学術講演会, 2017 年 9 月 5 日 - 8 日, 福岡国際会議場・国際センター・福岡サンパレス, 福岡県, 日本
- [353] 高安基大, 道正志郎, 伊藤浩之, 山根大輔, 小西敏文, 町田克之, 石原昇, 益一哉, “MEMS 加速度センサ用高分解能容量検出回路”, 第 78 回応用物理学会 秋季学術講演会, 2017 年 9 月 5 日 - 8 日, 福岡国際会議場・国際センター・福岡サンパレス, 福岡県, 日本
- [354] 高安基大, 道正志郎, 伊藤浩之, 山根大輔, 小西敏文, 町田克之, 石原昇, 益一哉, “MEMS 加速度センサ用高分解能容量検出回路の評価”, 第 8 回集積化 MEMS 技術研究ワークショップ, 2017 年 7 月 26 日, 香川大学林町キャンパス社会連携・知的財産センター棟 3F, 香川県, 日本
- [355] 辻一平, 高安基大, 伊藤浩之, 山根大輔, 小西敏文, 道正志郎, 石原昇, 町田克之, 益一哉, “積層メタル技術を用いた高感度 MEMS 傾斜計の検討”, 第 8 回集積化 MEMS 技術研究ワークショップ, 2017 年 7 月 26 日, 香川大学林町キャンパス社会連携・知的財産センター棟 3F, 香川県, 日本
- [356] 高安基大, 権田惇晟, 小西敏文, 山根大輔, 伊藤浩之, 石原昇, 道正志郎, 町田克之, 益一哉, “人体振動測定のための MEMS 慣性センサを用いたモジュールの検討”, LSI とシステムのワークショップ 2017, 2017 年 5 月 15 日 - 2017 年 5 月 16 日, 東京大学生産技術研究所コンベンションホール, 東京都, 日本
- [357] 中野, “低電圧用チャージポンプ DC-DC コンバータの性能検討”, 電子回路研究会システム LSI における雑音低減技術と電子回路一般, 2017 年 8 月 22 日.
- [358] 出口, 田中, 中野, “ハムノイズ除去用 N-path フィルタのための自動同期 PLL”, LSI とシステムのワークショップ, 2017 年 5 月 15-16 日.
- [359] 銭林, 杉浦, 中野, “標準 CMOS プロセスによるオンチップ太陽電池の高性能化”, LSI とシステムのワークショップ, 2017 年 5 月 15-16 日.
- [360] 五十嵐, 銭林, 中野, “マイクロシステム実現に向けたオンチップ送信回路の検討”, 集積回路技

- 術リテラシー研究会, 2017年10月2-3日.
- [361] 杉浦, 松本, 中野, “PERC型太陽電池の性能向上を目指したTCADシミュレーション”, 第65回応用物理学会春季学術講演会, 2018年3月17日-20日.
- [362] 河口, 四柳, 橋爪, “TSV検査のためのTDC組込み型バウンダリスキャン制御回路の設計”, DAシンポジウム2017, pp.15-20, 2017年8月.
- [363] 河塚, 四柳, 橋爪, “TDC組込み型スキャンFFの微小遅延故障検出能力評価”, DAシンポジウム2017, pp.21-26, 2017年8月.
- [364] 藪井, 四柳, 橋爪, “BC1タイプのバウンダリスキャンテスト回路を用いた実装基板のオンライン配線検査法”, 第27回マイクロエレクトロニクスシンポジウム講演論文集, 2017年8月.
- [365] 片山, 四柳, 橋爪, 樋上, 高橋, “バス順位比較を用いる半断線故障の検査可能性評価”, 電気関係学会四国支部連合大会講演論文集, p.86, 2017年9月.
- [366] 宮武, 四柳, 横山, 橋爪, 多田, “リングオシレータを用いた3D IC内ダイ間配線検査法の発振周波数の温度依存性調査”, 電気関係学会四国支部連合大会講演論文集, p.80, 2017年9月.
- [367] 岡本, 四柳, 橋爪, Shyue-Kung Lu, “3D IC内ダイ間配線に流す静的電流による抵抗断線検出用検査回路の製造ばらつきの影響調査”, 電気関係学会四国支部連合大会講演論文集, p.81, 2017年9月.
- [368] 神田, 橋爪, 四柳, Shyue-Kung Lu, “オフセットキャンセル型コンパレータを用いた3D IC内ダイ間配線の断線レベル検出の可能性”, 電気関係学会四国支部連合大会講演論文集, p.82, 2017年9月.
- [369] 新開, 四柳, 橋爪, “遅延故障検査容易化設計のための遅延付加ゲートの設計”, 第64回機能集積情報システム研究会, 2017年10月.
- [370] 柴田, 四柳, 橋爪, “3次元実装ICにおけるマイクロバンプ欠損時の遅延解析”, 第64回機能集積情報システム研究会, 2017年10月.
- [371] 谷口, 四柳, 橋爪, “試作した遅延故障検査容易化回路による2経路同時検査について”, 第64回機能集積情報システム研究会, 2017年10月.
- [372] 神原, 大谷, 四柳, 橋爪, “IDDT出現時間に基づく検査法の断線故障検出能力向上のための設計”, 電子情報通信学会技術研究報告, Vol.117, No.274, pp.125-130, 2017年11月.
- [373] 新開, 四柳, 橋爪, “TDC組込み型スキャン設計の遅延付加部の遅延検出能力評価”, 第78回FTC研究会資料, 2018年1月.
- [374] 柴田, 四柳, 橋爪, “隣接線の信号遷移を用いる半断線故障判別法の配線長・温度依存性の検討”, 第78回FTC研究会資料, 2018年1月.
- [375] 片山, 四柳, 橋爪, 樋上, 高橋, “回路の製造ばらつきを考慮するバス順位比較を用いる半断線故障検査法の評価”, 第78回FTC研究会資料, 2018年1月.
- [376] 平井, 四柳, 橋爪, “TDC組込み型バウンダリスキャンにおける遅延付加部のリオーダによる配線長の低減”, 電子情報通信学会技術研究報告, Vol.117, No.444, pp.13-18, 2018年2月.
- [377] 山下, 中野, 森, 前澤, “新規MEMS位相シフタを用いた広帯域可変周波数共鳴トンネルダイオード発振器”, 第9回集積化MEMSシンポジウム, PM-2, 10月31~11月2日, 広島国際会議場.
- [378] 島田, 山川, 村谷, 谷川, 前澤, 森, “HEMTと高さ可変の空洞共振器を用いた周波数 $\Delta\Sigma$ 型マイクロフォンセンサ”, 平成29年度応用物理学会北陸・信越支部学術講演会(12月9日, 金沢歌劇座).
- [379] 前澤, 中野, 森, 石井, 安藤, “THz帯域を目指した新構造可変位相シフタ”, 電子情報通信学会, 電子デバイス研究会(ED)報告ED2017-76, p.25-28(2017).
- [380] 前澤, “共鳴トンネル発振器の安定性改善とセンサ応用”, 招待講演, 電子情報通信学会, 電子デバイス研究会(12月18日, 東北大学).
- [381] 進藤, 瀬戸, “ β 展開に基づくAD変換器のルックアップテーブル除去によるデジタル回路部の面積削減”, デザインガイア, pp.101-104, 2017年11月.
- [382] 石川, 瀬戸, “高位合成における多重ループに対するパイプライン処理時のサイクル数オーバーヘッド削減を行うループ平坦化ツールの開発”, VLD研究会, pp.49-54, 2018年2月.
- [383] Shogo Nishioka, Shinji Abe, Naoki Sakai, Takashi Ohira, “Multiple Connection of Rectifiers for High Power RF-to-DC Conversion,” Asian Wireless Power Transfer Workshop 2017, Singapore, Dec. 2017.
- [384] 阿部晋士, 田中將, 青柳祐輝, 國吉大輝, 坂井尚貴, 大平孝, “[依頼講演] 整流カイロ~ダイオードの最適温度~, ” 信学技報 WPT2017-16, vol.117, no.158, pp.5-10, July 2017.
- [385] 新谷純弥, “小型EVを用いた遠端全反射可変整合方式の実証に向けた研究,” アンテナ・伝搬を用いた応用技術研究交流会, no.3, Oct. 2017.
- [386] 山田恭平, “[依頼講演] 高Qインダクタを用いた6.78MHz倍電流整流回路,” 信学技報 WPT2017-

- 15, vol.117, no.158, pp.1-4, July 2017.
- [387] 山田恭平, “[依頼講演] 2.4 GHz 高インピーダンス整流回路,” 信学技報 WPT2017-30, vol.117, no.158, pp.89-92, July 2017.
- [388] 浅井大輝, 柳澤政生, 戸川望, “環境発電動作を想定した揮発・不揮発レジスタ併用型フロアプラン指向高位合成手法,” DA シンポジウム 2017, vol.2017, pp.57-62.
- [389] 矢作裕基, 柳澤政生, 戸川望, “遅延変動に対しロバストな AES 暗号回路の設計,” DA シンポジウム 2017, vol.2017, pp.210-215.
- [390] 高田遼, 石井潤, 坂本龍一, 近藤正章, 中村宏(東大), 大久保徹以, 小島拓也, 天野英晴(慶大), “ディープニューラルネットワーク向けアクセラレータチップの設計と性能評価”, xsig2017
- [391] 佐藤, 小高, 小川, “Lfs 積を用いた集積化マルチフェーズコンバータの小面積設計法”, 第 30 回回路とシステムワークショップ論文集, pp.136-141, 2017 年 5 月
- [392] Ong, 佐藤, 小川, “高次通過域を除去した N パスフィルタの回路規模の削減”, 平成 30 年電気学会全国大会講演論文集, 三分冊, pp.21, 2018 年 3 月
- [393] 植松, 佐藤, 小川, “充放電回路を用いたスイッチング電源のスイッチング損失の低減”, 平成 30 年電気学会全国大会講演論文集, 4 分冊, pp.132, 2018 年 3 月
- [394] 今川隆司, 池下貴大, 筒井弘, 宮永喜一, “MIMO-OFDM 無線通信における信号分離のためのパイプライン型逆行列演算回路のアーキテクチャ検討,” 電子情報通信学会信学技報, vol. 117, no.273, VLD2017-45, pp.105-108, Nov. 2017.
- [395] 渡辺大詩, 池下貴大, 筒井弘, 今川隆司, 宮永喜一, “並列化を用いた LDPC Min-Sum 復号器の高スループットハードウェア設計,” 電気・情報関係学会北海道支部連合大会, pp. 102-103, Oct. 2017.
- [396] 呉研, 岩波悠太, 高橋芳浩, “LDD 構造を用いたトンネル FET ベース CMOS 回路における耐放射線性評価”, 第 78 回応用物理学会秋季学術講演会, 8p-PA2-5, 2017.9.8(福岡国際会議場).
- [397] 金山純一, 呉研, 高橋芳浩, “SiGe を導入した SOI-CMOS 回路の重イオン照射効果”, 第 65 回応用物理学会春季学術講演会, 18a-B301-3, 2018.3.18(早稲田大学).
- [398] 田中智孝, 中村誠, “マルチパス型リング発振器の発振周波数の導出式の検討”, 電子情報通信学会ソサイエティ大会, A-1-1, 2017 年 9 月.
- [399] 中嶋伸悟, 中村誠, “フィードフォワード構成による DFE 回路の高速化の一検討”, 電子情報通信学会ソサイエティ大会, A-1-2, 2017 年 9 月.
- [400] 國枝衛, 小島拓也, 中村誠, “バースト信号対応 TIA における連続型 AGC の高速利得制御の検討”, 電子情報通信学会ソサイエティ大会, A-1-3, 2017 年 9 月.
- [401] 肥田顕, 水野峻汰, 中根祐介, 中村誠, 中野慎介, 野坂秀之, “Current-Reuse 技術を適用した CMOS 光受信回路の低電力・広帯域化に関する検討”, 電子情報通信学会ソサイエティ大会, A-1-4, 2017 年 9 月.
- [402] 長谷川充, 田中智孝, 中村誠, 伊藤大輔, “スタック型 CMOS 光変調器ドライバの PAM4 符号対応化の検討”, 電子情報通信学会総合大会, A-1-8, 2018 年 3 月.
- [403] 田中智孝, 中村誠, 伊藤大輔, “マルチパス型リング VCO の周波数制御特性の広帯域化”, 電子情報通信学会総合大会, A-1-9, 2018 年 3 月.
- [404] 呉 仲祥, 高宮 真, 桜井貴康, “Wide Load Range Buck Converter Using Clocked Hysteresis Control for IoT Sensor Nodes,” 電子情報通信学会, LSI とシステムのワークショップ, ポスターセッション学生部門, 59, 東京, 2017 年 5 月.
- [405] 宇野祐輝, 邱浩, 崔通, 井口俊太, 水谷陽太, 星貴之, 川原圭博, 寛康明, 高宮真, “Luciola(源氏螢): 超音波で空中移動し無線給電で動作する超小型発光粒子,” 電子情報通信学会, 信学技報, ICD2017-63, pp.63-68, 石垣島, 2017 年 12 月.
- [406] 小野寺尚人, 染谷晃基, イスラムマーフズル, 松永賢一, 森村浩季, 高宮真, 桜井貴康, “可変キャパシタを用いた自動 LC 共振最適化機能を有する RF エネルギーハーベスティング回路の設計と評価,” 電子情報通信学会, 信学技報, ICD2017-85, pp.139-139, 石垣島, 2017 年 12 月.
- [407] 伊藤 結, 秋山正弘, “金スタッドバンプを用いた集積回路の 3 次元接続評価”, 第 65 回応用物理学会秋季学術講演会, 17p-P7-18, 12-056, 2018.3
- [408] 渡辺信太, 八賀慧人, 秋山正弘, “丸型・四角型・三角型アバランシェフォトダイオードの角における電界強度の評価”, 第 65 回応用物理学会秋季学術講演会, 20a-P2-15, 03-625, 2018.3
- [409] 門本淳一郎, 宮田知輝, 天野英晴, 黒田忠広, “ThruChip Interface を用いたコア間ネットワーク,” 情報処理学会全国大会, Mar. 2018.
- [410] 柴康太, 宮田知輝, 門本淳一郎, 天野英晴, 黒田忠広, “ThruChip Interface の設計自動化,” 情報処理学会全国大会, Mar. 2018.
- [411] 程超然, 宮田知輝, 門本淳一郎, 天野英晴, 黒田忠広, “ThruChip Interface を用いたバスに

- おける衝突検知,” 情報処理学会全国大会, Mar. 2018.
- [412] 田島, 戸川, 柳澤, 史, “C-element を用いたソフトウェア耐性をもつ SHC ラッチの設計,” 電子情報通信学会第 30 回回路とシステムワークショップ, pp. 214-219, 2017.
- [413] 中垣, 戸川, 柳澤, 史, “内部ノードを利用したソフトウェア検出ラッチの設計,” 電子情報通信学会第 30 回回路とシステムワークショップ, pp. 220-225, 2017.
- [414] 早水, 戸川, 柳澤, 史, “最大エラー距離に基づく GeAr 回路の最適化,” 電子情報通信学会第 30 回回路とシステムワークショップ, pp.7-12, 2017.
- [415] 野中菜央, 藪田直人, 中野裕貴, 古瀬結貴, 近藤諒佳, 朴孝晟, 中岡俊裕, 内海淳, 岸川諒子, 正光義則, 川崎繁男, “CPW を用いた混成半導体集積回路 HySIC 整流回路の試作”, 2018 年電気情報通信学会総合大会, C-2- 10, 2018 年 3 月
- [416] 朴孝晟, 依田功, 川崎繁男, 中岡俊裕, “GeTe 薄膜におけるガンマ線照射の影響”, 第 78 回応用物理学学会周期学術講演会 2017 年 9 月 5 日 - 8 日, 福岡国際会議場 [8a-C24- 7], 2017 年 3 月
- [417] 中岡俊裕, 古瀬結貴, 近藤諒佳, 野中菜央, 藪田直人, バクヒョソン, 内海淳, 岸川諒子, 正光義則, 川崎繁男, “宇宙ナノエレクトロニクス CR のプロセス装置を用いた混成半導体集積回路 HySIC 整流回路の試作”, 第 18 回宇宙科学シンポジウム P-184, 2018 年 1 月
- [418] 岡澤貴之, 秋田一平, “リングオシレータ位相によるカウンタ同期手法を用いた低消費電力時間デジタル変換回路,” 第 30 回回路システムワークショップ論文集中, A1-2-1, 北九州, pp.132-135, May, 2017.
- [419] 畔上佳太, 増山滉一朗, 奥原颯, 天野英晴, “自然エネルギーによる低電力リコンフィギュラブルアクセラレータの動作”, 信学技報, vol. 116, no.416, CPSY2016-130, pp.159-164, 2017 年 1 月.
- [420] 風見, 奥原, 天野, “適応的電圧制御用クリティカルパスモニタの設計と実装”, 信学技報, vol. 117, no.479, CPSY2017-139, pp.125-130, 2018 年 3 月.
- [421] 風見, 奥原, 天野, “適応的ボディバイアス制御のためのクリティカルパス・モニタの設計”, 第 16 回再生可能集積システム時限研究会予稿集, 2017 年 11 月 12 日.
- [422] 寺嶋, 小島, 奥原, 松下, 安藤, 並木, 天野, “ツインタワー用共有メモリチップの開発” 信学技報, vol. 117, no.273, VLD2017-34, pp.43-48, 2017 年 11 月.
- [423] 寺嶋, 小島, 奥原, 松下, 安藤, 並木, 天野, “ツインタワーのためのメモリチップ”, 情報処理学会第 80 回全国大会講演論文集 5H-04, 2018 年 3 月.
- [424] 小島拓也, 安藤尚輝, 奥原颯, Ng.Doan Anh Vu, 天野英晴, “整数計画問題を用いたパイプライン型 CGRA のボディバイアス電圧最適化”, 信学技報, vol. 117, no.46, RECONF2017-16, pp.81-86, 2017 年 5 月.
- [425] 小島拓也, 安藤尚輝, 奥原颯, 天野英晴, “整数計画問題を用いたパイプライン型 CGRA のボディバイアス電圧最適化”, 信学技報, vol. 117, no.46, RECONF2017-16, pp.81-86, 2017 年 5 月.
- [426] 小島拓也, 安藤尚輝, 天野英晴, “可変構造パイプラインを持つ粗粒度再構成アクセラレータ CCSOTB2”, 情報処理学会第 80 回全国大会講演論文集 5H-05, 2018 年 3 月.
- [427] 奥原 颯, ベンアメドアクラム, 天野英晴, “超低電力ボディバイアス調節機構の実チップ評価,” 信学技報, vol. 117, no.276, ICD2017-40, pp.9-14, 2017 年 11 月.
- [428] 吉田, 宇佐美, “動的マルチボディバイアス制御を用いたデジタルメモリのリークエネルギー削減”, 電子情報通信学会 VLD 研究会デザインガイア 2017, pp. 37-42, 2017 年 11 月 6 日.
- [429] 深澤, 宇佐美, “DRAM の自動リフレッシュ間隔延長とデータ修正に基づくアプロキシメートコンピューティングの提案と評価”, 電子情報通信学会 VLD 研究会, 沖縄, 2018 年 3 月 2 日.
- [430] 宇佐美, 吉田, 天野, “スタンダードセルメモリの設計技術とビルディングブロック型計算システムへの応用”, 情報処理学会第 80 回全国大会, 2018 年 3 月 14 日.
- [431] 小林泰生, 岩崎一彦, “ビアオープン故障を考慮した重み付き故障カバレッジに関する考察,” 電子情報通信学会ディペンダブルコンピューティング研究会, DC2017-74, pp.31-36, 2017 年 12 月 15 日.
- [432] 潘春暉, 傘昊, “量子化雑音帰還機能を持つ逐次比較量子化器を用いる Δ AD 変調器,” 信学技報, Vol.117, No.343, CAS2017-105, pp.165-170, 石垣, 2017 年 12 月.
- [433] 寺西司, 潘春暉, 傘昊, “逐次比較量子化器を用いる複素バンドパス Δ ADC 低電力手法の提案,” 電気学会電子回路研究会, ECT-018-024, 神奈川, 2018 年 2 月.
- [434] 銭正よう, 竹澤好樹, 下川賢士, 矢吹僚介, 李嘉, 木野久志, 福島誉史, 清山浩司, 田中徹, “経爪型集積化光電容積脈波計測システムの開発 (1) -

集積化 PPG 計測 LSI の設計と評価”，第 65 回応用物理学会春季学術講演会，2018/3/17-20

- [435] 矢吹僚介，銭正よう，竹澤好樹，下川賢士，李嘉，木野久志，福島譽史，清山浩司，田中徹，“経爪型集積化光電容積脈波計測システムの開発(2) - SpO₂ の計測と評価-”，第 65 回応用物理学会春季学術講演会，2018/3/17-20
- [436] 竹澤好樹，下川賢士，銭正よう，福島奨，木野久志，清山浩司，田中徹，“矩形波インピーダンス計測のための GIDL 電流を用いた低周波リングオシレータの設計と評価”，第 78 回応用物理学会秋季学術講演会 2017/9/5-8.
- [437] 下川賢士，銭正よう，竹澤好樹，木野久志，福島譽史，清山浩司，田中徹，“三次元積層人工網膜チップのためのラプラシアンエッジ強調機能を有する刺激電流生成回路の評価”，第 78 回応用物理学会秋季学術講演会 2017/9/5-8.
- [438] 銭正よう，竹澤好樹，下川賢士，木野久志，福島譽史，清山浩司，田中徹，“経爪型集積化光電容積脈波計測システムの開発 - 受光・計測回路の設計と評価-”，第 78 回応用物理学会秋季学術講演会 2017/9/5-8.
- [439] 坂本裕太，森下賢幸，小椋清孝，伊藤信之，“3 次元ストライプドインダクタを用いた 24 GHz 低位相雑音電圧制御発振器の検討，” 2017 年電子情報通信学会ソサイエティ大会 C-12-7，東京，2017 年 9 月 14 日.
- [440] 北野大志，小椋清孝，森下賢幸，伊藤信之，“二帯域整合回路を備えた同時受信低雑音増幅器に関する検討，” 電気学会電子回路研究会，ECT-17-106，pp.65-70，呉，2017 年 10 月 12 日.
- [441] N. Itoh，“Study of Striped Inductor for High-Frequency Voltage-Controlled Oscillators” RIEC Russia-Japan Joint International Microwave Workshop 2017, Sendai, Oct. 2017.
- [442] 北形，周藤，山本，菅原，“不揮発性 SRAM のアーキテクチャとエネルギー性能”，電気情報通信学会技術研究報告，pp.51-56，2017 年 4 月.
- [443] 北形，山本，菅原，“強磁性トンネル接合を用いた不揮発性 SRAM の待機時電力削減能力”，第 78 回応用物理学会秋季学術講演会，paper 8p-C18-8，2017 年 9 月.
- [444] 北形，山本，菅原，“階層型ストアフリー電源遮断を用いた不揮発性 SRAM のエネルギー性能”，第 65 回応用物理学会春季学術講演会，paper 18p-G203-3，2018 年 3 月.
- [445] 塩津，山本，周藤，舟窪，黒澤，菅原，“新構造ピエゾエレクトロニックトランジスタの設計とそのデバイス・回路性能”，第 65 回応用物理学

会春季学術講演会，paper 18p-G203-7，2018 年 3 月.

- [446] 菊地杜斗，小宮山崇夫，長南安紀，山口博之，小谷光司，“レーザー光を用いたワイヤレス電力伝送向けオンチップ太陽電池の特性評価”，電子情報通信学会総合大会，C-12-12，2018 年 3 月
- [447] 宇佐美蓮，小宮山崇夫，長南安紀，山口博之，小谷光司，“環境電波発電向け太陽電池アシスト自己しきい値補正整流回路”，電子情報通信学会総合大会，C-12-13，2018 年 3 月
- [448] 井上翔太，小宮山崇夫，長南安紀，山口博之，小谷光司，“pn ダイオード整流回路を基準とした高周波整流回路の FoM の検討”，電子情報通信学会総合大会，C-12-14，2018 年 3 月

■著書

- [1] Ken Saito, Masaya Ohara, Mizuki Abe, Minami Kaneko and Fumio Uchikoba, “Gait Generation of Multilegged Robots by using Hardware Artificial Neural Networks”, Intech, Advanced Applications for Artificial Neural Networks, pp.29-50, February 28th 2018
- [2] Ken Saito, Minami Kaneko and Fumio Uchikoba, “Ant-Like Walking Behavior of MEMS Microrobot With Artificial Neural Networks IC,” IGI Global, Handbook of Research on Biomimetics and Biomedical Robotics, pp. 228-245, 2017. 12
- [3] 高橋康宏，“省エネを目指す LSI 設計と EMC - スマートカード用暗号 LSI を事例に回路レベルの観点から -,” 電磁環境工学情報誌月刊 EMC, no.348, pp.50-56, April 2017.

B. VDEC の利用規程・申し込みガイド

B.1 概要

VDEC は、全国の大学・高専向けに様々な支援事業を実施している。

1. CAD ツールの共同利用
2. VLSI 試作サービスの共同利用
3. CAD ツール講習会(8-9月・3月)
4. 社会人リフレッシュ教育(12月-1月, 学生も参加可能)
5. VLSI デザイナーフォーラム(若手の会)
6. 大型装置利用

CAD ベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC 設立以来、これまでの実績では、CAD の利用・CAD 講習会は無償、LSI 試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザには VDEC を利用する「顧客」ではなく、VDEC と一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特に CAD ツールについては CAD ベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDEC の担当者(vdec@vdec.u-tokyo.ac.jp)に必ず相談いただきたい。その他のサービスについては VDEC の裁量範囲が広がるので可能性が高くなるが、こちらからあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が 51%以上のイニシアチブを取る研究であることが必要である。

また、CAD の申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDEC のシステムは、Internet と Unix operating system の上になりたっているため、Internet の仕組みや Unix についての素養はあらかじめ付いていることを期

待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切り分けながら対処することが勧められる。

B.2 まずはじめに

VDEC からのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDEC の WEB ページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEB アクセス用アカウント・パスワードならびにアクセスしているマシンの Internet Protocol (IP) アドレスによって制限をかけている。

従って、VDEC を利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な(サービス開始前1ヶ月以上)時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEB ページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字2字+半角数字5桁(例:VD00000)からなる。

申込で特に注意する点は、VDEC の WEB にアクセスしたい研究室のマシンの IP アドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxy サーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5 のように、IP アドレスを全て「半角」の英数字で、「,」(半角カンマ)で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT(IP masquerade というプログラム名で呼ばれることもある。機能としては NAT が正しい。)で研究室をローカルネットワークにしている場合は、NAT サーバのアドレスを入力する。よくある間違いとして、ローカルネットワークの IP、例えば「192.168.X.XXX」を登録したためアクセスできなくて困っている例がある。

ネットワークが変更になるとか、研究室のマシン増設などで IP アドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古い IP が使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じ E-Mail アドレスを入力することで上書き変更が可能である。

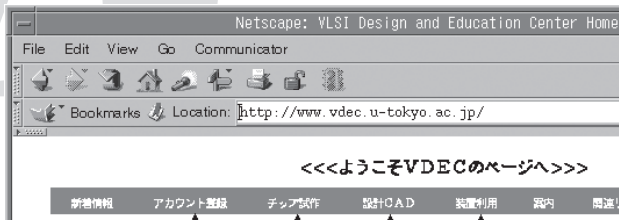


図 B.1 VDEC ホームページのインデックスフレーム

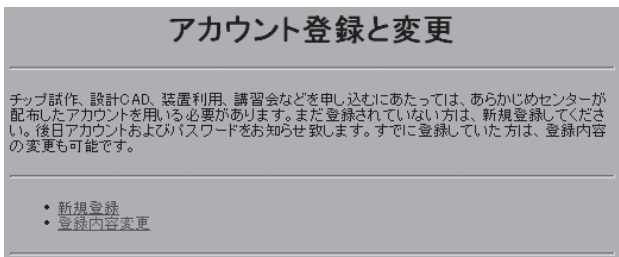


図 B.2 アカウント登録・変更ページの入口

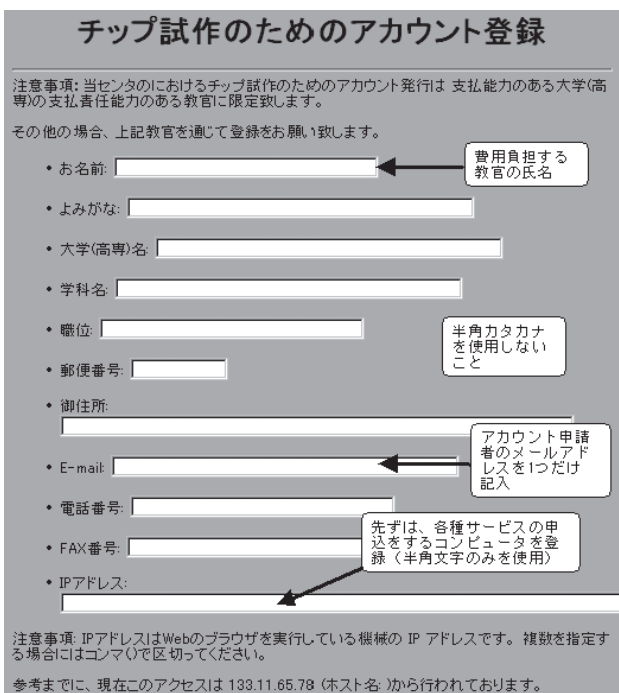


図 B.3 アカウントの新規登録の注意点

【登録する IP アドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータの IP アドレスを登録する必要はない
- IP アドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCP サーバにより動的に割り当てられた IP アドレスやローカルアドレスなどは登録できない(しても意味が無い)
- Proxy サーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報が Proxy サーバに残ってしまい、機密漏洩につながることを防ぐためである

ので守っていただきたい。但し、ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

B.3 CAD ツールの共同利用

VDEC では、集積回路の上流から下流まで一連の設計を行うための CAD ツールを提供している。これらのソフトウェアは、VDEC の VLSI 試作以外のアカデミック用途(MOSIS-VDEC を通じた試作、教育用の演習、EB 等 VDEC の大型装置利用のためのデータ作成用、等)の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーから CAD を選べる状況(二重化)を理想としている。LSI の設計には、CAD ソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD 申込の WEB ページに教員がアクセスする(WEB アカウントが必要である)。NDA 事項を了解いただきサイン入りの文書を VDEC センター長室に送付した後、CAD の申請ができる。

申請時に WEB から入力する内容は以下のとおり。

- ソフトウェアライセンス数(研究室で同時に使用するとされる最低数を入力)
- 用途
- メディアリクエスト(使用する Operating System を選んでチェックする)。
- 利用する研究室所有ワークステーションのホストネーム(VDEC、端的には usr1 から名前→IP アドレスの解決ができる。「.ac.jp」で終わるホスト名であることが条件。)

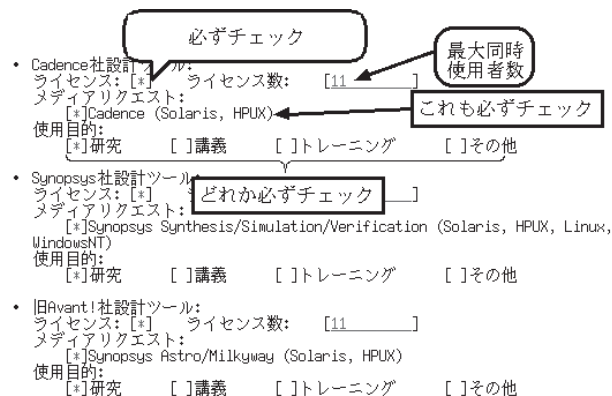


図 B.4 CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

ソフトウェアのCDROM(メディア)について、VDECの創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在ではCDに書き込めるISOイメージファイルで提供している。VDEC ホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら、VDECのユーザアカウントとパスワードが必要となるため、CADを申請してから数週間程度の時間差が必要となるであろう。

メディアをダウンロードした後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルはWEB経由で別途取得の上設定するか、環境変数LM_LICENSE_FILE等を(ライセンスサーバのポート番号)@(ライセンスサーバ)の形式で設定する。また、/etc/hostsファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには、VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も数分おきに行われるので、CADツール実行中は常時ライセンスサーバとの通信が可能な状態しておかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校に対して、ライセンス認証用の特定のポートを開ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして、各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから、利用するメンバのE-Mailアドレスを登録すること。特にその際、「.ac.jp」で終わるアドレスを利用し、メールはプロバイダ等に転送

しないこと(情報漏洩の観点から)。

2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめCADuser MLの過去記事検索がWEBからできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること(必須ではないが、ネット利用のエチケットといえる)。

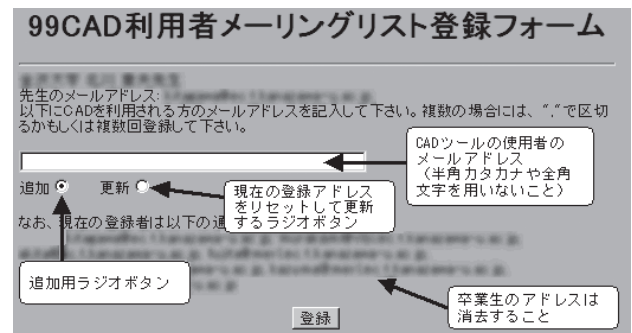


図 B.5 CAD 利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけしている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点. 熟読必須.】

1. VDECでは、CADを使用できる計算機のリスト(アクセスリストと呼ぶ)を半年毎に更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪半年以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマー

クを強くお勧めする。

4. IPアドレス(ホスト名)registered という表示が出ていれば登録されている。
5. false(false(ホスト名)) FAIL という表示が出ていれば登録に失敗しているため、原因を探る。

一般的に、DNSの逆引き(ホスト名からIPアドレスを引く)に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDECのサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

B.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEBページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対するNDA契約を行う。これはVDECホームページの「試作関係>試作案内>機密保持契約(NDA)の文面」より、希望プロセスのNDAにサインしてVDECに郵送し、VDEC側で手続き終了後にNDA締結となり、設計規則やライブラリにアクセスできるようになる。設計規則はWEB経由のアクセスならびに、WEBでの公開を禁止している会社の場合はCDROM等で送付される。NDAの対象は教員であるが、研究室の職員・学生にも同じNDAが適用されるため、取扱には細心の注意を払っていただきたい。尚、機密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出メ切日の6~3ヶ月前、キャンセルのメ切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI 申込フォームの入力に関する注意点(図 5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意いただきたい。これらメーリングリストの過去記事検索もできる。

レイアウトを設計した後、VDECが提供する最新のDesign Rule Checkファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認するLayout Vs Schematic (LVS)チェックを通して、提出しようとする回路が本当に動作しそ

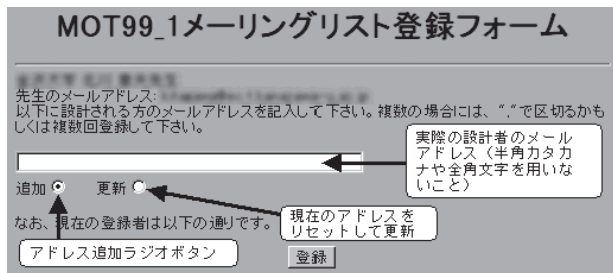


図 B.6 VLSI 試作メーリングリスト登録ページの注意点

うである確信を持っておくことは最低限必要であろう。デザインの提出は指定されたVDECページから行う。提出時にVDEC側で最終DRCを実行する。ここでエラーが出たチップは提出できない。必ず自分の環境でDRCフリーにしてからチップを提出すること。

提出メ切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC側でさらにデザインルールをチェックしている。この際本来出たはいいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどはVDECからの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSIチップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

B.5 CAD ツール講習会

CADベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春とCAD講習会を開催している。夏は基本的に東京大学の武田先端知ビルセミナー室において、春は各地方の拠点校を中心として開催される。まずはこういった講習会に参加して、大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている。アナウンスはCADUserメーリングリストで流れる。また、申込は、VDECのWEBページから行う。

B.6 社会人リフレッシュ教育

CADツール講習会からさらに進んだ形で、Verilogである回路を実際に設計し、レイアウト合成したり、FPGAによる実験を行う「デジタルコース」、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、RFコースならびに一線の研究者による設計事例の講演会などを企画している。12月~1月に開催し、有料である。社会人を主に対象としているが、申込数に余裕がある場合学生の参加も歓迎している。

B.7 デザイナーフォーラム (若手の会)

毎年9月頃、VDECを利用する若手が合宿を行い、最

近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

B.8 大型装置利用

LSI テスターや、EB 装置など、公開可能な装置については、利用の案内を WEB ページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。

利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能

数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC 専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

C. IP データベースの整備

設計資産の再利用のために、VDEC では Web 上でのデータベースの構築および公開を行っている (<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>, 図 C.1)。本データベースの利用対象は、IP 登録に関しては VDEC ユーザに限定しているが、IP 利用に関しては任意対象となっている。本データベースに関しての VDEC の役割は、IP のカタログデータの整理、公開および登録者-利用

者間の仲介と機密情報の取り扱いの監督である。

平成 12 年度から平成 14 年度の 3 年間、(株)半導体理工学研究センター (STARC) との共同研究として IP プロジェクトを行ってきたが、その最終成果として IP 開発グループの各参加者へ完成 IP の登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みの IP を表 C.1 に示す。

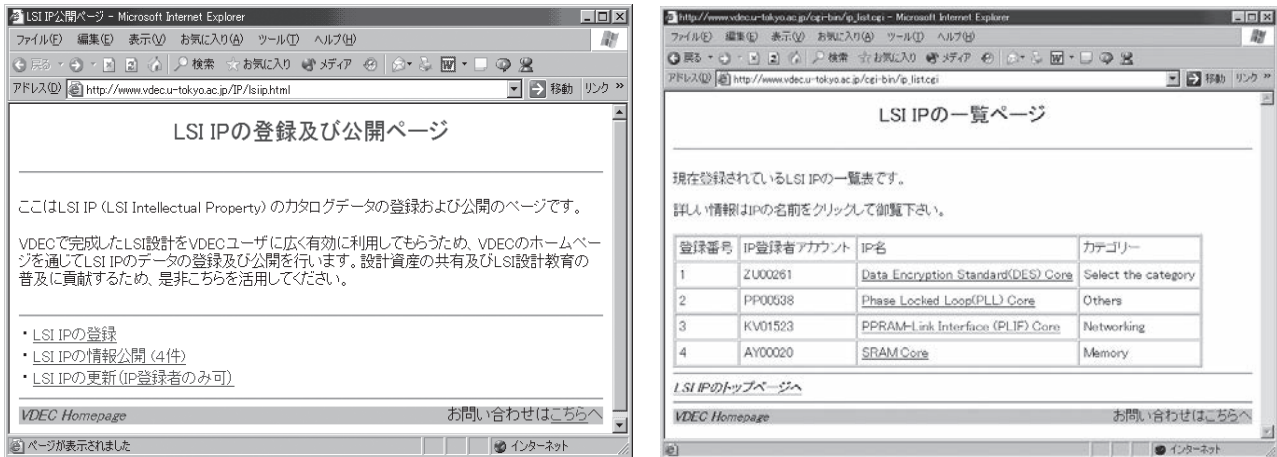


図 C.1 VDEC LSI IP Web データベースの例

表 C.1 VDEC LSI IP データベースに登録済みの IP (平成 24 年 3 月現在)

登録番号	IP 名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

平成 30 年度
東京大学大規模集積システム設計教育研究センター年報

2018 年 10 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 藤田 昌宏
〒113-0032 東京都文京区弥生 2-11-16
武田先端知ビル 4 階 401 号室
電話 03-5841-8901

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131 (大代表)



VLSI Design and Education Center The University of Tokyo 2018

